

# 高压 GGNMOS 器件结构及工艺对 ESD 防护特性的影响\*

傅凡<sup>1</sup> 万发雨<sup>1\*\*</sup> 汪煜<sup>2</sup> 洪根深<sup>2</sup>

(<sup>1</sup> 南京信息工程大学电子与信息工程学院, 南京, 210000)

(<sup>2</sup> 中国电子科技集团公司第五十八研究所, 江苏, 无锡, 214072)

2023-08-09 收稿, 2023-10-31 收改稿

**摘要:** 基于高压 CMOS 工艺, 对高压栅极接地 N 型金属氧化物半导体 (High voltage grounded-gate N-metal-oxide-semiconductor, HV-GGNMOS) 的静电放电 (Electrostatic discharge, ESD) 防护性能进行研究。由于强折回特性以及失效电流低, HV-GGNMOS 在实际应用中受到限制。本文通过计算机辅助设计技术仿真及传输线脉冲实验研究了工艺参数及版图结构对器件 ESD 防护性能的影响。结果表明, 增加漂移区掺杂浓度可以有效提高器件失效电流; 加强体接触和增加漂移区长度可以提高器件的维持电压, 但失效电流会有所下降, 占用版图面积也会更大。

**关键词:** 静电放电防护; 栅极接地 NMOS; 维持电压; 失效电流

**中图分类号:** TN386 **文献标识码:** A **文章编号:** 1000-3819(2024)02-0178-05

## Effect of Layout and Process on ESD Characteristics of High-voltage GGNMOS

FU Fan<sup>1</sup> WAN Fayu<sup>1</sup> WANG Yu<sup>2</sup> HONG Genshen<sup>2</sup>

(<sup>1</sup> School of Electronic & Information Engineering, Nanjing University of Information Science & Technology, Nanjing, 210000, CHN)

(<sup>2</sup> The 58th Research Institute of China Electronics Technology Group Corporation, Wuxi, Jiangsu, 214072, CHN)

**Abstract:** Based on high voltage CMOS technology, the electrostatic discharge (ESD) protection performance of high voltage grounded-gate N-metal-oxide-semiconductor (HV-GGNMOS) ESD devices was studied. Due to its strong snapback and low failure current, HV-GGNMOS is limited in practical applications. In this paper, the effect of doping profiles and layout structure on ESD protection performance of the device were analyzed by TCAD simulation and transmission line pulse experiment. The results indicate that the device failure current can be effectively improved by increasing the doping concentration in the drift region. The holding voltage can be increased by strengthening the body contact and increasing the length of drift region, but the failure current will decrease, and the layout area will also be larger.

**Key words:** electrostatic discharge (ESD) protection; GGNMOS; holding voltage; failure current

\* 基金项目: 国家重点研发计划资助项目 (2022YFE0122700); 北京东方计量测试研究所刘尚合院士专家工作站静电研究基金资助项目 (BOIMTLSHJD20221004)

\*\* 联系作者: E-mail: fayu.wan@nuist.edu.cn

## 引 言

随着电源管理、高压驱动及汽车电子等领域功率IC产品的广泛应用,高压集成电路已经成为半导体产业的一个重要的分支。这些电路及器件往往工作在大电压、大电流、强电磁干扰等特殊环境下,这对静电放电(Electrostatic discharge, ESD)防护器件的防护性能提出了更高的要求。

栅极接地N型金属氧化物半导体(Grounded-gate N-metal-oxide-semiconductor, GGNMOS)器件因其结构简单,工艺兼容性好,被广泛应用于ESD保护电路中<sup>[1]</sup>。为了提高GGNMOS的ESD防护性能,已经有研究者进行了大量的工作,并取得了一定的成果<sup>[2-3]</sup>。Shi Jun<sup>[4]</sup>详细分析了GGNMOS器件的折回特性,研究了工艺参数和物理尺寸对GGNMOS ESD防护特性的影响。但在高压(High voltage, HV)工艺中,GGNMOS存在强折回、多指不均匀导通等问题,直接影响了其ESD防护能力,使其在高压领域的应用受到限制。

为解决HV-GGNMOS的强折回和不均匀导通等问题,基于12 V HV-CMOS工艺,设计了带有漂移区的HV-GGNMOS器件,通过器件计算机辅助设计技术(Computer aided design technology, TCAD)仿真分析了工艺参数以及版图设计对器件ESD防护性能的影响。流片结果显示,HV-GGNMOS的维持电压和失效电流都有明显提升。

## 1 器件结构与实验方法

研究的HV-GGNMOS标准器件结构如图1所示,相较于低压GGNMOS,器件的漏极增加了漂移区(N-drift)注入,其中 $L_{\text{ESD}}$ 为漂移区长度。器件采用多叉指结构,相邻叉指间共用一个源端,HV-GGNMOS标准器件的单指宽度( $W_s$ )为50  $\mu\text{m}$ ,叉指数量为6,总宽度( $W_T$ )为300  $\mu\text{m}$ 。器件的单指(Single finger)剖面图和等效电路图如图1(b)所示,用于ESD保护时,器件漏极(D)作为阳极,栅(G)、源(S)和体端(B)短接作为阴极。

使用Sentaurus软件对基于HVC MOS工艺的GGNMOS进行结构和传输线脉冲(Transmission line pulse, TLP)仿真研究<sup>[5]</sup>;采用Hanwa公司的T5000型TLP测试设备对器件的ESD防护能力进行评估,TLP脉宽为100 ns,上升沿和下降沿均为10 ns。

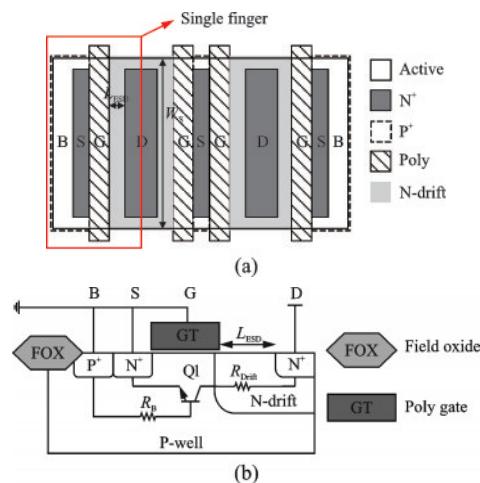


图1 (a) 多叉指 HV-GGNMOS 版图;(b) HV-GGNMOS 的单指剖面示意及等效电路图

Fig.1 (a) Layout of the multifinger HV-GGNMOS; (b) Cross-section and equivalent circuit of the single finger of the HV-GGNMOS device

## 2 实验结果及讨论

漂移区的增加可以有效提高器件耐压,使器件得以工作在高压环境,但也会影响器件的ESD防护性能。高压GGNMOS难以实现稳定的ESD防护,原因可归结于强折回带来的闩锁效应、电流拥挤导致的ESD防护能力降低、多指不均匀开启等<sup>[6-7]</sup>。为了更有效地利用ESD设计窗口,HV-GGNMOS的触发电压及维持电压都需要优化调整。

### 2.1 漂移区浓度对ESD防护性能的影响

采用工艺电源电压12 V,要求ESD防护器件的触发电压应小于0.9倍的内部击穿电压,约为20 V;维持电压应大于1.1倍的电源电压,约为13.2 V。HV-GGNMOS的击穿电压决定了器件在ESD防护中的触发电压,器件的触发电压略大于击穿电压<sup>[8]</sup>。漂移区的注入剂量对击穿电压的影响较大,图2为器件的击穿电压( $V_{\text{BR}}$ )与注入剂量( $N_{\text{ESD}}$ )的仿真关系图,可知当 $N_{\text{ESD}}$ 大于 $4 \times 10^{13} \text{ cm}^{-2}$ 时器件满足ESD设计窗口。

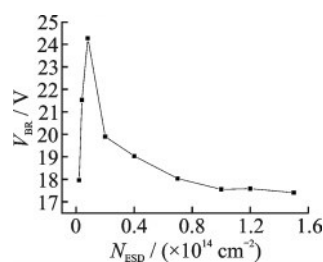


图2 不同 $N_{\text{ESD}}$ 下器件的击穿电压

Fig.2 Breakdown voltage of device at different  $N_{\text{ESD}}$

为了进一步研究  $N_{\text{ESD}}$  对 HV-GGNMOS ESD 防护性能的影响,对  $N_{\text{ESD}}$  进行拉偏验证。图 3 为不同  $N_{\text{ESD}}$  下 GGNMOS 的 TLP 测试曲线。由图可知,当  $N_{\text{ESD}}=4 \times 10^{13} \text{ cm}^{-2}$  时,器件的 ESD 防护能力为  $1.85 \text{ mA}/\mu\text{m}$ ,乘以器件总宽度 ( $W_T$ ) 即可得到失效电流 ( $I_{t2}$ ) 为  $0.56 \text{ A}$ ;随着  $N_{\text{ESD}}$  的增加,  $I_{t2}$  显著上升至  $2.73 \text{ A}$ ,表明  $I_{t2}$  受到  $N_{\text{ESD}}$  变化的影响较大。

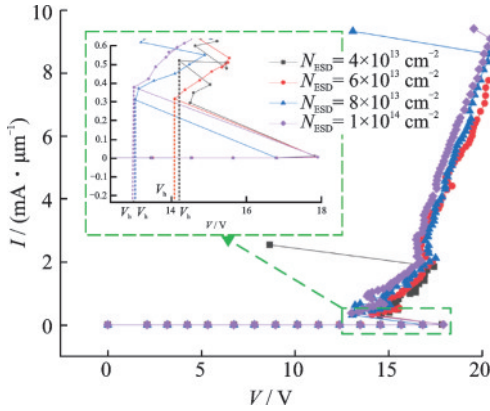


图 3 不同  $N_{\text{ESD}}$  下器件的 TLP 测试曲线

Fig.3 TLP test curve of devices with different  $N_{\text{ESD}}$

图 4 为两种不同  $N_{\text{ESD}}$  ( $10^{13} \text{ cm}^{-2}$ 、 $10^{14} \text{ cm}^{-2}$ ) 下的 GGNMOS 在泄放相同 TLP 电流时的晶格温度分布。当  $N_{\text{ESD}}$  较低时,其热点位于  $N^+$ / $N$ -drift 结下方,远离器件表面,容易造成热量堆积导致  $N^+$ / $N$ -drift 结损伤,器件  $I_{t2}$  较低;而随着  $N_{\text{ESD}}$  升高,器件的热点转移到了栅和漂移区的交叠区域,靠近器件表面,相同 TLP 电流下的晶格温度更低,因此过流能力更强,  $I_{t2}$  显著上升。为了确保 HV-GGNMOS 的失效电流足够大,  $N_{\text{ESD}}$  应大于  $6 \times 10^{13} \text{ cm}^{-2}$ 。

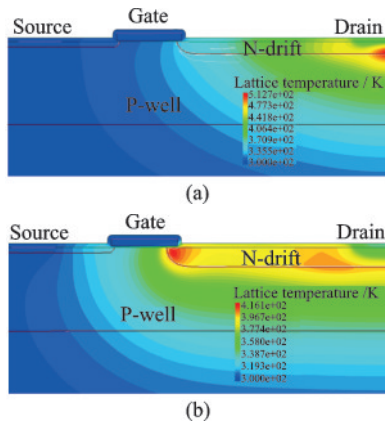


图 4 晶格温度分布: (a)  $N_{\text{ESD}}=10^{13} \text{ cm}^{-2}$ ; (b)  $N_{\text{ESD}}=10^{14} \text{ cm}^{-2}$   
Fig.4 Lattice temperature distributions: (a)  $N_{\text{ESD}}=10^{13} \text{ cm}^{-2}$ ; (b)  $N_{\text{ESD}}=10^{14} \text{ cm}^{-2}$

由于 GGNMOS 的折回特性,若维持电压 ( $V_h$ ) 小于被保护电路电源电压,就可能导致闩锁效应,造成电路烧毁。由图 3 可知, HV-GGNMOS 的

TLP 测试曲线存在深折回现象,  $V_h$  为  $13.01 \text{ V}$ ,对于电源电压为  $12 \text{ V}$  时的 ESD 窗口来说有较大的闩锁风险,所以提升器件的  $V_h$  是很有必要的。

## 2.2 版图设计对 ESD 防护性能的影响

根据图 1 所示的器件结构及等效电路,当 ESD 事件发生时, HV-GGNMOS 的漏/体结发生雪崩击穿,器件的体电位通过等效电阻  $R_B$  提升,寄生三极管 Q1 开启。  $R_B$  的大小会影响器件的 ESD 防护性能<sup>[9]</sup>,其值可以通过改变体接触结构来调整。如图 5 所示为改进后的 HV-GGNMOS 版图结构 (Type B),在图 1 版图结构 (Type A) 的基础上在相邻叉指共用源端中间增加一根  $P^+$  条,如图 5 的红框所示,宽度与体接触  $P^+$  一致。条形  $P^+$  的加入增强了器件内部叉指的体接触,减小了  $R_B$ 。

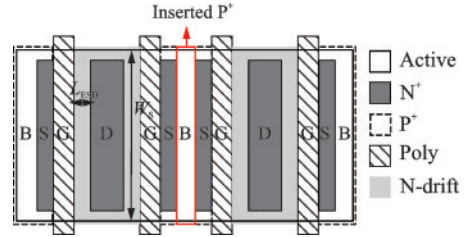


图 5 Type B 版图结构

Fig.5 Layout of type B

当  $R_B$  减小时,雪崩击穿后的寄生三极管发射结上的压降  $V_{BE}$  下降,在器件开启之后,根据 Ebers-Moll 方程<sup>[10]</sup>,寄生三极管的发射极电流为:

$$I_E = I_{ES} \left[ \exp\left(\frac{qV_{BE}}{kT}\right) - 1 \right] - \alpha_R I_{CS} \left[ \exp\left(\frac{qV_{BC}}{kT}\right) - 1 \right] \quad (1)$$

其中,  $I_{ES}$  为基极与集电极短路时的发射极电流,  $q$  是电子电荷,  $k$  是玻尔兹曼常数,  $T$  是温度,  $\alpha_R$  代表倒向晶体管的共基极直流短路电流放大系数,  $I_{CS}$  为基极与发射极短路时的集电极电流,  $V_{BC}$  为集电极上的电压。可知,  $V_{BE}$  越小,  $I_E$  越小,即随着  $R_B$  的减小,在较高的漏端电压下才能获得与之前相同的电流,寄生 NPN 管电流放大倍数  $\alpha$  相应减小。器件的维持阶段的条件可近似为:

$$\alpha \cdot M = 1 \quad (2)$$

其中  $M$  为  $N$ -drift/ $P$ -well 结的雪崩击穿因子,  $M$  与  $V_h$  的关系为<sup>[11]</sup>:

$$M = \frac{1}{1 - (V_h/V_{BR})^m} \quad (3)$$

其中  $V_{BR}$  为  $N$ -drift/ $P$ -well 结的击穿电压,  $m$  为经验因子。由式 (2) 与 (3) 可知,由于  $\alpha$  减小,  $M$  增大。这



就意味着在较小的 $R_B$ 下泄放同样电流需要更大的 $M$ 来产生空穴-电子对, $V_h$ 得以提升。

图6为两种HV-GGNMOS版图结构Type A与Type B的多脉冲TLP仿真对比,Type A由于存在深折回现象, $V_h$ 为11.23 V;Type B因为 $R_B$ 的减小,触发电流( $I_{t1}$ )和 $V_h$ 会更高。

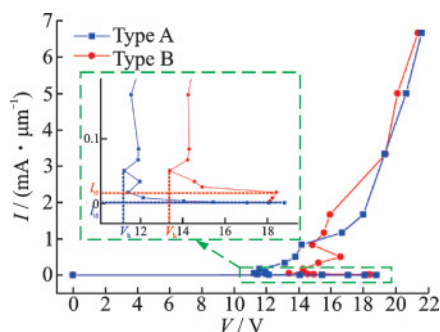


图6 两种版图TLP仿真曲线

Fig.6 TLP simulation curves of two types

图7为Type A与Type B器件的TLP实测结果,Type A与Type B为 $I$ - $V$ 曲线, $I_{leak,A}$ 与 $I_{leak,B}$ 为两类版图的漏电电流。可知相较于Type A的维持电压12.90 V,Type B的维持电压提升至14.81 V,深折回现象有所缓解,与仿真趋势一致;但ESD防护能力从5.54 mA/ $\mu$ m下降至5.02 mA/ $\mu$ m,其原因可能是 $R_B$ 的下降使ESD电流更易从器件表面泄放,从而降低了ESD防护能力<sup>[12]</sup>。因此,Type B结构可以有效提高 $V_h$ ,但 $I_{t2}$ 会略有下降,同时由于额外 $P^+$ 的插入,器件面积会增加。

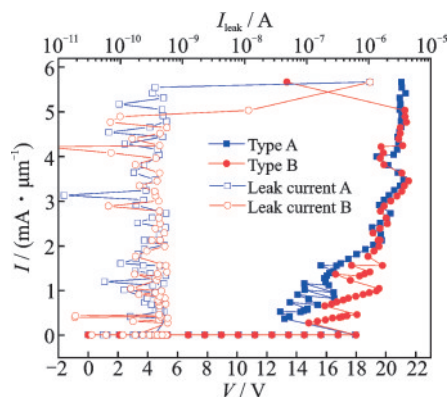


图7 Type A与Type B实测TLP曲线

Fig.7 TLP test curves of Type A and Type B

一般说来增加叉指数可以提高器件的失效电流。但是研究指出,多叉指器件的ESD防护能力并不一定会随着叉指数等比例增长,在ESD应力下,不同位置的叉指无法做到同步导通<sup>[13]</sup>。本文对叉指数进行拉偏,表1给出了不同叉指数( $N_F$ )的器件 $I_{t2}$ 测试结果,结果表明,器件的 $I_{t2}$ 随着 $N_F$ 的增加近似于等

比例增大,表示器件具有良好的导通均匀性。

表1 GGNMOS不同叉指数量的 $I_{t2}$ 对比

Tab.1  $I_{t2}$  comparison of different finger numbers

| $W_S/\mu m$ | $N_F$ | $W_T/\mu m$ | $I_{t2}/A$ |
|-------------|-------|-------------|------------|
| 50          | 4     | 200         | 1.75       |
| 50          | 8     | 400         | 3.19       |
| 50          | 10    | 500         | 3.89       |
| 50          | 12    | 600         | 4.25       |

## 2.3 漂移区长度对ESD防护性能的影响

漂移区长度会影响器件的维持电压和失效电流<sup>[14]</sup>。图8为不同漂移区长度( $L_{ESD}$ )的GGNMOS在较高的TLP电流水平( $I_{TLP}=6$  mA/ $\mu$ m)下的电流分布,一部分电流沿着漏极表面流向阴极,另一部分通过漏端下方体区流向阴极。由于漂移区的掺杂浓度相对较低,相当于在漏端串联一个电阻 $R_{drift}$ ,在电流通过时,提供一定的分压。当 $L_{ESD}$ 增大时,漏端串联电阻增大,在相同电流下漏端串联电阻的分压增加, $V_h$ 因此增大。

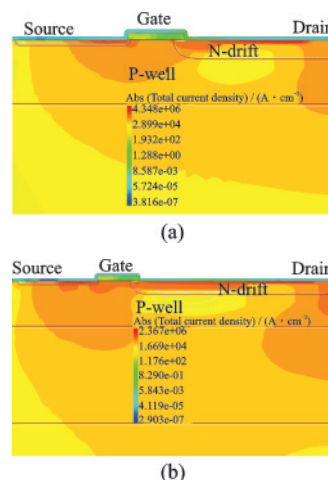


图8 电流密度分布: (a)  $L_{ESD}=1.5 \mu m$ ; (b)  $L_{ESD}=8.0 \mu m$

Fig.8 Current density distributions: (a)  $L_{ESD}=1.5 \mu m$ ; (b)  $L_{ESD}=8.0 \mu m$

另一方面,随着 $L_{ESD}$ 延长,漂移区电阻 $R_{drift}$ 增大,电流分布发生改变,漂移区底部通过的电流增大。图9为不同 $L_{ESD}$ 长度GGNMOS的晶格温度仿真结果,由于底部通道的电流增大,热点会由栅、漏交叠区转移到 $N^+$ /N-drift结下方 $I_{t2}$ 将有所下降。

不同 $L_{ESD}$ 下器件的TLP仿真结果如图10所示,器件的 $V_h$ 和导通电阻随着 $L_{ESD}$ 的增加而上升。

不同 $L_{ESD}$ 下器件的TLP实测结果如图11所示,随着 $L_{ESD}$ 从1.5  $\mu$ m增加至8.0  $\mu$ m, $V_h$ 从12.64 V上升至14.87 V,ESD防护能力从6.95 mA/ $\mu$ m下降至5.82 mA/ $\mu$ m,与仿真分析趋势一致。

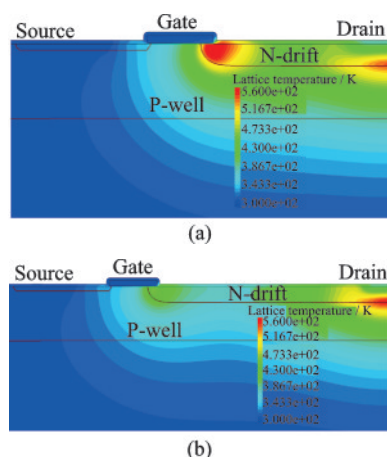


图9 晶格温度分布: (a)  $L_{ESD} = 1.5 \mu\text{m}$ ; (b)  $L_{ESD} = 8.0 \mu\text{m}$

Fig.9 Lattice temperature distributions: (a)  $L_{ESD} = 1.5 \mu\text{m}$ ; (b)  $L_{ESD} = 8.0 \mu\text{m}$

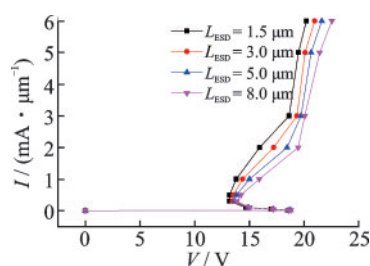


图10 不同  $L_{ESD}$  下器件的 TLP 仿真曲线

Fig.10 TLP simulation curves of devices with different  $L_{ESD}$

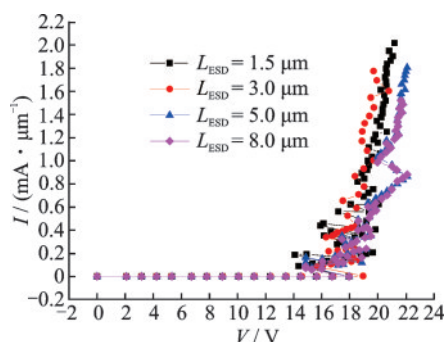


图11 不同  $L_{ESD}$  下器件的 TLP 实测曲线

Fig.11 TLP test curves of devices with different  $L_{ESD}$

### 3 结 论

基于 12 V HV-CMOS 工艺,研究了工艺参数和版图设计对 HV GGNMOS 器件 ESD 防护性能的影响。研究表明,提高漂移区的注入浓度可有效提高器件的失效电流;在叉指间插入条型  $P^+$  可减小体电阻,提高维持电压;增加漂移区长度可提高漏端的串联电阻,使维持电压增加。但是增加  $P^+$  体接触和增加漂移区长度都会增加器件的版图面积,降低失效电流。在实际应用中,要对 HV-GGNMOS 的 ESD 防护性能和器件面积进行折中设计。

### 参 考 文 献

- [1] 韩雁,董树容,Liou J J,等.集成电路ESD防护设计理论、方法与实践[M].北京:科学出版社,2014:29-53.
- [2] Paul M, Russ C, Kumar B S, et al. Physics of current filamentation in ggnmos devices under ESD condition revisited[J]. IEEE Transactions on Electron Devices, 2018, 65(7): 2981-2989.
- [3] Lai D W, Raad G D, Sque S, et al. High-voltage ESD protection device with fast transient reaction and high holding voltage[J]. IEEE Transactions on Electron Devices, 2019, 66(7): 2884-2891.
- [4] Shi J. ESD characteristics of GGNMOS device in deep sub-micron CMOS technology [C]. 2016 International Conference on Audio, Language and Image Processing (ICALIP). Shanghai: IEEE, 2016: 327-331.
- [5] 丁扣宝,黄大海.一种新的ESD防护器件的多脉冲TLP仿真方法[J].电子学报,2013,5(5):1016-1018.
- [6] Boselli G, Meeuwsen S, Mouthaan T, et al. Investigations on double-diffused MOS transistors under ESD zap conditions[J]. Microelectronics Reliability, 2001, 41(3): 395-405.
- [7] Mergens M P J, Wilkening W, Mettler S, et al. Analysis of lateral DMOS power devices under ESD stress conditions[J]. IEEE Transactions on Electron Devices, 2000, 47(11): 2128-2137.
- [8] 孙浩楠,王军超,李浩亮,等.用于高压ESD保护的双向LDMOS-SCR结构[J].微电子学,2022,52(3):473-477.
- [9] 林丽娟,喻钊,韩山明,等.衬底寄生电阻对高压器件ESD性能的影响[J].微电子学,2011,41(5):766-769.
- [10] 陈星弼,陈勇,刘继芝,等.微电子器件[M].4版.北京:电子工业出版社,2018:98-99.
- [11] Gendron A, Salamero C, Bafleur M, et al. Area-efficient, reduced and no-snapback PNP-based ESD protection in advanced smart power technology [C]. 2006 Electrical Overstress/Electrostatic Discharge Symposium. AZ, USA: IEEE, 2006: 69-76.
- [12] 刘畅,黄鲁,张峰.保护环版图结构对ESD防护器件耐压能力的影响[J].半导体器件,2017,42(3):205-209.
- [13] 徐伟,冯全源.多指条形GGNMOS结构ESD保护电路[J].微电子学,2009,39(1):58-61.
- [14] 鄢永明,曾云,夏宇,等.LDMOS-SCR ESD器件漂移区长度对器件性能的影响[J].固体电子学研究进展,2015,35(6):572-577.



傅 凡(FU Fan) 男,1999年生,浙江温州人,在读硕士研究生,研究方向为高压工艺ESD器件设计与研究。