

一种应用于I/O组的高性能LVDS驱动器^{*}张胜广^{1**} 徐玉婷¹ 曹正州¹ 刘国柱²

(1 无锡中微亿芯有限公司, 江苏, 无锡, 214035) (2 中科芯集成电路有限公司, 江苏, 无锡, 214035)

2023-09-08收稿, 2023-11-27收改稿

摘要: 为了满足高速率、大吞吐量的数据传输需求, 设计了一种可应用于I/O组的高性能低压差分信号(Low-voltage differential signal, LVDS)驱动器。LVDS驱动器由偏置电路和驱动电路两部分构成。其中偏置电路可同时为多个驱动电路提供偏置信号, 便于I/O组集成设计, 提高了同组LVDS驱动器的一致性, 并且偏置电路在传统LVDS驱动器结构的基础上, 加入共模反馈电路, 减小了工艺、电压、温度对输出共模电压的影响, 提高了稳定性。驱动电路与偏置电路结构和尺寸相同, 但无共模反馈。LVDS驱动器采用16 nm标准CMOS工艺设计。测试结果表明, 该驱动器的传输速率为2 Gb/s, 输出差分信号摆幅为0.35 V, 共模电压为1.25 V。

关键词: 低压差分信号; 驱动器; 共模反馈; I/O组

中图分类号: TN432 **文献标识码:** A **文章编号:** 1000-3819(2024)04-0325-06

A High-performance LVDS Driver Applied to I/O Group

ZHANG Shengguang¹ XU Yuting¹ CAO Zhengzhou¹ LIU Guozhu²

(1 Wuxi Esiontech Co., Ltd., Wuxi, Jiangsu, 214035, CHN)

(2 China Key System & Integrated Co., Ltd., Wuxi, Jiangsu, 214035, CHN)

Abstract: In order to meet the high rate and large throughput data transmission, a high-performance low-voltage differential signal (LVDS) driver was designed for I/O group. LVDS driver consisted of two parts, including bias and driver circuit. Bias circuit could provide bias signal to multiple driver circuits at the same time, which was convenient for I/O group integrated and improved the consistency of LVDS drivers in the same I/O group. The bias circuit based on traditional structure LVDS driver which added a common mode feedback (CMFB) could reduce the influence of process, temperature, voltage on the output common-mode voltage and improve the stability. The driver was the same as the bias in structure and size but without CMFB. The LVDS driver was designed by 16 nm standard CMOS process. The test results show that the transmission rate of the driver is 2 Gb/s, the output differential signal swing is 0.35 V, and the common-mode voltage is 1.25 V.

Key words: low-voltage differential signal; driver; common mode feedback; I/O group

引言

近年来, 随着半导体技术的快速发展, 工艺制程越来越先进, 芯片性能越来越高, 芯片工作频率

也从几十MHz提高到几GHz^[1]。芯片与外部信号交互通过输入/输出(Input/output, I/O)端口进行, 而传统I/O传输方式, 例如TTL或CMOS, 其最大工作频率一般在200 MHz左右^[2], 远远不能满足现在芯片的应用需求。满足高速率、大吞吐量的I/O

* 基金项目: 国家自然科学基金面上项目(62174150); 江苏省自然科学基金面上项目(BK20211040)

** 联系作者: gzhangsh@foxmail.com

数据传输技术是发展趋势,新的应用场景对差分I/O电路的传输速率需求已达到1 Gb/s以上^[3]。

低压差分信号(Low voltage differential signal, LVDS)传输技术为提高端口极限工作频率提供了一种可能。LVDS是一种功能强大的高速接口电平标准,技术的核心是采用极低的电压摆幅高速差动传输数据,低电压摆幅和低电流驱动输出实现了低噪声和低功耗。LVDS可以实现点对点或一点对多点的连接,具有低功耗、低误码率、低串扰和低辐射等特点^[4],在对信号完整性、抖动及工作频率要求较高的芯片中得到了广泛地应用。但LVDS电路仍存在问题,性能受工艺、电压、温度影响较大,多个LVDS端口集成度低,极限速度不高等。这些限制着高稳定性、高速、高集成度情况下LVDS电路的应用。

为解决芯片内多组LVDS驱动器集成度低和传输速率低的问题,本文提出了一种适用于I/O组的高性能LVDS驱动器结构,使用一个偏置电路同时为多个LVDS驱动器提供偏置信号。采用16 nm标准CMOS工艺设计,测试结果表明,该结构具有较高的稳定性、数据传输速率及集成性,可应用于有多通道数据高速传输需求的定制芯片及现场可编程门阵列(FPGA)芯片等。

1 LVDS 技术原理

图1为典型的LVDS数据传输链路示意图^[5],主要由驱动器、片外终端电阻 R 和接收器组成。由于LVDS是差分电平模式,故驱动器有两个端口OP和ON,接收器也有两个端口IP和IN。在驱动器中,有一个恒流源 I ,其典型值为3.5 mA。P1、P2、N1、N2是尺寸较大的开关管,控制电流的方向。P1和P2是PMOS管,尺寸相同;N1和N2是NMOS

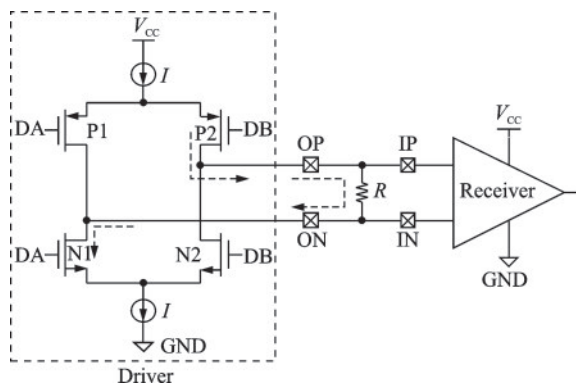


图1 LVDS数据传输链路示意图

Fig.1 Diagram of LVDS data transmission link

管,尺寸也相同。栅极控制信号DA、DB是内部数据经过转换而生成的差分信号,相位相差180°。电阻 R 串联在端口OP(或IP)和ON(或IN)之间, R 的典型值为100 Ω 。

当DA为高电平、DB为低电平时,N1、P2导通,N2、P1截止,电流 I 经过P2到达片外终端电阻 R 。接收器输入阻抗很大,电流 I 几乎全部从电阻 R 流过。因此 R 两端电压差 $V_{OD}=3.5\text{ mA}\times 100\text{ }\Omega=0.35\text{ V}$,如图2所示。接收器的最小输入差模电压一般为0.1 V或更低^[6],因此LVDS驱动器和接收器这种组合具有优秀的噪声裕度。电流经过电阻 R 从端口ON流回到驱动器,经过N1管后到地端。相反地,如果DA为低电平、DB为高电平,电流流向则为 $V_{CC}\rightarrow P1\rightarrow ON\rightarrow R\rightarrow OP\rightarrow N2\rightarrow GND$ 。虽然流过电阻 R 的电流值没有变化,但方向发生了变化,以这种方式来产生有效的“1”或“0”的逻辑状态^[7]。

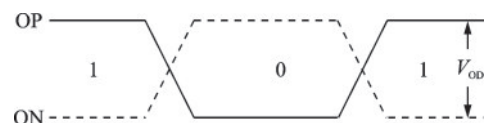


图2 LVDS输出差分信号

Fig.2 Output differential signal of LVDS

图1中电流源始终导通,数据DA/DB高低电平的不同致使电流流向不同,产生逻辑“1”和“0”信号。驱动器在传输线上流过大小相等、极性相反的电流,在电流回路上产生很低的电磁干扰^[8]。端口OP、ON的传输线相距很近,出现在OP传输线上的电磁干扰会同时作用到ON上,以共模方式出现的干扰相互抵消,因此LVDS具有很高的抗噪能力。

2 电路设计

2.1 驱动器架构设计

图3为本文提出的多个并列LVDS驱动器架构示意图,包括一个偏置电路和多个LVDS驱动器,每个驱动器都是相同的。其中 OP_M/ON_M 中的 M 表示驱动器编号,也表示共用同一个偏置电路的驱动器数量。偏置电路产生偏置信号 V_{BP} 、 V_{BN} ,同时为多个驱动器提供偏置信号。每个驱动器虽然相同,但其数据输入信号和工作状态是相互独立的,确保用户能够根据应用需求选择驱动器的数量,未使用的驱动器处于关闭状态,从而降低功耗。

偏置电路和多个驱动器需要进行合理的版图布局,减小匹配性误差,确保偏置信号 V_{BP} 、 V_{BN} 传到

每个驱动器上几乎是相同的。这样保证每个驱动器的电特性参数一致。一个偏置电路能够为多少个驱动器提供偏置信号是由LVDS驱动器需求量、工艺、版图设计等因素决定的。这种一个偏置对应多个驱动器的架构设计,为有多个LVDS驱动器需求的芯片设计提供了一种有效可行的解决方案的同时,也保证了较高的性能、较低的功耗和较小的芯片面积。

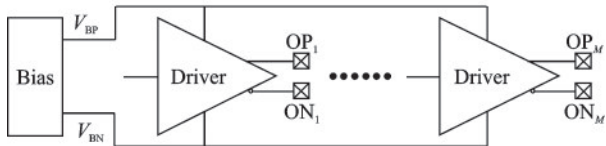


图3 多个并列LVDS驱动器架构

Fig.3 Architecture of multiple parallel LVDS drivers

2.2 主要电路设计

根据 ANSI/TIA/EIA—644A 和 IEEE Std 1596.3协议,制定了LVDS驱动器设计指标,具体见表1。电源电压(V_{CC})典型值为1.8 V,这是基于低功耗需求的选择;差模电压(V_{OD})典型值为0.35 V,等于两个端口电压之差;共模电压(V_{OCM})典型值为1.25 V,等于两个端口电压的平均值; T_D 为数据从内核传到端口时的延时; R_D 为数据传输速率; P 为LVDS驱动器动态功耗。

表1 LVDS驱动器主要技术指标

Tab.1 Main technical specifications of LVDS driver

Parm.	V_{CC}/V	V_{OD}/V	V_{OCM}/V	T_D/ns	$R_D/(Gb \cdot s^{-1})$	P/mW
Min	1.71	0.247	1.000	—	—	—
Typical	1.80	0.350	1.250	—	—	—
Max	1.89	0.600	1.425	1.0	2.0	15.0

为提高LVDS静态工作点的稳定性和 V_{OCM} 的精度,本文通过在偏置电路中加入共模反馈控制的方法,实现能够精确控制输出共模电压的LVDS驱动电路。偏置电路和驱动电路具体实现如图4所示,左侧是偏置电路,产生偏置信号 V_{BP} 、 V_{BN} ;右侧为驱动器。

驱动器由驱动管 P_0 、 N_0 和开关管 P_1 、 P_2 、 N_1 、 N_2 组成。 R_T 为驱动器两个端口之间外接的终端电阻,阻值为100 Ω 。在偏置电路中,MOS管 P_0' 、 P_1' 、 P_2' 、 N_0' 、 N_1' 、 N_2' 与驱动器的 P_0 、 P_1 、 P_2 、 N_0 、 N_1 、 N_2 一一对应,器件参数对应相同,即这5个MOS管是驱动器的复制品。其中, P_1 、 P_2 、 P_1' 、 P_2' 尺寸相同, N_1 、 N_2 、 N_1' 、 N_2' 尺寸相同。 ON' 、 OP' 两点对应驱动器的两个输出端口 ON 、 OP 。 ON' 、 OP' 之间串

联一个100 Ω 的内置电阻 R_T' ,与驱动器端口外接电阻 R_T 相同。串联在 ON' 、 OP' 两点之间的电阻 R_1 、 R_2 以及运放A0组成反馈网络,输出信号为 P_0 、 P_0' 提供偏置。NMOS管 N_3' 、 N_4' 与 N_0 、 N_0' 组成电流镜, N_0 、 N_0' 按照与 N_3' 、 N_4' 的尺寸比例复制 I_B 。

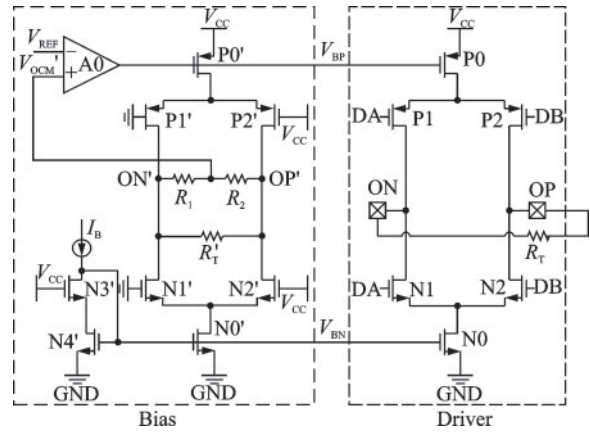


图4 偏置电路及驱动器原理图

Fig.4 Schematic diagram of bias and driver

图4中驱动器的工作原理和过程与图1中驱动器相同。信号 DA 、 DB 通过控制开关管 P_1 、 P_2 、 N_1 、 N_2 的导通或截止,控制流经电阻 R_T 的电流方向。产生信号 DA 、 DB 的电路如图5所示,即预驱动电路。 $DATA$ 是待要被传送到片外的数据。由于 DA 、 DB 是频率相同而相位相差180°的差分信号,因此单端信号 $DATA$ 经过预驱动电路后被转换成差分信号。 $DATA$ 经过 $INV2$ 和 TG 后,产生差分信号,而 $INV4$ 和 $INV5$ 的作用是为了使差分信号相位差是180°。开关管 P_1 、 P_2 、 N_1 、 N_2 一般尺寸较大,因此 $INV3$ 和 $INV6$ 需有较强的驱动能力。

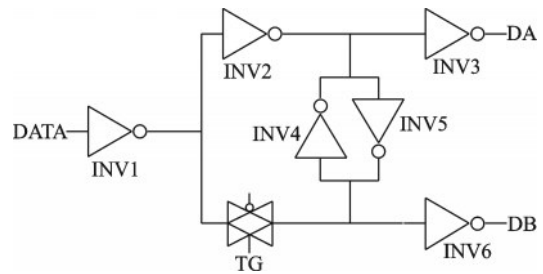


图5 预驱动电路

Fig.5 Pre-driver schematic

图4偏置电路中 P_1' 、 N_1' 栅极接 GND , P_2' 、 N_2' 栅极接 V_{CC} ,与驱动器 DA 为低、 DB 为高时电路状态相同。 P_1' 、 N_1' 、 R_1 分别与 P_2' 、 N_2' 、 R_2 尺寸相同,这部分电路具有对称性。因此图4偏置电路与 P_1' 、 N_1' 栅极接 V_{CC} 和 P_2' 、 N_2' 栅极接 GND 时的作用是一样的。

偏置电路中的共模反馈过程由三部分组成:电阻 R_1 、 R_2 采集共模电平 V_{OCM}' 的电压值; V_{OCM}' 输入到运放 A0 并同参考电压 V_{REF} 比较^[9], 二者之间的误差被运放放大; 运放将结果送回到 PMOS 驱动管 P0' 并调节共模电平 V_{OCM}' 。例如, V_{OCM}' 若因为某些外部因素变大, 参考电压 V_{REF} 保持不变, 即 V_{OCM}' 相较于 V_{REF} 会变大。 V_{OCM}' 接误差放大器的正输入端, 误差放大器 A0 的输出 V_{BP} 变大。 P0' 的栅极电压升高, 导致其源漏电流减小, 共模电压 V_{OCM}' 降低, 完成负反馈调节。

偏置电路共模反馈电路的性能直接决定共模电平是否能实时调整, 从而保持 V_{BP} 、 V_{BN} 相对恒定, 驱动器输出波形不会发生较大偏移。驱动器与偏置电路中的 MOS 管一一对应, 参数相同, 具有相同的工作状态和环境。理论上, ON' 、 OP' 与 ON 、 OP 具有相同的电气特性。

偏置电路中的参考电压 V_{REF} 和电流源 I_{B} 的稳定性直接决定了驱动器的稳定性, 故要求它们具有很高的稳定性, 基本不受工艺、电压、温度等因素影响。参考电压 V_{REF} 和电流源 I_{B} 由图 6 所示的电路产生。

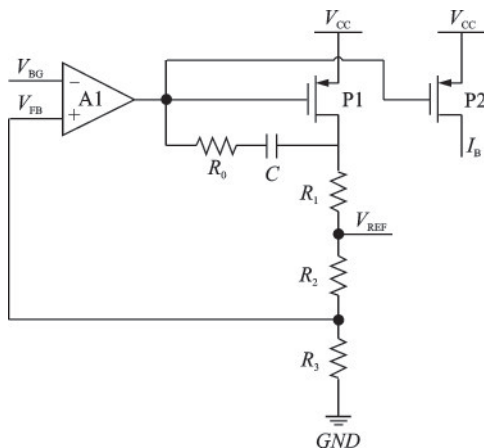


图6 参考电压 V_{REF} 及电流源 I_{B} 产生电路

Fig.6 Generation schematic of reference voltage V_{REF} and current source I_{B}

这是一个典型的低压差线性稳压器 (Low drop-out linear regulator, LDO), 其输入 V_{BG} 是带隙基准电路产生的零温漂电压, 一般为 1.2 V 左右^[10]。A1 是一个运放, 具有较高增益, 正负输入端虚短, 因此 $V_{\text{BG}} = V_{\text{FB}}$ 。电阻 R_0 和电容 C 分别是调零电阻和米勒补偿电容, 用于提高 LDO 环路稳定性^[11]。P2 栅极接运放 A1 的输出, 产生一个稳定的电流源 I_{B} 。P1 为 LDO 驱动管, R_2 、 R_3 和基准电压 V_{BG} 共同决定了 V_{REF} 的大小, 即:

$$V_{\text{REF}} = (1 + R_2/R_3) V_{\text{BG}} \quad (1)$$

3 版图与仿真

LVDS 驱动器及其偏置电路版图要求较高的对称性, 并且电流源、运放输入对以及电阻等子电路的器件需要较高的匹配度。驱动器和偏置由 16 nm FinFET 标准 CMOS 工艺实现, 版图如图 7 所示, 包含 24 个 LVDS 驱动器和 1 个偏置电路, 偏置电路位于中间位置。一个驱动器的版图尺寸为 $85 \mu\text{m} \times 200 \mu\text{m}$, 偏置电路的版图尺寸为 $92 \mu\text{m} \times 240 \mu\text{m}$ 。

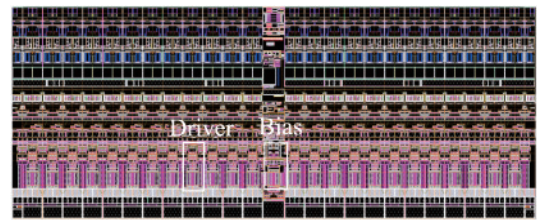


图7 LVDS驱动器和偏置版图

Fig.7 Layout of LVDS drivers and bias

在 TT 工艺角、 V_{CC} 为 1.8 V、温度为 25°C 条件下, 使用 Spectre 软件仿真 LVDS 驱动器性能。因为 I/O 端口存在封装与 PCB 板寄生电阻和电容, 因此仿真时在驱动器两个端口都加上了 0.8Ω 寄生电阻和 5 pF 寄生电容。驱动器输出伪随机二进制序列 (Pseudo-random binary sequence, PRBS) 时, 波形如图 8 所示, 数据率为 2 Gb/s。图 8 是两个端口输出波形相减后叠加而生成的眼图。可以看出, 摆幅约 0.36 V, 左右交叉点均在 0 V 位置, 并且抖动较小。

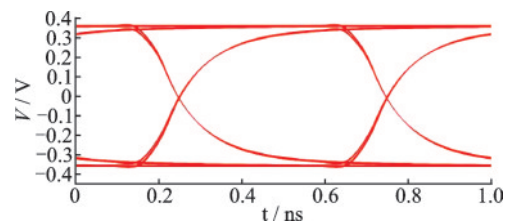


图8 LVDS驱动器仿真输出眼图

Fig.8 Simulated output eye diagram of LVDS driver

不同工艺角、电源电压 (V_{CC}) 及温度 (T) 条件下, 仿真得到表 2 所示 LVDS 驱动器各项参数。在不同条件下, 差模电压 V_{OD} 在 0.320~0.409 V 之间。得益于偏置中的共模反馈电路, 驱动器共模电压 V_{OCM} 稳定在 1.263~1.270 V 之间, 几乎不随工艺、电源和温度的变化而变化。数据延迟 $T_{\text{d}} \leq 0.715 \text{ ns}$, 动态功耗 P (1 Gb/s 时的平均功耗) $\leq 9.9 \text{ mW}$, 各项参数都符合表 1 设计要求。

表2 不同工艺角、电源电压及温度下的仿真结果

Tab.2 Simulated results at different process corner, V_{cc} and T

Process	V_{cc}/V	$T/^{\circ}C$	V_{OD}/V	V_{OCM}/V	T_D/ns	P/mW
TT	1.8	25	0.360	1.263	0.633	7.5
FF	1.98	-55	0.389	1.267	0.569	9.9
		125	0.409	1.268	0.647	9.1
SS	1.62	-55	0.320	1.268	0.641	6.1
		125	0.334	1.270	0.715	5.6

4 测试与结果分析

在16 nm标准CMOS工艺下流片的FPGA芯片照片如图9所示,集成了5个相同的I/O组,每个I/O组包括24个LVDS驱动器和一个偏置。

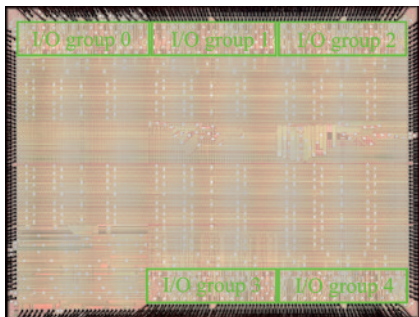


图9 集成LVDS的FPGA芯片显微照片

Fig.9 Micrograph of the FPGA chip integrated LVDS

在实验室测试集成多个LVDS驱动器的芯片,

测试评价系统如图10所示。在室温25℃、电源电压 $V_{cc}=1.8\text{ V}$ 、LVDS输出差分对端口之间串联100 Ω 电阻、芯片内部产生2 Gb/s输入信号的条件,在示波器上生成如图11所示的传输特性图。图11共由4幅图组成,分别是时间间隔误差(TIE)抖动直方图(Histogram)、频谱(Spectrum)、眼图(Eye diagram)和误码率(BER)的浴盆曲线(Bathtub)。从图中可以看出在2 Gb/s数据率时,眼图交叉点在0 V附近,眼高(Height)为433.95 mV,总抖动(TJ)为187.53 ps,随机抖动(RJ)为4.470 6 ps,确定性抖动(DJ)为124.95 ps,在误码率为 10^{-12} 时的眼宽(Width)为312.47 ps。在静态测试条件下,测得输出共模电压 V_{OCM} 为1.24 V,差模电压 V_{OD} 为0.35 V,满足设计要求。并且同一I/O组内不同LVDS驱动器输出电压偏差在30 mV以内,偏差较小。



图10 LVDS驱动器测试评价系统

Fig.10 Test evaluation system of LVDS driver



图11 测试芯片LVDS驱动器的传输特性图

Fig.11 Transmission characteristic diagram of LVDS driver in test chip

将本文所设计的LVDS驱动器与其他文献中的LVDS驱动器性能进行对比,结果如表3所示。

由表可见,本文设计的LVDS驱动器在最大数据传输速率、功耗以及集成度等方面具有明显优势。

表3 本文设计与其他文献中LVDS驱动器性能对比

Tab.3 Parameters comparison of the LVDS drivers in this paper and in other literatures

Ref.	Process	V_{cc}/V	V_{od}/V	V_{ocm}/V	$DR/(Gb\cdot s^{-1})$	P/mW	Integration level
[4]	65 nm CMOS	2.5	—	—	2.0	9.0	Medium
[12]	180 nm SiGe BiCMOS	3.3	0.35	1.20	0.8	22.4	Medium
This work	16 nm CMOS	1.8	0.35	1.24	2.0	7.5	High

5 结 论

本文设计了一种可用于I/O组的高性能LVDS驱动电路。在传统LVDS驱动器的基础上,增加共模反馈电路,并作为多个LVDS驱动器的偏置电路共同使用,不仅提高了稳定性和性能,而且对于有多个LVDS驱动器需求的芯片来说降低了功耗、缩小了面积。仿真以及流片测试结果表明,本文设计的LVDS驱动器组的输出共模电压稳定在1.25 V左右,差模电压为0.35 V,最大数据传输速率高达2 Gb/s,解决了芯片内多组LVDS驱动器集成度低的问题,满足了大数据量高传输速率的应用需求。

参 考 文 献

[1] 史晓彤. 高速LVDS驱动器的设计研究[D]. 西安:西安电子科技大学,2021.

[2] 黄灿英,陈艳,沈放,等. CMOS高速低功耗LVDS驱动电路设计[J]. 固体电子学研究与发展,2016,36(2): 154-158.

[3] 曹正州,张胜广,单悦尔,等. 一种用于高性能FPGA的多电平标准I/O电路[J]. 半导体技术,2023(10): 919-927.

[4] 谢凤英,孙金中. 一种高速低功耗LVDS发射器设计[J]. 中国集成电路,2014(3):32-35.

[5] 冯娟. 基于40 nm工艺下的LVDS设计与实现[D]. 北京:北京交通大学,2014.

[6] 吕顺乐. 一种高速LVDS芯片的设计与实现[D]. 湘

潭:湘潭大学,2021.

[7] Reyes B T, Paulina G, Tealdi L, et al. A 1.6 Gb/s CMOS LVDS transmitter with a programmable pre-emphasis system [C]. IEEE 5th Latin American Symposium on Circuits and Systems. Santiago, Chile: IEEE, 2014: 1-4.

[8] Matig-A G A, Yuce M R, Redoute J M. An integrated LVDS transmitter in 0.18 μm CMOS technology with high immunity to EMI[J]. IEEE Transactions on Electromagnetic Compatibility, 2015, 57(1): 128-134.

[9] Abugharbieh K, Krishnan S, Mohan J, et al. An ultralow-power 10 Gbits/s LVDS output driver[J]. IEEE Transactions on Circuits & Systems: Part I: Regular Papers, 2010, 57(1): 262-269.

[10] Leung K N, Mok K T. A sub-1 V 15 ppm/ $^{\circ}C$ CMOS bandgap voltage reference without requiring low threshold voltage device[J]. IEEE Solid-state Circuits, 2002, 37(4): 525-529.

[11] 张开礼,徐志军,徐勇,等. 单芯片高速LVDS发射器设计与实现[J]. 军事通信技术,2016,37(1):31-34.

[12] 朱红卫,赵郁炜. 一种高性能LVDS收发器的设计[J]. 微电子学,2014,44(4):420-429.



张胜广(ZHANG Shengguang) 男, 1988年生,山东菏泽人,硕士,工程师,现主要从事模拟集成电路设计研发工作,主要研究方向为通用I/O电路、ESD等。