

基于改进开关可调电容的宽调谐太赫兹 频率源设计

徐雷钧* 芦哲涵 白雪 陈建锋

(江苏大学 电气信息工程学院, 江苏, 镇江, 212013)

2023-12-22 收稿, 2024-02-28 收改稿

摘要:针对太赫兹频率源调谐范围窄的问题,基于普通PMOS可变电容设计了一种改进的开关可调电容,实现了电容变化的单调性,并基于该电容结合衬底调谐方式设计了一种宽调谐范围、高输出功率的压控振荡器(Voltage-controlled oscillator, VCO)。将设计的VCO结合二倍频器实现了一种工作在太赫兹频段的,具有较宽调谐范围及较高输出功率的太赫兹频率源。使用40 nm CMOS工艺设计的太赫兹频率源输出频率为146.3~168.5 GHz,调谐范围14.1%,并同时具有最高1.3 dBm的输出功率,其在10 MHz频偏处的相位噪声最优为 -105.52 dBc/Hz。

关键词:太赫兹;压控振荡器;倍频器;开关电容;衬底调谐

中图分类号:TN322.8;TN431.2 **文献标识码:**A **文章编号:**1000-3819(2024)02-0119-06

Design of Wide Tuned Terahertz Frequency Source Based on Improved Switched Tunable Capacitor

XU Leijun LU Zhehan BAI Xue CHEN Jianfeng

(School of Electrical and Information Engineering, Jiangsu University, Zhenjiang, Jiangsu, 212013, CHN)

Abstract: A switch-tunable capacitor based on an ordinary PMOS variable capacitor is proposed in this paper to address the issue of narrow tuning range in terahertz frequency sources. The design achieves monotonicity in capacitance change. Additionally, a wide tuning range and high output power voltage-controlled oscillator (VCO) based on the capacitance-substrate tuning method is developed. By combining the designed VCO with a frequency doubler, a terahertz frequency source with wide tuning range and high output power is realized. A 40 nm CMOS process is utilized to implement the designed terahertz frequency source, which exhibiting an output frequency ranging from 146.3 GHz to 168.5 GHz, providing a tuning range of 14.1%. Moreover, it achieves an impressive output power of up to 1.3 dBm while maintaining optimal phase noise performance at -105.52 dBc/Hz for a frequency offset of 10 MHz.

Key words: terahertz; voltage-control oscillator; doubler; switch cap; substrate tuning

引言

太赫兹波具有高穿透性、低能性、相干性等特

性,可广泛应用于太赫兹技术成像与谱分析、安全检查、无损检测、星间通信^[1-4]等领域。传统太赫兹设备体积较大、成本较高,限制了太赫兹技术的发展。随着CMOS工艺的发展,太赫兹设备开始

* 联系作者: E-mail: xlking@ujs.edu.cn

向着小型化、便携化方向发展。

在太赫兹频段,信号源的设计面临着诸多挑战。首先随着频率的增加,趋肤效应的影响增大,导线的等效电阻增加,损耗增大,因此太赫兹频段的无源器件的品质因数(Q 值)往往较低,影响电路的输出与噪声性能。其次对于太赫兹频率,晶体管本身寄生电容及布局走线引入的寄生电容与电感将显著影响信号源的带宽与输出功率。目前常见的CMOS太赫兹信号源存在调谐范围较窄、输出功率较低等问题。为了解决这些问题,近年来涌现了多种太赫兹振荡器结构,除多位开关电容调谐外,还出现了基于变压器结构的振荡器、多核心耦合振荡器等^[5-9]。但变压器结构及多核心耦合结构的振荡器通常会占用巨大的芯片面积,且设计难度较大,后者还面临着失配带来的输出相位差对多核耦合的巨大影响,因此开关电容、MOS可变电容仍然为获得宽调谐与高输出功率的最常见解决方案。

本文基于40 nm CMOS工艺设计了一种宽调谐太赫兹源,提出了一种改进的PMOS可调电容结构,改善了开关可调电容的线性变化范围,提高了压控振荡器(Voltage-controlled oscillator, VCO)的调谐范围。采用振荡器与倍频器结合的电路结构,使振荡器工作在基波低频段,减少趋肤效应与寄生电容电感对振荡器谐振腔 Q 值的影响,进而提升振荡器的输出功率,降低其相位噪声。其中,振荡器采用交叉耦合结构,通过设计的开关可调电容,结合衬底调谐方式增大振荡器调谐范围采用双推(push-push)结构的倍频器对振荡器输出信号进行二倍频。

1 电路设计

本设计的太赫兹信号源原理图如图1所示。信号源采用VCO与二倍频器(Doubler)相结合的结构,

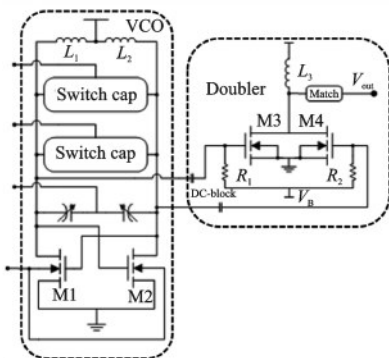


图1 太赫兹信号源电路整体结构

Fig.1 Structure of terahertz signal source circuit

其中VCO采用交叉耦合结构,结合设计的开关可调电容与衬底调压方式进行调谐,扩展调谐范围。倍频器采用push-push结构,通过优化MOS管尺寸,调节偏置电压,可使其具有较好的倍频效率和基波抑制。相较于直接振荡,使用振荡器与倍频器相结合的结构的优势在于输出相位噪声较低,输出功率较高。

1.1 开关可调电容电路

传统PMOS变容管工作原理如下:当PMOS管栅极与衬底电压压差(V_{BG})远大于MOS管阈值电压(V_{TH}),即 $V_{BG} \gg |V_{TH}|$ 时,PMOS工作在强反型区;当栅极电压(V_G)大于衬底电压(V_B),即 $V_G > V_B$ 时,PMOS工作在积累区,此两区域电容值不随控制电压改变而改变。但在耗尽区与弱反型区,电容值随控制电压增大而减小;在中反型区,电容值随控制电压增大而增大,PMOS电容容值变化的非单调性导致了其较窄的使用频率。为此设计了改进的开关可调电容,其结构如图2(a)所示。电容由开关管M1,可变MOS电容V1、V2,反相器I1和电阻 R_1 、 R_2 构成。反相器采用有源负载式反相器,可为变容管提供控制电压,其结构如图2(b)所示,其输入输出关系如图2(c)所示。当开关NMOS管M1的控制电压 $V_{CTR}=0$ V时,反相器输出电压最大,此时开关关断,PMOS管V1、V2处于强反型状态。随着控制电压增大,当开关NMOS栅极电压 $V_G > |V_T|$ 时,此时开关打开,同时由于反相器,PMOS的控制

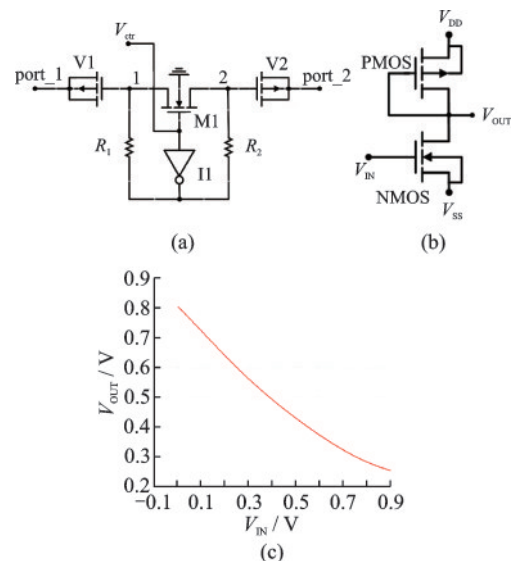


图2 设计的开关可调电容:(a) 开关可调电容结构;(b) 有源负载式反相器结构;(c) 反相器输入输出关系

Fig.2 The designed switchable capacitor: (a) Switchable capacitor structure; (b) Active load inverter structure; (c) Inverter input/output relationship

电压减小, $V_{BG} < |V_T|$, 使 PMOS 进入弱反型区域工作, 容值开始单调增加。这种方式保证了开关 MOS 电容的容值单调线性变化。

当控制电压 $V_{CTR} = 0$ V 时, NMOS 管 M1 断开, 开关可调电容电路的容值主要由开关管寄生电容提供, 同时反相器保证了开关更好的截止状态; 随着控制电压的增加, NMOS 管 M1 导通, 1、2 两点电压下降, 控制 PMOS 电容容值改变的同时, 保证开关管 M1 正常导通, 达到调谐振荡器输出频率的目的。普通 PMOS 电容的电容特性曲线与改进后的开关电容特性曲线对比如图 3 所示, 可见, 改进后的电容的容值单调变化。

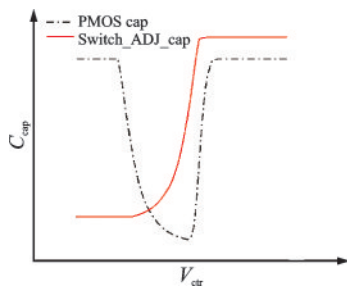


图3 可变电容 C-V 特性曲线

Fig.3 Variable capacitance C-V characteristic curves

由 Leeson 公式可知, LC 振荡器输出相位噪声为:

$$\mathcal{L}(\Delta\omega) = 10 \lg \left[\frac{2kTF}{P_{\text{sig}}} \left(\frac{\omega_0}{2Q_{\text{tot}}\Delta\omega} \right)^2 \right] \quad (1)$$

其中 $\mathcal{L}(\Delta\omega)$ 表示在频偏 $\Delta\omega$ 处的相位噪声, 单位 dBc/Hz; k 为玻尔兹曼常数; T 为温度; F 为噪声因子, 通常取 2; P_{sig} 为信号功率, Q_{tot} 为谐振腔总 Q 值, ω_0 为谐振频率。由式(1)可看出, $\Delta\omega$ 频偏处的相位噪声大小与品质因数 Q 相关。而开关管的导通电阻会恶化谐振腔 Q 值进而恶化振荡器相位噪声, 因此需合理选择开关管尺寸及开关电容位数, 本文选择了栅宽为 $7 \mu\text{m}$ 的开关管并使用了两路开关电容进行调谐。

1.2 衬底调压型交叉耦合振荡器电路

在太赫兹频段, 交叉耦合管引入的寄生电容将会改变谐振腔的等效总容值, 从而影响 VCO 的谐振频率, 但也增加了一种对 VCO 进行调谐的手段。本设计中利用具有深 N 阱 NMOS 管衬底电位的独立性和可调控性, 通过改变衬底电压从而改变交叉耦合管引入谐振腔的寄生电容对 VCO 进行调控, 为此需要对该电容进行推导。交叉耦合管寄生电容等效模型如图 4 所示, 左图为晶体管的小信号模型, 右图为依据小信号模型简化所得交叉耦合管引入谐振腔的等效寄生电容图。

由 D_1 、 D_2 两点引入谐振腔的寄生电容(忽略

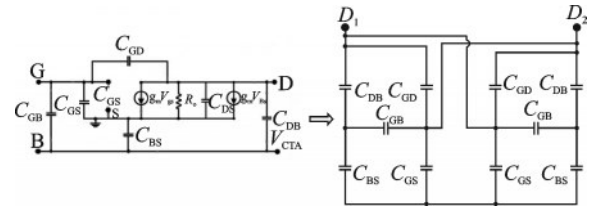


图4 交叉耦合管寄生电容等效模型(忽略 C_{DS})

Fig.4 Model of parasitic capacitance for cross-coupled tubes (Ignored C_{DS})

C_{DS})为:

$$C_{\text{cap}} = 2C_{GD} + \frac{(C_{CB} + C_{DB}) \left[\frac{C_{CS}(C_{GB} + C_{DB})}{C_{GS} + C_{GB} + C_{GD}} + 2C_{BS} \right]}{2 \left[C_{GB} + C_{DB} + \frac{C_{CS}(C_{GB} + C_{DB})}{C_{GS} + C_{GB} + C_{GD}} + 2C_{BS} \right]} \quad (2)$$

衬底调压结构的交叉耦合振荡器等效模型如图 5 所示。随着衬底电压的增加, 上述衬底体电容随之增加, 结点 X 处的振荡频率变化可以表示为:

$$\Delta\omega_{\text{osc}} = 1/\sqrt{L_1(2C_{\text{cap_min}} + 2C_1)} - 1/\sqrt{L_1(2C_{\text{cap_max}} + 2C_1)} \quad (3)$$

其中, C_1 是电路中引入的开关可调电容总容值。

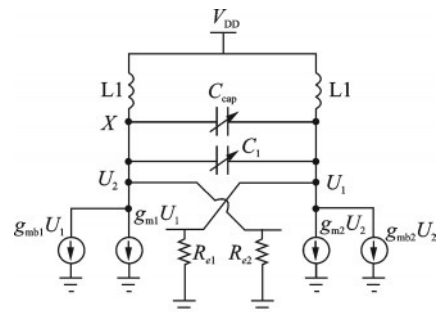


图5 交叉耦合振荡器模型

Fig.5 Cross-coupled oscillator model

在对衬底(BULK)进行调压时, 不能忽略由控制电压引入衬底的噪声对振荡器及其他模块输出噪声的影响。衬底调压主要是对交叉耦合的差分对管进行调压, 其伪差分结构可对输入至衬底的共模噪声有效的进行抑制, 大大减小了其对输出噪声的影响。另外, 40 nm 工艺提供了深 N 阱(DEEP-N)工艺, 其通过在 P 型衬底(P-SUB)上进行掺杂形成一个深 N 阱之后再形成一个 P 阱, 最终形成一个独立的电位可调的 P 阱。基于此可以在对 NMOS 的衬底电位进行单独调整的同时, 保证电路其他有源区正常工作, 并隔离调压引入的噪声, 防止噪声对其他电路部分造成影响。

1.3 倍频器电路

倍频器采用如图 6 所示的 push-push 结构, M3、

M4为倍频管,取工艺限制的最小管子长度以获得高频率,本文选择40 nm栅长。输出端将晶体管非线性产生的偶次谐波进行相加输出,并将基波与奇次谐波抵消。调整输出选频网络并将电路输出端匹配至 $50\ \Omega$ 。

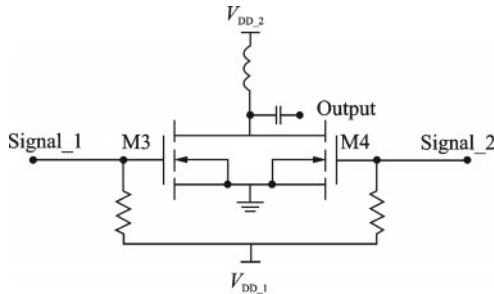


图6 Push-push倍频器原理图

Fig.6 Push-push multiplier schematic diagram

倍频器所需输入差分信号由VCO提供,由于该结构的输出需要基波信号抵消及保证二次谐波的输出功率,因此输入端信号的相位差直接决定了输出端的信号抵消与相加效果。交叉耦合VCO具有良好的差分性,其输出的幅值与相位差仅由交叉耦合管生产时的失配决定,大大减小了输入信号相位差对倍频器工作的影响。倍频器和VCO间通过交流(AC)耦合,对其进行优化使其谐振点在VCO输出中心频率处,保证VCO与倍频器间最大电压传输。但同时,由于倍频器对VCO输出相噪的恶化,理想二倍频器会导致系统输出相噪降低6 dB。

1.4 芯片版图

芯片版图如图7所示,总面积为 $350\ \mu\text{m} \times 360\ \mu\text{m}$,其中核心面积为 $146\ \mu\text{m} \times 69\ \mu\text{m}$ 。 V_{DD} 与GND均使用设计的接地电容连接以保证输入电源纹波最小。40 nm工艺提供了M1-AP共计11层金属用于走线,其中M1、M2、M8层为GND, M3-M7层为电容层,并用于部分信号走线, M9与M10层为信号层,并且M10具有最大厚度。为了减小阻抗,电源连接使用M10顶层厚金属并尽量减小连线长度,保证其阻抗最小,减小因线上电阻导致的 V_{DD} 压降的同时减小 V_{DD} 引入的寄生电感。所有晶体管同

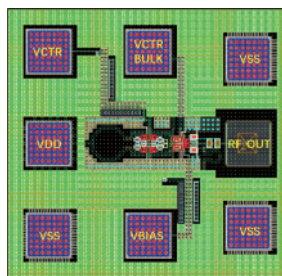


图7 太赫兹信号源芯片版图

Fig.7 Terahertz signal source chip layout

向排列并增加哑元(dummy)减小生产带来的晶体管失配。偏置使用二极管进行静电保护,防止栅极被静电击穿。输出采用“地—信号—地”(GSG)结构保证输出信号完整性,便于片上探针测试。全版图采用对称走线,保证信号良好差分性。

2 系统仿真结果

由于电路工作在太赫兹频段,需要使用EM仿真工具对电感进行仿真以获得更加准确的结果。通过使用ADS的Momentum工具对设计的电感进行电磁仿真。电感采用正八边形结构,为减小损耗采用厚金属层(M10)设计此八边形电感,此外M10金属层离衬底最远,可减小信号在衬底中的损耗,提高品质因数。电感性能仿真结果如图8所示,仿真电感值(L)在80 GHz时为66 pH, Q 值为25.5。

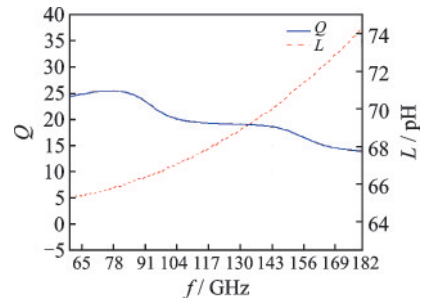


图8 电感电磁仿真结果

Fig.8 Inductance EM simulation results

利用S参数对可变电容容值进行仿真估算,结果如图9所示,电容可调范围为5.70~13.76 fF。

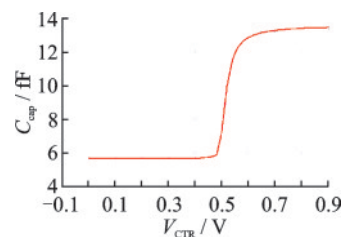


图9 开关可变电容仿真结果

Fig.9 Simulation result of switching variable capacitance

如图10-11为交叉耦合VCO输出功率与调谐频率仿真结果。在控制电压 V_{CTR} 为0~0.9 V时,差分输出功率最大为14.8 dBm,调谐频率为73.15~84.27 GHz,调谐范围为14.12%。相位噪声在频率为83 GHz时最优,为 $-111.58\ \text{dBc}/\text{Hz}@10\ \text{MHz}$;频率为76 GHz时,相位噪声恶化,为 $-104.4\ \text{dBc}/\text{Hz}@10\ \text{MHz}$,这是由开关管的导通电阻导致的。

如图12为VCO的 $V_{\text{CTR}}=0.9\ \text{V}$ 时,倍频器非线性仿真结果。由于倍频器输入属于大信号,无法直接通过二阶跨导计算其二次谐波增益,因此通过使用Cadence提供的HB仿真器求取谐波确定其非线性

性度。依据VCO输出确定输入信号功率,计算不同偏置电压下的二次谐波(HD2)、三次谐波(HD3)与四次谐波(HD4)输出功率并综合考量,选取0.4 V为倍频器偏置电压,以保证倍频器更大的输出功率及更小的总谐波失真。

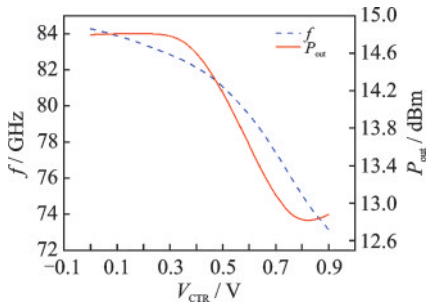


图10 交叉耦合VCO输出频率、输出功率与控制电压关系
Fig.10 Cross-coupled VCO output frequency, output power and control voltage relationship

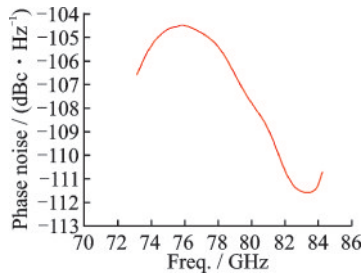


图11 交叉耦合VCO输出相位噪声
Fig.11 Cross-coupled VCO output phase noise

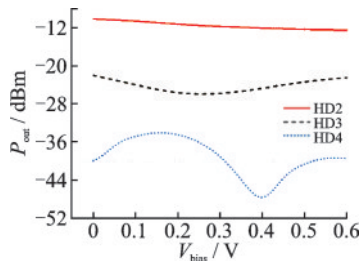


图12 倍频器非线性度

Fig.12 Doubler nonlinearity

在VCO的 $V_{CTR}=0.9$ V时,倍频器输出功率如图13所示。倍频器最大基波抑制为54.7 dBc,最大二次谐波抑制为22 dBc。

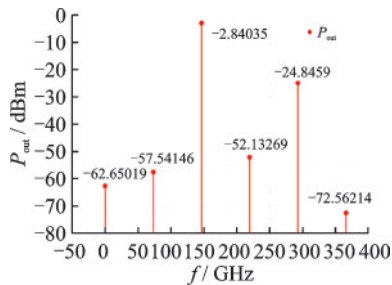


图13 倍频器输出谐波

Fig.13 Doubler output harmonics

太赫兹频率源输出功率如图14所示。控制电压 V_{CTR} 在0~0.9 V范围内,输出功率最大为1.3 dBm,调谐频率为146.3~168.5 GHz,调谐范围14.1%,在可调范围内功率平坦度 ΔP 为4.5 dB。输出相位噪声如图15所示。相位噪声最优为-105.52 dBc/Hz@10 MHz。

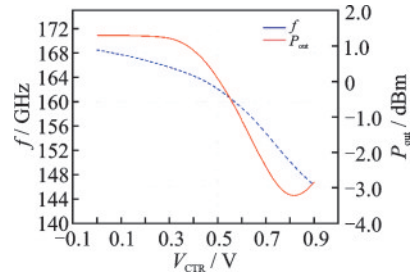


图14 太赫兹频率源输出频率、输出功率与控制电压关系
Fig.14 Terahertz frequency source output frequency, output power and control voltage relationship

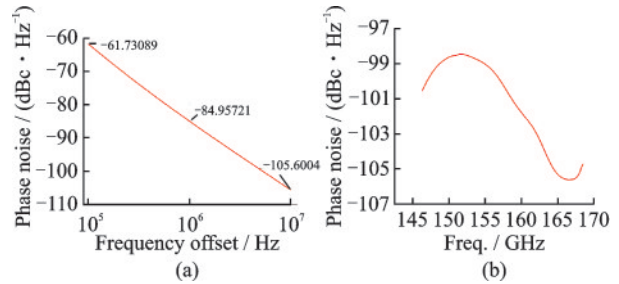


图15 太赫兹频率源:(a)输出相位噪声($f=166$ GHz);
(b)输出相位噪声随频率变化(@10 MHz)
Fig.15 Terahertz frequency source: (a) The output phase noise ($f=166$ GHz); (b) The output phase noise varies with frequency (@10 MHz)

将本文设计的太赫兹信号源与其他国内外现有研究结果进行对比,结果如表1所示。由表可知,本文所设计太赫兹信号源具有较高的输出功率和较宽的输出频率范围,并具有较好的相位噪声性能。

3 结 论

本文设计了一款基于振荡器与倍频器相结合结构的太赫兹信号源,频率范围146.3~168.5 GHz。电路由VCO、倍频器与匹配网络组成。振荡器采用交叉耦合结构,设计了一种改进的线性可调电容,提升了调谐范围,并结合衬底调谐方式,有效利用了负阻单元引入电路的寄生电容,相比传统电容调谐和电感调谐方案具有更宽的调谐范围。VCO的输出经倍频器产生二次谐波,利用电容进行振荡器与倍频器级间匹配,通过仿真确定最佳电压匹配点。与传统太赫兹信号源相比,具有较优相位噪声的同时,保证了较大的输出功率及较宽的输出频率范围。

表1 本文与国内外其他太赫兹频率源性能比较

Tab.1 Comparison of terahertz frequency source performance with other references

Ref.	Technology	P_{DC}/mW	Frequency/GHz	Tuning range/%	Phase noise/(dBc·Hz ⁻¹)	P_{out}/dBm	$\Delta P/dB$
[11]	65 nm CMOS	88.0	159.2-168.8	5.80	-73.00@5 MHz	1.00	4.0
[12]	65 nm CMOS	135.6	215.4-236.5	9.34	-93.51@1MHz	0.57	—
[13]	65 nm CMOS	33.0	110.0-140.0	24.00	-82.00@1 MHz	-14.00	14.0
[14]	65 nm CMOS	13.5	167.0-172.0	3.10	-74.00@1 MHz	-10.50	9.0
This work	40 nm CMOS	54.0	146.3-168.5	14.20	-105.52@10 MHz -84.95@1 MHz	1.30	4.5

参 考 文 献

- [1] 成彬彬, 李慧萍, 安健飞, 等. 太赫兹成像技术在站式安检中的应用[J]. 太赫兹科学与电子信息学报, 2015 (6): 843-848.
- [2] Ahi K, Shahbazmohamadi S, Asadizanjani N. Quality control and authentication of packaged integrated circuits using enhanced-spatial-resolution terahertz time-domain spectroscopy and imaging[J]. Optics and Lasers in Engineering, 2018, 104: 274-284.
- [3] 赵正平. 固态微波毫米波、太赫兹器件与电路的新进展[J]. 半导体技术, 2011, 36(12): 897-904.
- [4] Nie S, Akyildiz I F. Channel modeling and analysis of inter-small-satellite links in terahertz band space networks [J]. IEEE Transactions on Communications, 2021, 69(12): 8585-8599.
- [5] Utomo D R, Park D W, Hong J P, et al. A 264 GHz, 2.3 dBm push-push transformer-based Hartley oscillator [J]. IEEE Microwave and Wireless Components Letters, 2021, 31(7): 893-896.
- [6] Yi X, Wang Y, Feng G, et al. A 310 GHz area and power efficient oscillator in 65 nm CMOS technology [C]. 2021 IEEE MTT-S International Wireless Symposium (IWS). Nanjing: IEEE, 2021: 1-3.
- [7] Jalili H, Momeni O. A 230 GHz high-power and wide-band coupled standing wave VCO in 65 nm CMOS[J]. IEEE Journal of Solid-state Circuits, 2019, 55 (3) : 547-556.
- [8] Shu Y, Qian H J, Luo X. A 169.6 GHz low phase noise and wideband hybrid mode-switching push-push oscillator[J]. IEEE Transactions on Microwave Theory and Techniques, 2019, 67(7): 2769-81.
- [9] Nikpaik A, Shirazi A H M, Nabavi A, et al. A 219 to 231 GHz frequency-multiplier-based VCO with ~3% peak DC-to-RF efficiency in 65 nm CMOS [J]. IEEE Journal of Solid-state Circuits, 2018, 53(2): 389-403.
- [10] Hu Y, Qian H J, Luo X. A 169.6 GHz low phase noise and wideband hybrid mode-switching push-push oscillator[J]. IEEE Transactions on Microwave Theory and Techniques, 2019, 67(7): 2769-2781.
- [11] Khamaisi B, Socher E. A 159-169 GHz frequency source with 1.26 mW peak output power in 65 nm CMOS [C]. 2013 European Microwave Conference. Nuremberg, Germany: IEEE, 2013: 1507-1510.
- [12] Liang Y, Chen Q, Wu X, et al. A 226 GHz coupled harmonic VCO with 9.34% tuning range utilizing three-coil transformer with switched inductor in 65 nm CMOS [C]. 2023 IEEE Asian Solid-state Circuits Conference (A-SSCC). Haikou: IEEE, 2023: 1-3.
- [13] Neda S, Yosefi G, Eskandarian A. A 110-140 GHz millimeter-wave VCO using varactor and bulk effective technique in 65 nm CMOS process [J]. Wireless Personal Communications, 2020, 114: 3367-3382.
- [14] Jain S, Zhang N, Belostotski L. A 167 to 172 GHz 65 nm CMOS body-voltage-tuned harmonic-mode voltage-controlled oscillator [J]. Microwave and Optical Technology Letters, 2019, 61(2): 546-549.
- [15] Mansha M W, Hella M M. A 148 GHz radiator using a coupled loop oscillator with a quadfeed antenna in 22 nm FD-SOI [J]. IEEE Journal of Solid-state Circuits, 2021, 56(5): 1514-1526.
- [16] Liu X, Chao Y, Luong H C. A 59 to 276 GHz CMOS signal generator using varactor-less VCO and dual-mode ILFD [J]. IEEE Journal of Solid-state Circuits, 2021, 56(8): 2324-2334.
- [17] Meng X Y, Chi B Y, Wang Z H. A 152 GHz OOK transmitter with 3 dBm output power in 65 nm CMOS [J]. IEEE Microwave and Wireless Components Letters, 2017, 27(8): 748-750.



徐雷钧(XU Leijun) 男, 1976年生, 江苏海门人, 博士, 江苏大学教授, 研究方向为太赫兹集成电路与射频电磁波能量收集电路。



芦哲涵(LU Zhehan) 男, 1999年生, 山西大同人, 在读硕士研究生, 主要研究方向为射频集成电路设计。