



基于 Vivado 和 Nexys4 DDR 的音乐 节拍器电路设计

张 典, 熊翹楚*

(武汉大学 国家网络安全学院, 武汉 430072)

摘要: 数字逻辑实验作为计算机科学与技术专业中的一门核心实验课程, 是培养学生计算机基础和编程能力的重要环节。针对传统数字逻辑实验门槛高、成本高、实验效果不够理想的问题, 提出了基于 Vivado 软件与 Nexys4 DDR 实验板相结合的实验模式, 分析了该实验模式如何解决传统数字逻辑实验中的问题。该文以音乐节拍器实验为例, 介绍了实验原理、实验内容、实验过程及实验结果等, 揭示了该实验模式所具备的配置简单、性能优越等特点, 以及在提高实验效率, 增强学生参与实验积极性方面发挥的较大作用。

关键词: 数字逻辑; Vivado; Nexys4 DDR; 音乐节拍器

中图分类号: TN791

文献标志码: A

DOI: 10.12179/1672-4550.20230202

Digital Clock Circuit Design Based on Vivado and Nexys4 DDR

ZHANG Dian, XIONG Qiaochu*

(School of Cyber Science and Engineering, Wuhan University, Wuhan 430072, China)

Abstract: As a core experimental course of computer science and technology major, digital logic experiment is an important link to develop students' computer foundation and programming ability. Aiming at the problems of high threshold, high cost and unsatisfactory experimental effect of traditional digital logic experiment, an experimental mode based on the combination of Vivado and Nexys4 DDR is proposed, and how to solve the problems of traditional digital logic experiment with this mode is analyzed. Taking the music metronome experiment as an example, this paper introduces the experimental principle, content, process and results, and reveals that this experimental mode has the characteristics of simple configuration and superior performance, and plays a great role in improving experimental efficiency and enhancing students' enthusiasm to participate in the experiment.

Key words: digital logic; Vivado; Nexys4 DDR; music metronome

数字逻辑技术作为现代电子信息技术的基石之一, 广泛应用于计算机、通信、控制和嵌入式系统等领域, 是现代信息社会的基础设施之一^[1]。数字逻辑技术的发展促进了计算机技术的飞速发展, 为人类社会的进步做出了巨大的贡献。随着科技的不断进步, 数字逻辑技术亦在不断地发展, 未来的数字逻辑技术将更加智能化、高效化、集成化^[2]。可以预见, 数字逻辑技术的未来将更加广泛应用于各个领域, 为人类社会的进步和发展做出更大贡献^[3]。

数字电路是一门计算机科学专业的基础课, 是理论与实践相结合的课程^[4]。在数字电路的学习过程中, 学生需要了解数字电路的基本原理和设计方法, 并进行实验验证^[5]。传统的数字电路实验多采用面包板、电路图等方式进行, 但这种实验方式需要大量的人力和物力投入, 实验效果不够直观, 容易出现误差, 且实验结果得不到保障^[6-7]。因此, 采用现场可编程门阵列 (field programmable gate array, FPGA) 开发板和相关开发软件进行数字电路实验已成为当前数字电路实

收稿日期: 2023-04-12; 修回日期: 2024-04-03

基金项目: 武汉大学本科教育质量建设综合改革项目(2021ZG276); 武汉大学实验技术项目(WHU-2022-SYJS-20)。

作者简介: 张典(1988-), 男, 硕士, 实验师, 主要从事人工智能、软件工程、数字逻辑实验技术方面的研究。

*通信作者: 熊翹楚(1993-), 女, 硕士, 实验师, 主要从事网络安全、内容安全方面实验技术方面的研究。E-mail:

emmaxiong@whu.edu.cn

验教学的主流方式^[8-9]。

1 Nexys4 DDR 实验板

Nexys4 DDR 实验板^[10]是一个完整的、简单易用的数字电路开发平台,采用了高性能逻辑进行深度优化的 Xilinx Artix-7 100T FPGA 芯片,相比之前的 FPGA 芯片,具备更大的存储容量、更高的性能且资源更加丰富。凭借实验板大规模、大容量的 FPGA 芯片、丰富的外部存储器以及 USB、以太网和其他端口的集合, Nexys4 DDR 实验板可以承载从入门级的组合逻辑电路到功能强大的嵌入式系统的设计。同时, Nexys4 DDR 内置的加速计、温度传感器、MEMs 数字麦克风、扬声器放大器以及大量的 I/O 设备,使其可以在不添加任何额外组件的情况下满足各式各样的实验

设计要求。Nexys4 DDR 实验板结构图如图 1 所示。

Vivado Design Suite^[11-12](简称 Vivado)是由 Xilinx 生产的用于硬件描述语言(hardware description language, HDL)设计的综合和分析的软件套件,具备用于芯片上系统开发和高级综合的各项功能。作为 FPGA 主要开发工具之一, Vivado 可以完成包含设计输入、分析综合、约束设定、生成 BitStream、下载到 FPGA 板卡的完整开发流程。

音乐节拍器是一种用于产生稳定节拍以帮助音乐家练习曲目的工具。本文提出一种基于 Nexys4 DDR 实验板和 Vivado 的音乐节拍器实验教学案例,学生可以通过改变节拍速度和音调,创作出属于自己的音乐作品,让学生在实践中学习 FPGA 的设计和编程,锻炼创新思维能力,提高数字电路实验教学的效果。

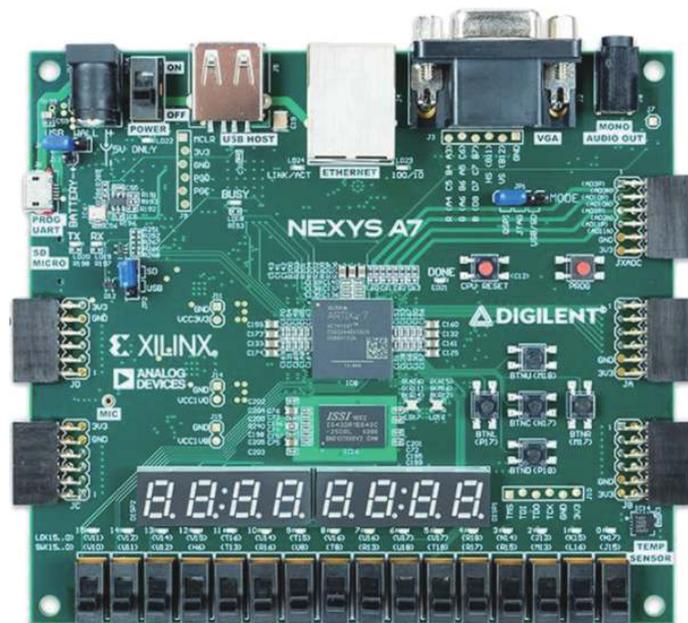


图 1 Nexys4 DDR 实验板结构图

2 电路功能综述

音乐节拍器主要由时钟模块、主控制模块、分频器模块、节拍控制模块、声音生成模块、显示电路模块组成。时钟模块提供原始时钟信号;主控制模块协调各个模块的工作以完成电路功能;分频器模块将原始时钟信号降频为特定频率的时钟信号;节拍控制模块用于调节音乐节拍器的节拍速度;声音生成模块用于控制输出音频信号;显示电路模块用于显示节拍数、节拍速度以及其他需要直观展示的数据。音乐节拍器电路原理图如图 2 所示。

本文实验中,时钟模块采用 Vivado 中提供的时钟管理 IP 核,产生 100 MHz 的时钟信号。分频器模块采用计数器和状态机将 100 MHz 的时钟信号降频到合适的频率。音乐节拍器的节拍速度由实验板上的拨码开关(SW₀、SW₁、SW₂、SW₃)控制。声音生成模块使用实验板上的 AUD_PWM 功能完成音乐节拍器的音频输出。显示电路模块采用实验板提供的 8 位数码管显示输出。整个实验采用 Verilog 语言进行代码编写,经过 Vivado 综合、约束设定、生成二进制文件,并下载二进制文件到 Nexys4 DDR 实验板进行实验结果验证。

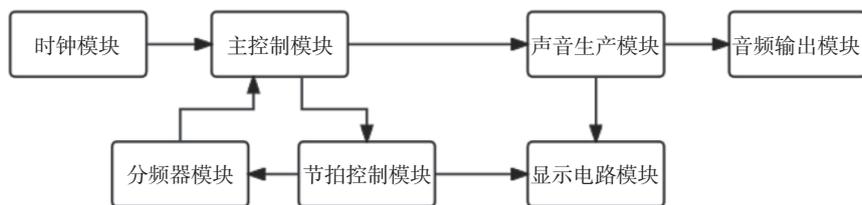


图 2 音乐节拍器电路原理图

3 电路设计原理

3.1 时钟信号

Nexys4 DDR 实验板提供了时钟向导 IP 核，以帮助用户生成特定设计所需的不同时钟。该向导将根据用户指定的所需频率和相位关系正确地实例化所需的混合模式时钟管理(mixed mode clock management, MMCMs)和锁相回路(phase-locked loop, PLLs)。此外，向导将围绕这些时钟资源输出一个易于使用的包装器组件，可以将其插入到用户的设计中。

Nexys4 DDR 实验板包括一个默认的 100 MHz 的 CMOS 振荡器，连接到引脚 E3，输入可以驱动 MMCMs 或 PLLs 产生各种频率的时钟信号。

3.2 主控制模块

主控制模块是整个音乐节拍器系统的大脑，负责协调和控制所有其他模块的工作。它解析用户输入的命令(如通过物理按钮或开关进行的输入)，并根据这些输入调整音乐节拍器的状态和行为，如启动或停止节拍，调整节拍速度等。主控制模块包括以下 5 个功能。

1) 初始化

启动时对节拍器的各个部分进行初始化设置，确保设备处于预期的工作状态。

2) 模式控制

监听来自用户的输入动作，解析这些动作代表的命令(如增加或降低节拍速度、节拍器的开启

或停止等)，并根据这些输入控制其他模块的行为。

3) 节拍控制

根据设定的每分钟节拍数(beats per minute, BPM)，主控制模块会计算出节拍间隙时间，调整分频器模块的分频值，并控制声音生成模块按此节拍频率工作，同时更新数码管显示模块以反映当前 BPM 值或其他状态信息。

4) 管理节拍计数

确保在设定的节拍速度下正确地产生节拍，同时更新数码管显示模块以反映当前节拍数。

5) 输出控制

控制声音生成模块和数码管显示模块，以生成相应的节拍声音和可视化输出。

主控制模块接口定义如下：

```

module index(
  input wire clk, // 时钟信号
  input wire reset, // 复位信号
  input [3:0] speedctrl, // 速度控制输入
  output reg out_led, // LED 灯输出信号
  output reg aud_pwm, // 音频输出信号
  output aud_sd, // 音频输出控制信号
  output reg clk_refresh, // 刷新频率
  output reg [7:0] seg_sel, // 位选信号
  output [6:0] oDisplay // 段选信号
);
  
```

主控制模块对应的 XDC 引脚约束文件配置如表 1 所示。

表 1 主控制模块 XDC 引脚约束

变量	clk	reset	spedctrl	out_led	aud_pwm	aud_sd	clk_refresh
Nexys4 DDR 板上的引脚	CLK E3	BTNC M18	SW0~SW3 J15、L16、M13、R15	LED0 H17	AUD_PWM A11	AUD_SD D12	LED1 J13
变量	seg_sel		oDisplay				
Nexys4 DDR 板上的引脚	AN0~AN7 J17、J18、T9、J14、P14、T14、K2、U13		CA~CG T10、R10、K16、K13、P15、T11、L18				

3.3 分频器模块

在数字电路中，分频器是一种常见的电路^[13]，

广泛应用于数字电路中(如计数器、数字时钟等)。分频器可以将输入信号的频率降低到指定的

范围内,通常由一个或多个触发器和逻辑门组成。输入信号经过触发器后,输出信号的频率就会降低。如果将多个触发器组合起来,就可以实现更高的分频比。每一个计数器的脉冲输出频率等于其输入时钟频率除以计数模值,因此可以很容易地利用计数器由一个输入时钟信号获得分频后的时钟信号。分频器接口定义如下:

```
module divider (
    input clk,
    input reset,
    output oclk
);
```

其中,clk 为实验板板载时钟信号,reset 为复位信号,oclk 是 clk 经过降频后的时钟信号。

3.4 节拍控制模块

节拍速度调整模块允许用户自定义调节节拍速度。模块通过实验板板载拨码开关来接收用户输入信号,解析这些信号,计算并确定新的节拍速度,并将计算结果发送给主控制模块,以调整分频器的分频比率,从而改变节拍速度。

本文音乐节拍器实验案例的默认节拍速度是 120 BPM,即每分钟 120 个节拍数,用户可以通过调节拨码开关对节拍速度进行调节,节拍速度的变化范围是 120~270 BPM。节拍控制模块接口定义如下:

```
module beat_rate_ctrl(
    input clk,
    input reset,
    input [2:0] ctrl,
    output reg beat_rate
);
```

其中,clk 为实验板板载时钟信号;reset 为复位信号;ctrl 为节拍速度调整输入;beat_rate 为调整后的节拍控制模块输出的节拍速度。

3.5 声音生成模块

Nexys4 DDR 实验板上的 AUD_PWM 功能是通过脉冲宽度调制(pulse-width modulation, PWM)信号实现音频输出的一种方法,允许用户使用 FPGA 芯片生成 PWM 信号,并通过板载音频输出接口将 PWM 信号转换为模拟音频信号输出。PWM 信号的频率和脉冲宽度可以根据需要进行配置和调整。

本实验案例中音乐节拍器的默认节拍速度为

120 BPM,每个节拍计数结束时,主控制模块控制声音生成模块,以生成相应的节拍声音。同时,在数码管显示模块中显示节拍速度和节拍数。声音生成模块接口定义如下:

```
module generate_audio(
    input clk,
    input reset,
    input beat_rate,
    output reg out_led,
    output reg aud_pwm,
    output aud_sd,
);
```

其中,clk 为实验板板载时钟信号;reset 为复位信号;beat_rate 为调整后的节拍控制模块输出的节拍速度;out_led 是节拍的 led 输出信号;aud_pwm 是音频输出信号;aud_sd 是音频输出使能端。

3.6 显示电路模块

Nexys4 DDR 实验板包含 2 个 4 位数共阳极七段 LED 显示屏,也可配置成单个 8 位数显示屏。每位数字都由 7 个以“数字 8”模式排列的片段组成,每个片段中嵌入一个 LED。每个 LED 段可以单独照明,因此通过照亮某些 LED 段而让其他 LED 段保持熄灭,可以在“数字 8”上显示 128 种图案中的任何一个,如图 3 所示。在这 128 种可能的显示模式中,有用的是与十进制数字 0~9 相对应的 10 种显示模式。

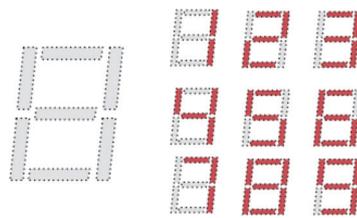


图3 七段数码管显示

组成每个数字的 7 个 LED 段的阳极被捆绑在一起成为一个“共阳极”电路节点,但 LED 阴极保持分离。当阳极信号被驱动高时,控制器必须以正确的模式驱动低阴极。如当 AN0 被选中,同时 CB、CC 被选中,那么在数字位置 1 上将显示“1”。图 4 显示了一个 4 位数控制器的时序图。8 个数字应该每 1~16 ms 被刷新一次以保证每一个数字持续的显得明亮,即刷新频率应控制在 1 kHz~60 Hz 之间。

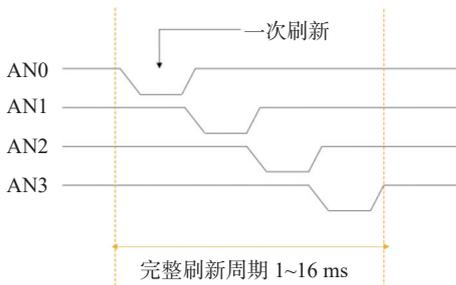


图 4 4 位控制器的时序图

本文实验案例使用七段数码管以十进制形式显示当前的节拍速度和节拍数，让用户直观地了解当前音乐节拍器的运行情况。显示电路模块接口定义如下：

```
module display7(
    input [3:0] iData,
    output [6:0] oData
);
```

其中，iData 代表要显示数字的 4 位二进制数，oData 代表七段数码管上的 7 个 LED 灯。

4 实验调试

首先，本文实验基于 Vivado 开发软件使用 Verilog 编程语言实现一个以 8 分音符为一拍，每小节 6 拍的音乐节拍器功能；其次编译生成二进制文件并下载到 Nexys4 DDR 实验板，设置好引脚约束文件；最后在 Nexys4 DDR 实验板上验证音乐节拍器功能的正确性。

Nexys4 DDR 实验板输出的时钟信号频率默认是 100 MHz，经过分频器处理后降频为 1 Hz 的时钟信号波形图，如图 5 所示。

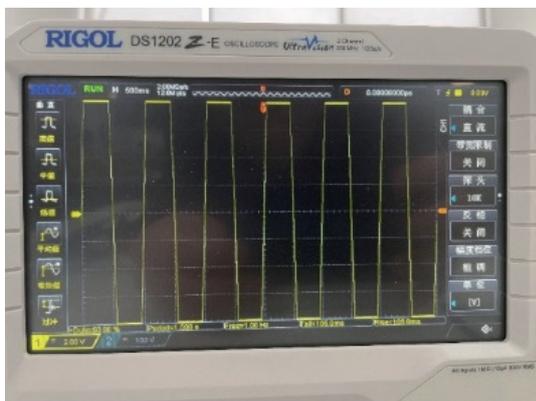


图 5 1 Hz 时钟脉冲信号

通过调节引脚 SW₀~SW₃ 的拨码开关对音乐节拍器的节拍速度进行调节，分频器会将默认的时

钟信号频率调节为相应的频率，节拍速度以数字形式在从右往左数第 1~3 个数码管上进行显示。如图 6 所示是节拍速度为 190 BPM 时对应的数码管显示输出。

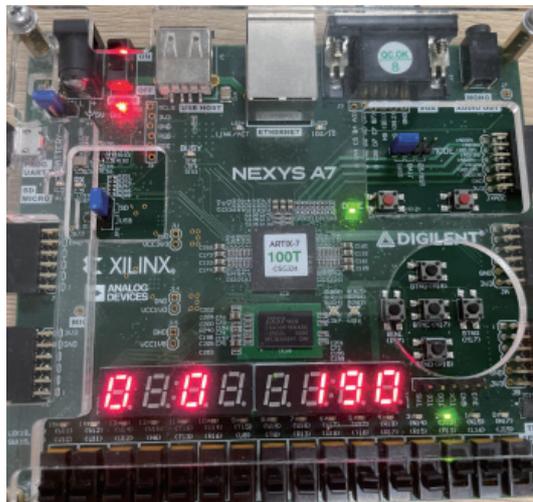


图 6 节拍速度显示输出

每个节拍计数结束时，引脚为 D12 的音频输出控制信号生效，引脚为 A11 的音频输出模块播放节拍声音，并且在从右往左数第 8 个数码管上显示节拍数。如图 7 所示，实验板需要外接耳机播放节拍声音，数码管上显示当前节拍数为 5，当前为第 2 个音符。

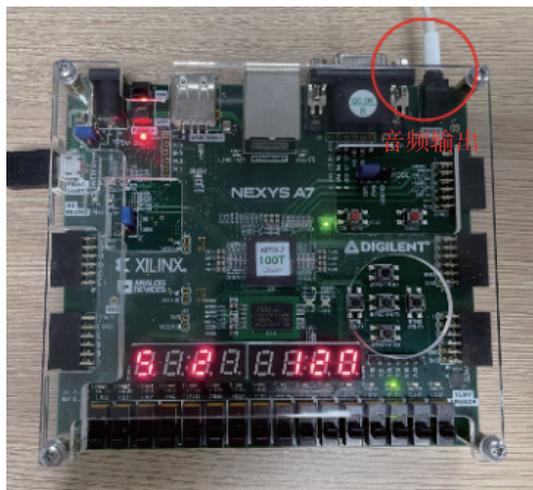
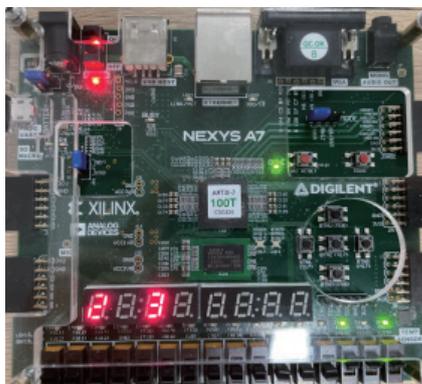
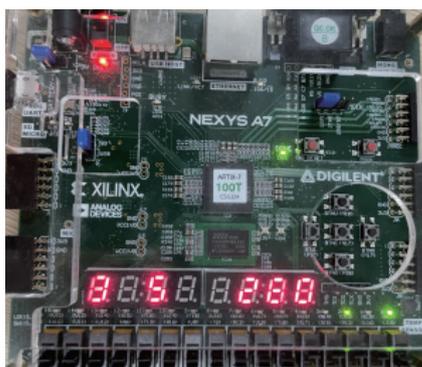


图 7 节拍声音以及节拍数显示输出

数码管的刷新频率设置为 60 Hz，保证人眼所观察到的数字刷新是平稳流畅的，可以通过观察引脚为 J13 的 LED 灯观察该刷新频率。如果将刷新频率设置过高，人眼将看不清任何数字；如果将刷新频率设置过低，数字输出不完整，整个刷新点亮过程不流畅，如图 8 所示。



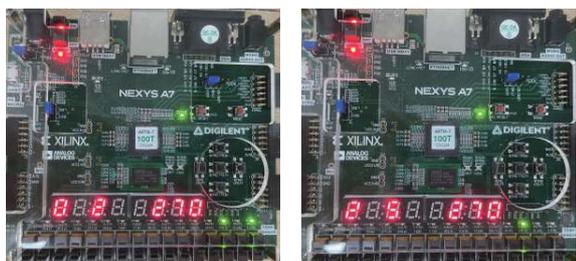
(a) 频率过高



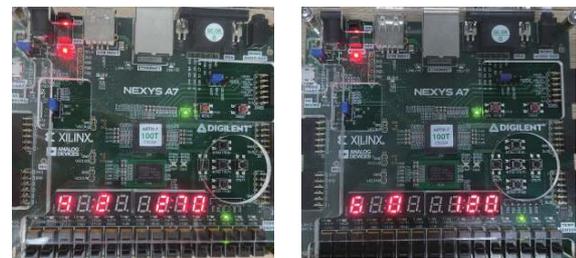
(b) 频率过低

图8 数码管刷新频率过高或过低时的显示输出

以8分音符为一拍,每小节6拍的音乐节拍器的部分显示输出如图9所示。



(a) 270 BPM, 第2小节, 第0拍 (b) 270 BPM, 第5小节, 第2拍



(c) 270 BPM, 第2小节, 第4拍 (d) 120 BPM, 第0小节, 第6拍

图9 音乐节拍器显示输出

5 结束语

本文基于 Vivado 开发软件和 Nexys4 DDR 实

验板,结合 Verilog 编程语言开发调试并成功实现了音乐节拍器电路。Vivado 开发软件和 Nexys4 DDR 实验板相结合的模式所具备的配置简单、性能优越、灵活兼容等特点极大提高了实验效率,保证了实验结果的正确性,增强了学生参与实验的积极性。同时,这种实验模式适用于各种数字电路设计和嵌入式系统开发的应用场合,本实验亦为进一步扩展应用提供了可行性依据。

参考文献

- [1] 张聪慧,邱崧.“数字逻辑电路实验”课程教学改革与实践[J]. *工业和信息化教育*, 2023(12): 54-56.
- [2] 鲁鹏程,张丽艳,邵温,等.面向工程实践能力培养的数字逻辑实验教学改革[J]. *计算机教育*, 2023(10): 87-91.
- [3] 张旭,胡东华,朱付保.基于系统能力培养的计算机课程体系改革与实践[J]. *软件导刊*, 2022, 21(7): 142-146.
- [4] 郭文俊,杨泽民.“新工科”背景下“数字逻辑”课程教学改革与探索[J]. *工业和信息化教育*, 2024(1): 58-62.
- [5] 盛建伦,刘淑霞,王勇,等.数字逻辑实验技术改革的研究[J]. *实验技术与管理*, 2015, 32(4): 216-219.
- [6] 周天剑,王庆娟,周雁,等.“数字逻辑技术”教学改革探索[J]. *科技与创新*, 2022(21): 131-133.
- [7] 魏继增,王建荣,李幼萌,等.面向系统能力的数字逻辑与数字系统课程实践教学改革[J]. *实验室研究与探索*, 2022, 41(10): 179-183.
- [8] 栾岚. FPGA 技术在数字逻辑课程中的应用[J]. *电脑知识与技术(学术版)*, 2021, 17(24): 168-169.
- [9] 贺雪莉.基于 FPGA 的数字逻辑电路实验设计[J]. *现代计算机*, 2022, 28(18): 67-74.
- [10] Nexys 4 DDR[EB/OL]. [2023-02-11]. <https://digilent.com/reference/programmable-logic/nexys-4/start?>
- [11] Vivado Design Suite[EB/OL]. [2023-03-19]. <https://china.xilinx.com/video/hardware/vivado-design-suite-installation-overview.html>.
- [12] 张辉,樊亚妮.基于 Vivado HLS 的数字电子技术实验课程教学实践[J]. *集成电路应用*, 2021, 38(11): 102-103.
- [13] 王华本.《数字逻辑电路》中触发器的应用教学探讨[J]. *廊坊师范学院学报(自然科学版)*, 2022, 22(2): 123-128.

编辑 张俊