

一种低电流失配的鉴频鉴相器与电荷泵设计*

沈诗雅^{1**} 杨俊浩¹ 张沁枫¹ 魏敬和^{1,2}

(¹ 中国电子科技集团公司第五十八研究所, 江苏, 无锡, 214035)

(² 集成电路与微系统全国重点实验室, 江苏, 无锡, 214035)

2024-05-27 收稿, 2024-06-25 收改稿

摘要: 基于 $0.18\ \mu\text{m}$ SiGe BiCMOS 工艺提出了一种低电流失配的鉴频鉴相器和电荷泵。鉴频鉴相器采用改进的边沿触发型结构, D 触发器和与门等模块均基于电流模逻辑, 能够抑制共模噪声并减小鉴相死区; 电荷泵中设计了电流补偿偏置电路, 能够减小沟道长度调制效应等因素的影响, 降低电流失配。通过抑制鉴频鉴相器和电荷泵的上述非理想效应可以降低其造成的相位误差, 进而优化锁相环的带内相噪。在典型工艺角下, $3.3\ \text{V}$ 电源电压供电, 电荷泵输出电流为 $3.2\ \text{mA}$ 时, 补偿后 $0.7\sim 2.8\ \text{V}$ 电压范围内充放电电流失配度小于 1% , 鉴频鉴相器和电荷泵电流噪声为 $-214.199\ \text{dBA/Hz}$ @ $100\ \text{kHz}$ 。流片测试得到锁相环的相位噪声为 $-138.34\ \text{dBc/Hz}$ @ $100\ \text{kHz}$, 表明设计的鉴频鉴相器和电荷泵具有低电流失配和低带内相位噪声。

关键词: 电流失配; 电流补偿; 电荷泵; 鉴频鉴相器; 锁相环

中图分类号: TN433 文献标识码: A 文章编号: 1000-3819(2024)06-0591-07

Design of a Low Current Mismatch Phase Frequency Detector and Charge Pump

SHEN Shiya¹ YANG Junhao¹ ZHANG Qinfeng¹ WEI Jinghe^{1,2}

(¹ The 58th Research Institute of China Electronics Technology Group Corporation, Wuxi, Jiangsu, 214035, CHN)

(² National Key Laboratory of Integrated Circuits and Microsystems, Wuxi, Jiangsu, 214035, CHN)

Abstract: A low current mismatch phase frequency detector (PFD) and charge pump (CP) was proposed based on the $0.18\ \mu\text{m}$ SiGe BiCMOS process. The PFD employed an improved edge-triggered structure, modules such as D flip-flops and sum gate were based on current-mode logic, which served to suppress common-mode noise and minimize the dead zone. The CP was designed with a current-compensated bias circuit, which can reduce the impact of factors such as the channel-length modulation effect, then reduce current mismatch. By suppressing the aforementioned non-ideal effects of the PFD and CP, the phase error caused by them can be reduced, thus optimizing the in-band phase noise of the phase-locked loop (PLL). In the typical process corner, with a $3.3\ \text{V}$ supply voltage and $3.2\ \text{mA}$ output current of the CP, the charge/discharge current mismatch is less than 1% in the voltage range of $0.7\sim 2.8\ \text{V}$ after compensation. The current noise of the PFD and CP is $-214.199\ \text{dBA/Hz}$ @ $100\ \text{kHz}$. Furthermore, the phase noise of the PLL is $-138.34\ \text{dBc/Hz}$ @ $100\ \text{kHz}$ in the test, which demonstrates that the designed PFD and CP has low current mismatch and low in-band phase noise.

Key words: current mismatch; current compensation; charge pump (CP); phase frequency detector (PFD); phase-locked loop (PLL)

* 基金项目: 江苏省自然科学基金(BK20211041)

** 联系作者: E-mail: Shenshiya@163.com

引言

随着科技不断进步,电子行业飞速发展,许多电路都需要时钟调配模块间协同工作以实现系统功能。锁相环能够提供稳定的时钟,在不同的应用场景下对其性能指标有不同的要求,包括锁定时间、相位噪声和功耗等。鉴频鉴相器和电荷泵是电荷泵锁相环中重要的模块,鉴频鉴相器的鉴相死区和电荷泵电流失配会恶化锁相环带内相位噪声性能,所以减小这两个非理想因素的影响对高精度电荷泵锁相环研究具有重要意义。

减小电荷泵电流失配的方法主要有提高电荷泵电流源的输出阻抗、通过模拟或数字方法进行电流补偿及校准等。文献[1]提出了一种非线性鉴频鉴相器和低失配的电荷泵,采用高增益轨至轨输入放大器提高了充放电电流的匹配性能,但是非线性鉴频鉴相器的应用场景有限,不适用于小数分频锁相环。文献[2]基于数字方法根据鉴频鉴相器的死区延迟时间、前置分频器的分频模式进行校准,从而减小鉴频鉴相器非理想效应的影响,提升鉴频鉴相器和电荷泵的线性度,但是锁相环带内相位噪声没有显著优化,为 $-85 \text{ dBc/Hz} @100 \text{ kHz}$ 。文献[3]提出了一种电流失配自适应补偿自偏置锁相环,采用逐次逼近方法调整补偿电流的大小,减小鉴相误差,但是没有基于仿真与测试结果具体说明补偿电流失配对锁相环带内相位噪声的优化程度。

为了减小电荷泵电流失配,进而优化锁相环的带内相位噪声,本文基于 $0.18 \mu\text{m SiGe BiCMOS}$ 工艺设计了一种应用范围较广的鉴频鉴相器和电荷泵,鉴频鉴相器采用改进的边沿触发型结构减小鉴相死区,在电荷泵中设计能够减小沟道长度调制效应等因素影响的电流补偿偏置电路,有效地提升了充放电电流匹配性能,降低了电流失配,从而优化锁相环的带内相位噪声。改进型电荷泵充放电电流失配度小于1%的电压范围为 $0.7 \sim 2.8 \text{ V}$,在频偏 100 kHz 处鉴频鉴相器和电荷泵的电噪声为 -214.199 dBA/Hz 。

1 电荷泵锁相环理论分析

1.1 电荷泵锁相环带内相位噪声分析

电荷泵锁相环主要包括鉴频鉴相器(Phase frequency detector, PFD)、电荷泵(Charge pump, CP)、环路滤波器(Loop filter, LF)、压控振荡器

(Voltage-controlled oscillator, VCO)和分频器(Divider, DIV),当锁相环的环路带宽低于参考频率的 $1/10$ 时,可以将其近似为连续线性模型分析。

如图1所示为电荷泵锁相环的s域线性模型,在线性模型中分析时通常将鉴频鉴相器和电荷泵结合起来,将其等效为受参考信号和反馈信号相位差控制的电流源,可得PFD/CP的传递函数和锁相环的开环传递函数分别为:

$$H_{\text{PFD/CP}}(s) = \frac{I_{\text{cp}}(s)}{\theta_{\text{ref}}(s) - \theta_{\text{fb}}(s)} = \frac{I_{\text{cp}}}{2\pi} \quad (1)$$

$$H_{\text{open}}(s) = \frac{K_{\text{vco}} I_{\text{cp}} H_{\text{lf}}(s)}{s \cdot 2\pi N} \quad (2)$$

其中 $I_{\text{cp}}(s)$ 为电荷泵输出电流, $\theta_{\text{ref}}(s)$ 为输入参考信号, $\theta_{\text{fb}}(s)$ 为反馈信号, K_{vco} 为压控振荡器的频率调谐增益, $H_{\text{lf}}(s)$ 为环路滤波器的传递函数, N 为分频器的分频比。

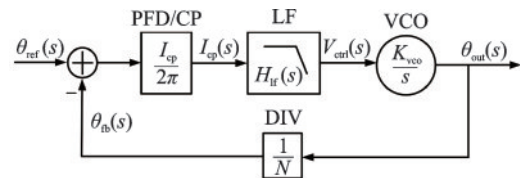


图1 电荷泵锁相环的s域线性模型

Fig.1 S-domain linear model of the charge pump PLL

假设PFD和CP产生的电流噪声为 $i_{\text{cp},n}^2$,由梅森定律可得其噪声传递函数为:

$$\begin{aligned} \frac{\phi_{\text{out,cp}}^2}{i_{\text{cp},n}^2} &= \left| \frac{2\pi N}{I_{\text{cp}}} \cdot \frac{H_{\text{open}}(s)}{1 + H_{\text{open}}(s)} \right|^2 \\ &= \left| N \cdot \frac{2\pi K_{\text{vco}} H_{\text{lf}}(s)}{s \cdot 2\pi N + I_{\text{cp}} K_{\text{vco}} H_{\text{lf}}(s)} \right|^2 \quad (3) \end{aligned}$$

由式(3)可知鉴频鉴相器和电荷泵的噪声传递函数呈现低通特性,是锁相环带内相噪的主要来源。

1.2 鉴频鉴相器与电荷泵的相位误差分析

影响鉴频鉴相器性能的非理想因素包括鉴相死区、鉴相盲区等^[4],鉴相死区是鉴频鉴相器能够鉴别的最小相位差,它会使电荷泵的开关不能正常导通,从而不能对环路滤波器进行正常充电和放电^[5]。鉴相盲区是鉴频鉴相器复位时由于忽略输入信号的触发边沿而产生的相位差区间。实际电路中鉴频鉴相器产生的脉冲控制信号之间存在延时 Δt_d ,使环路滤波器的输出电压存在周期性的纹波,由这种延迟导致的相位误差为^[6]:

$$\phi_{e1} = \frac{2\pi \cdot \Delta t_{\text{on}}}{T_{\text{ref}}} \cdot \frac{\Delta t_d}{T_{\text{ref}}} \quad (4)$$

其中 Δt_{on} 为鉴频鉴相器导通时间, T_{ref} 为参考信号周期。

电荷泵非理想效应包括电流失配、时钟馈通、电荷共享等, 本文主要针对减小电流失配进行设计。如图 2 所示, 电荷泵中实际电流源有限的输出

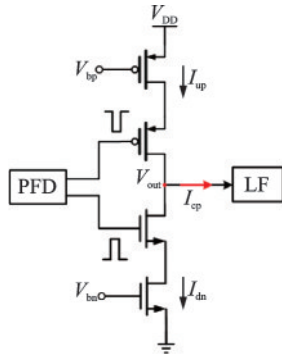


图 2 电荷泵结构示意图

Fig.2 Schematic of CP structure

阻抗会使其受到工艺、电压、温度的影响, 导致电荷泵输出节点电压 V_{out} 产生波动。当 V_{out} 偏大时, 由于存在沟道长度调制效应, NMOS 电流源管饱和的程

度高于 PMOS 电流源管, 导致放电电流 I_{dn} 大于充电电流 I_{up} ; 同理, 当 V_{out} 偏小时, I_{up} 大于 I_{dn} , 使得充放电电流失配。由电流失配导致的相位误差为:

$$\phi_{e2} = \frac{2\pi \cdot \Delta t_{on} \cdot I_{mis}}{T_{ref} \cdot I_{cp}} \quad (5)$$

其中 I_{mis} 为失配电流。

因此, 抑制鉴频鉴相器和电荷泵的非理想效应可以降低其造成的相位误差, 进而优化锁相环的带内相噪。

2 鉴频鉴相器与电荷泵电路设计

2.1 鉴频鉴相器电路结构及工作原理

设计的改进型鉴频鉴相器结构如图 3 所示, 包括基于电流模逻辑 (Current mode logic, CML) 的 D 触发器 (D flip-flop, DFF)、嵌入延迟单元的与门 (AND&DELAY) 和差分输出单元 (DRIVER), 输入的 F_{ref} 、 F_{in} 分别为晶振产生的参考时钟信号和经过分频的反馈信号。

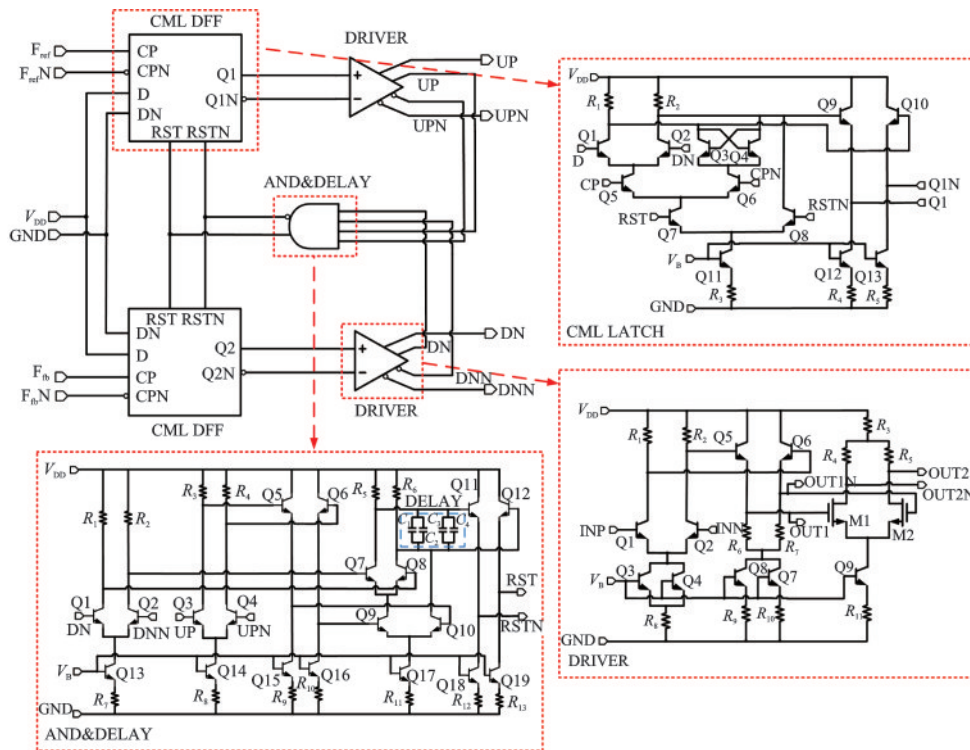


图 3 鉴频鉴相器电路结构

Fig.3 Structure of PFD

与传统边沿触发型鉴频鉴相器的结构相比, CML 的输入和输出均为差分信号, 提高了共模噪声抑制能力和抗串扰能力, 具有高速、低功耗的优点。由于 MOS 管在高频下需要更大的跨导, 从而产生较

大的电流噪声, 所以本文在 CML 中采用 BJT 管, 与 MOS 管相比在高频下具有更好的噪声属性, 有利于优化鉴频鉴相器的噪声。当鉴频鉴相器的输出信号 UP 和 DN 都为高电平时, 通过与门触发复位信号

RST实现复位清零,与门中由电容作为延迟单元,保证在输入相位差为零的情况下,UP和DN依然能够输出一定宽度的脉冲,以减小鉴相死区。

2.2 电荷泵电路结构及工作原理

电荷泵的性能指标包括工作电流、充放电电流匹配性能、匹配输出电压范围等^[4]。当电荷泵的工作电流增大时,电荷泵增益会增大,电荷泵对环路滤波器充放电的速度加快,系统锁定时间缩短,由漏电流引起的杂散会变小。电荷泵的静态电流匹配性能通常由充放电电流失配度衡量,其表达式为:

$$Q_{\text{mismatch}} = \frac{|I_{\text{up}} - I_{\text{dn}}|}{1/2(I_{\text{up}} + I_{\text{dn}})} \times 100\% \quad (6)$$

当电荷泵的充放电电流匹配性能提升时,对应的匹配输出电压范围也会增大,所以特定电流失配度下匹配输出电压范围的大小可以体现电荷泵匹配性能的优劣。

2.2.1 电荷泵整体结构

为了减小沟道长度调制效应等因素对电流失配的影响,本文设计了能够补偿失配电流的电荷泵。如图4所示,电荷泵包括充电模块(IU)、放电模块(ID)和数字控制模块(CTR),充电和放电模块中包含了若干电流复制单元和电流补偿偏置电路,电流补偿偏置电路基于反馈电压对失配进行补偿,从而减小电荷泵非理想效应造成的相位误差;数字控制模块能够改变充放电电流的大小。

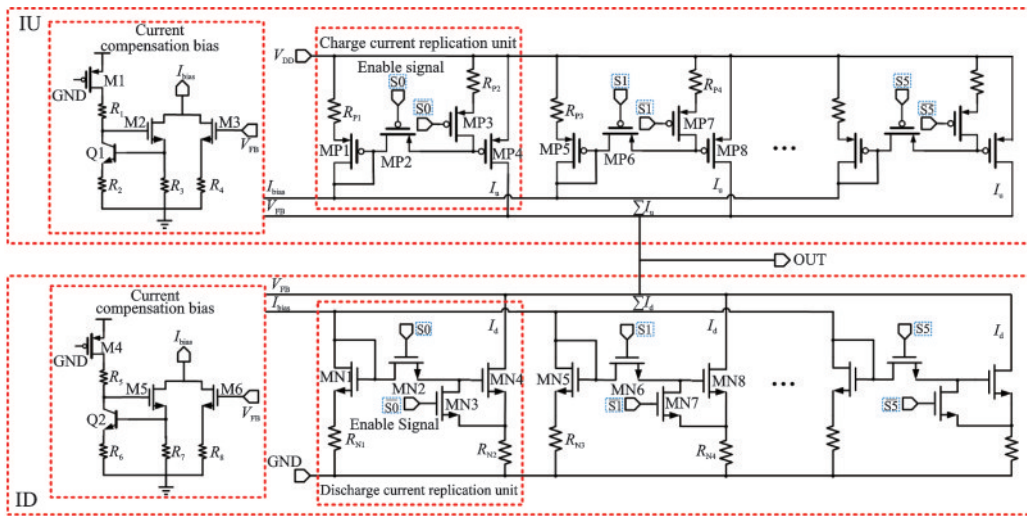


图4 电荷泵整体电路结构

Fig.4 Overall structure of CP

2.2.2 充放电模块

电流镜可以精确地复制参考电流而不受工艺和湿度的影响^[4]。如图4所示,对于充电模块,电流补偿偏置电路产生的电流 I_{bias} 输入电流镜,调整电流镜中PMOS管尺寸能够得到不同大小的电流 I_u 。数字控制模块产生S0、S1等电流镜的使能信号,控制正常工作的充电电流复制单元的数量,将若干个单元产生的 I_u 相加即为电荷泵总的充电电流 $\sum I_u$ 。同时将输出电压 V_{FB} 作为反馈信号输入电流补偿偏置电路,对电流失配进行补偿。放电模块的原理与充电模块相同,通过NMOS管构成的电流镜电路复制 I_{bias} 得到放电电流 I_d 。

2.2.3 电流补偿偏置电路

如图5所示是电流补偿偏置电路结构,包括电流基准产生模块和电流补偿模块。在电流基准产

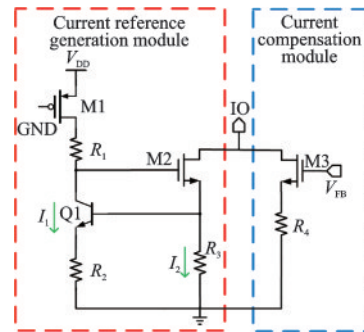


图5 电流补偿偏置电路结构

Fig.5 Structure of current-compensated bias circuit

生模块中,假设流过 R_1 和 R_2 的电流为 I_1 , 流过 R_3 的电流为 I_2 , 电流表达式为:

$$I_1 = \frac{V_{\text{DD}} - V_{\text{GS}} - V_{\text{BE}}}{R_1 + R_2} \quad (7)$$

$$I_2 = \frac{I_1 \cdot R_2 + V_{BE}}{R_3} \quad (8)$$

其中 V_{GS} 为 MOS 管的栅源电压, V_{BE} 为三极管发射极与基极之间的电压。

将式(7)代入式(8)得到 I_2 为:

$$I_2 = \frac{R_2(V_{DD} - V_{GS}) + V_{BE} \cdot R_1}{R_3(R_1 + R_2)} \quad (9)$$

其中 $V_{GS} = V_{OD} + V_{th}$, V_{OD} 和 V_{th} 分别为 MOS 管的过驱动电压和阈值电压。将式(9)对温度求导, 由于电源电压不随温度的变化而发生改变, 晶体管和漏源电流确定后 V_{OD} 为常数, 结果为:

$$\frac{\partial I_2}{\partial T} = -\frac{R_2}{R_3(R_1 + R_2)} \cdot \frac{\partial V_{th}}{\partial T} + \frac{R_1}{R_3(R_1 + R_2)} \cdot \frac{\partial V_{BE}}{\partial T} \quad (10)$$

其中 V_{th} 和 V_{BE} 都具有负温度系数, 所以通过选择合适的 R_1 、 R_2 、 R_3 的值, 就可以得到一个基本不随温度变化而变化的电流基准。本文中 R_1 、 R_2 、 R_3 的值分别为 2.49 k Ω 、263.16 Ω 和 1.13 k Ω , 电流基准为 100 μ A。

锁相环中压控振荡器通常具有大的控制电压范围, 则电荷泵输出节点 V_{out} 也相应具有大的电压变化范围, 导致 MOS 管的漏源电压变化较大, 沟道长度调制效应会使电荷泵的充放电电流不匹配, 造成压控振荡器的控制电压出现纹波, 改变压控振荡器的输出频率, 从而恶化锁相环的噪声性能。

为了改善电荷泵的电流失配问题, 设计了如图 5 所示的电流补偿模块, 其中 V_{FB} 为电流镜输出节点的电压, 作为反馈信号输入。假设电荷泵输出节点处电压变化为 ΔV , 饱和区电流公式为:

$$I_D = 1/2\mu C_{ox} W/L (V_{GS} - V_{th})^2 (1 + \lambda V_{DS}) \quad (11)$$

其中 μ 为载流子的迁移速率, C_{ox} 为单位面积栅氧化层电容, W/L 为 MOS 管氧化层宽长比, λ 为沟道长度调制系数。充放电电流的变化量分别为:

$$\Delta I_{up} = 1/2\mu_p C_{ox} (W/L)_p (V_{GS_p} - V_{thp})^2 \lambda_p \Delta V \quad (12)$$

$$\Delta I_{dn} = 1/2\mu_n C_{ox} (W/L)_n (V_{GS_n} - V_{thn})^2 \lambda_n \Delta V \quad (13)$$

在电流补偿模块中, 晶体管 M3 栅源电压的变化量可近似为 ΔV , 补偿电流的大小为:

$$\Delta I = \Delta V / R_4 \quad (14)$$

当工艺及晶体管确定后, 通过调节电流镜中充电管和放电管的宽长比, 以及电阻 R_4 的大小, 可以使式(12)、(13)的和与式(14)相等, 实现电流失配补偿。本文中电阻 R_4 的值为 19.63 k Ω , 充放电管的宽长比等参数如表 1 所示。

表 1 电流镜充放电管的参数

Tab.1 Parameters of charging and discharging MOS-FETs in current mirror

	Width/nm	Length/ μ m	Multiplier
MP1	500	2.9	8
MP2	350	2.3	4
MP3	350	2.3	1
MP4	500	2.9	16
MN1	700	2.9	10
MN2	350	1.5	4
MN3	350	0.9	1
MN4	700	2.9	5

2.2.4 数字控制电路

如图 6 所示是数字控制电路结构图, 基于与非门和反相器根据三位控制字 D1、SEL、D0 产生充放电电流复制单元的使能信号, 通过改变正常工作的电流镜的数量改变电荷泵工作电流的大小, 从而改变电荷泵增益, 所以能够根据实际需要达到对锁相环增益、充放电时间等不同性能指标的要求。

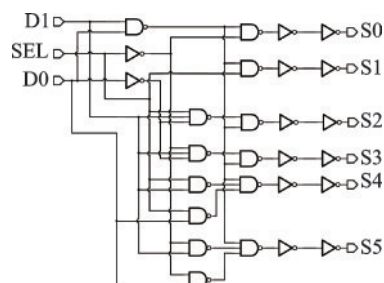


图 6 数字控制电路结构

Fig.6 Structure of digital control circuit

3 后仿真与测试结果分析

3.1 版图设计

基于 0.18 μ m SiGe BiCMOS 工艺设计的鉴频鉴相器与电荷泵的版图如图 7 所示, 充放电模块采取对称式布局, 保证电流匹配性能, 面积为 481 μ m \times 802 μ m, 即 0.386 mm²。

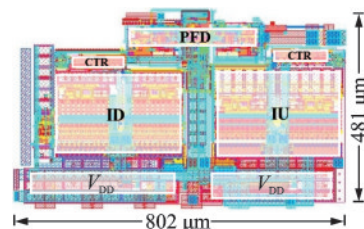


图 7 鉴频鉴相器与电荷泵的整体版图

Fig.7 Overall layout of the PFD and CP

3.2 后仿真结果

采用Cadence Spectre工具分别对改进电荷泵的静态电流匹配特性、相位噪声等性能进行仿真验证。加入电流补偿偏置前后不同工艺角下的电流匹配特性仿真曲线如图8所示,补偿后ss/tt/ff工艺角下匹配输出电压范围均增大,tt工艺角下充放电电流失配度小于1%的电压范围从1.1~1.8 V增大至0.7~2.8 V,有效提升了电荷泵的静态电流匹配性能。

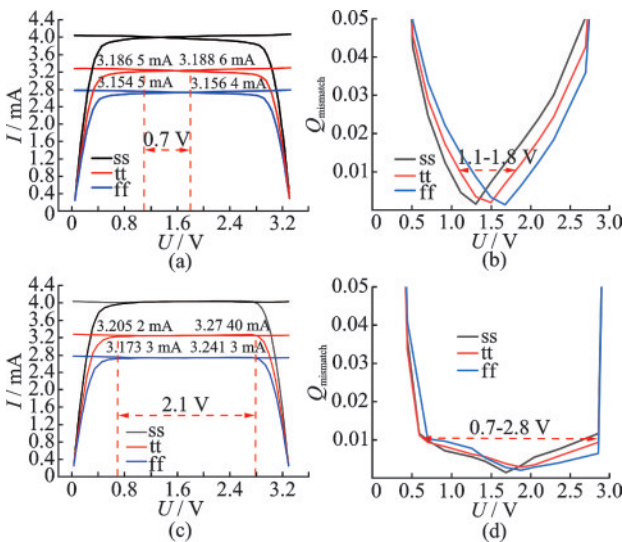


图8 电荷泵仿真:(a) 无补偿时的充放电曲线;(b) 无补偿时的失配度;(c) 有补偿时的充放电曲线;(d) 有补偿时的失配度

Fig.8 Simulation of CP:(a) Charge/Discharge curves without compensation;(b) $Q_{mismatch}$ without compensation;(c) Charge/Discharge curves with compensation;(d) $Q_{mismatch}$ with compensation

27°C、tt工艺角下,对改进电荷泵的充放电过程进行瞬态仿真,如图9所示,在开关管周期性开启和关断期间,电荷泵输出节点 V_{out} 的电压波形未出现毛刺,说明电荷泵非理想特性得到较好的抑制。

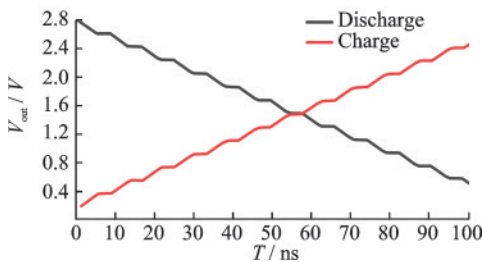


图9 电荷泵充放电过程瞬态仿真曲线
Fig.9 CP charge/discharge transient simulation curves

对所设计的鉴频鉴相器和电荷泵级联后进行相位噪声仿真,27°C、tt工艺角下的相位噪声如图10所示,可见在100 kHz处电流噪声为-214.199 dBA/Hz,体现了良好的噪声性能。

示,可见在100 kHz处电流噪声为-214.199 dBA/Hz,体现了良好的噪声性能。

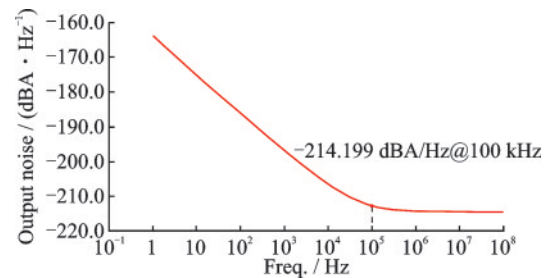


图10 鉴频鉴相器与电荷泵级联相位噪声仿真曲线
Fig.10 PFD+CP phase noise simulation curve

3.3 测试结果

设计的低电流失配鉴频鉴相器与电荷泵应用于一款超低抖动锁相环频率合成器,用逐点记录法测试流片后电荷泵静态电流匹配性能和电流匹配时的电压输出范围,得到的曲线如图11所示。充放电电流失配度小于1%时的电压范围为0.8~2.7 V,与后仿真结果相比略微减小,除了芯片制造过程中的工艺偏差等因素,还与测量仪器的有限精度有关。

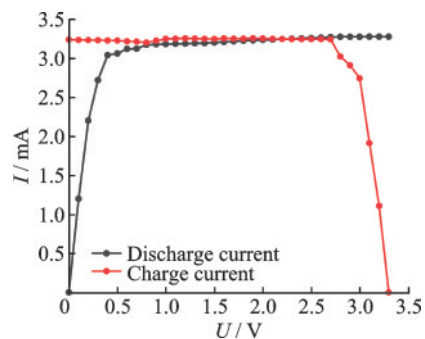


图11 电荷泵静态充放电电流匹配特性测试曲线
Fig.11 CP static charge/discharge current matching characteristic test curves

在鉴频鉴相器输入信号频率为122.88 MHz、电荷泵电流为3.2 mA时测试锁相环整体的相位噪声,结果如图12所示,相位噪声在频偏100 kHz时为

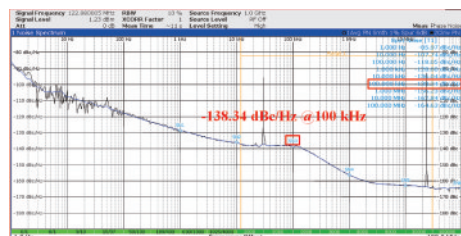


图12 相位噪声测试结果
Fig.12 Phase noise test result

-138.34 dBc/Hz。

本文设计的鉴频鉴相器和电荷泵参数与相关文献的对比如表2所示,综合充放电电流失配度、匹

配电压范围和相位噪声三个指标来看,本文具有一定优势,说明通过抑制鉴频鉴相器和电荷泵的非理想效应能够有效减小锁相环的带内相位噪声。

表2 本文鉴频鉴相器和电荷泵参数与相关文献对比

Tab.2 Comparison of parameters of the PFD and CP between this paper and related literatures

Ref.	Process	Voltage/V	$Q_{\text{mismatch}}/\%$	Matching voltage range/V	Matching range percentage/%	Phase noise/(dBc/Hz@100 kHz)
[7]	0.18 μm SiGe BiCMOS	2.70-3.30	2.0	—	—	-109.00
[8]	0.18 μm CMOS	1.80	2.0	0.5-1.5	55.6	—
[9]	0.18 μm CMOS	1.80	1.6	0.3-1.6	72.2	-127.00
[10]	28 nm CMOS	1.05	2.0	0.2-0.8	57.1	-58.00
This work	0.18 μm SiGe BiCMOS	3.30	1.0	0.7-2.8	63.6	-138.34

4 结 论

本文提出了一种低电流失配的鉴频鉴相器和电荷泵,针对鉴频鉴相器和电荷泵的非理想效应分别设计了改进的边沿触发型结构和电流补偿偏置电路,从而减小由鉴相死区和电流失配导致的相位误差。加入电流补偿电路可以优化电荷泵的静态电流匹配特性,后仿真结果表明,充放电电流失配度小于1%时的电压范围为0.7~2.8 V,在频偏100 kHz处电流噪声为-214.199 dBA/Hz。测试结果证明,采用该改进型鉴频鉴相器和电荷泵的锁相环相位噪声为-138.34 dBc/Hz@100 kHz,实现了较好的带内相位噪声性能。本文所设计的鉴频鉴相器和电荷泵可以应用于高精度电荷泵锁相环芯片,为射频收发类电路和数据转换器提供精准的本振时钟信号,还可以应用于无线设施、测试及测量等场景。

参 考 文 献

- [1] Tian Z C, Li Z Q, Lin W W, et al. Design of nonlinear phase frequency detector and low mismatch charge pump [C]. 2023 8th International Conference on Integrated Circuits and Microsystems (ICICM). Nanjing: IEEE, 2023: 507-510.
- [2] 赵建欣, 廖春连. 一种超宽带频率综合器电路的设计与实现[J]. 电子与封装, 2022, 22(7): 70305.
- [3] 韦雪明, 梁东梅, 谢镭, 等. 一种电流失配自适应补偿宽带锁相环设计[J]. 半导体技术, 2023, 48(6): 500-505.

- [4] 拉扎维. 模拟 CMOS 集成电路设计[M]. 陈贵灿, 程军, 张瑞智, 译. 西安: 西安交通大学出版社, 2003.
- [5] 贝斯特. 锁相环设计、仿真与应用[M]. 李永明, 译. 5版. 北京: 清华大学出版社, 2007.
- [6] 苏浩, 郭京, 牟仕浩, 等. 高性能 CMOS 鉴频鉴相器和电荷泵的设计[J]. 电子设计工程, 2021, 29(1): 6-10, 15.
- [7] 蒲明臻, 赵宏亮, 鲜卓霖, 等. 低杂散、低相噪的电荷泵锁相环设计[J]. 固体电子学研究与进展, 2021, 41(4): 285-290.
- [8] 白杨, 张万荣, 陈昌麟, 等. 基于常数跨导轨到轨运算放大器的新型电荷泵[J]. 微电子学, 2015, 45(1): 41-45.
- [9] 刘颖斌, 韦保林, 韦雪明, 等. 一种宽温度范围电流恒定电荷泵[J]. 桂林电子科技大学学报, 2019, 39(4): 288-292.
- [10] Zhang C M, Zhang D S, Wang Y B, et al. 10 GHz low current mismatch pseudo-differential charge pump phase-locked loop circuit design [C]. 2022 7th International Conference on Integrated Circuits and Microsystems (ICICM). Xi'an: IEEE, 2022: 45-49.



沈诗雅 (SHEN Shiyi) 女, 2000年生, 甘肃兰州人, 在读硕士研究生, 研究方向为模拟集成电路设计。

魏敬和 (WEI Jinghe) 男, 1970年生, 安徽庐江人, 博士, 研究员, 主要研究方向为 SoC 和高性能数模混合集成电路设计。