

DOI: 10.19816/j.cnki.10-1594/tn.2023.06.060

一种高速低功耗 8 bit 两步式 SAR ADC 的设计*

高科, 刘瑞豪, 陈志杰

(北京工业大学信息学部微电子学院 北京 100124)

摘要: 近年来, 随着 5G 通信技术以及物联网技术的兴起, 人们对高速、低功耗 ADC 的需求日益增长, 对其性能要求也越来越高, 传统 SAR ADC 结构为实现高转换速度需要以降低转换精度为代价, 目前同时实现高速度和高精度仍是其设计难点。为实现高性能 SAR ADC 设计, 本文基于电压-时间混合域量化结构, 采用 2bits/cycle 技术, 以锁存器为辅, 有效减小单个比较周期所需时长。采用级间冗余技术, 通过数字逻辑提供 0.5 位冗余并使第 2 级时间域的量化精度提升 0.5 位。本文基于 TSMC 65-nm CMOS 工艺进行电路设计, 最终实现 1GS/s 采样率、8.5 比特量化位数、功耗为 3.6 mW、SNDR 为 49.89 dB, FoM 为 14.1 fJ/conv.-step 的高速低功耗 SAR ADC 的设计。

关键词: 高速度; 高精度; 电压-时间混合域; 锁存器; 级间冗余技术

中图分类号: TM712 **文献标识码:** A **国家标准学科分类代码:** 510

An 8-bit 1GS/s two-step high-speed and low-power SAR ADC

GAO Ke, LIU Ruihao, CHEN Zhijie

(College of Microelectronics, Faculty of Information Technology, Beijing University of Technology, Beijing 100124, China)

Abstract: In recent years, with the emergence of 5G communication technology and internet of things (IoT) technology, the demand for high-speed and low-power ADCs has been increasing. The performance requirements for these ADCs are also getting higher. Traditional successive approximation register (SAR) ADC structures achieve high conversion speeds at the cost of reduced conversion accuracy, and currently, achieving both high speed and high accuracy remains a design challenge. In order to achieve high-performance SAR ADC design, this paper proposes a voltage-time hybrid domain quantization structure and adopts the 2bits/cycle technique with the assistance of latch, effectively reducing the required duration of a single quantization cycle. The inter-stage redundancy technique is used to provide 0.5 bits of redundancy through digital logic, improving the quantization accuracy of the second stage in the time domain by 0.5 bits. This article is based on the TSMC 65-nm CMOS process for circuit design, achieving a high-speed and low-power SAR ADC with a sampling rate of 1 GS/s, a quantization bit number of 8.5, a power consumption of 3.6 mW, an SNDR of 49.89 dB, and a FoM of 14.1 fJ/conv.-step.

Keywords: high speed; high accuracy; voltage-time hybrid domain; latch; inter-stage redundancy technique

0 引言

随着集成电路工艺的不断升级, 数字电路的集成度、速度、功耗得到了进一步的提升和改善, 而对于模拟电路, 随着晶体管特征尺寸的不断减小, 晶体管本征增益以及供电电压也随之减小, 增加了高性能模拟电路的设计难度。基于以上因素, 数字信号处理 (digital signal processing, DSP) 逐渐取代模拟信号处

理, 成为信号处理的主流手段。如图 1 所示, 自然界中的信号是连续变化的模拟信号, 需要模数转换器 (analog-to-digital converter, ADC) 作为桥梁, 将模拟信号转换为数字信号, 进而实现数字信号处理系统对模拟信号的高效处理。

高速 ADC 凭借其高速的特点, 被广泛应用于无线通信、光通信、光脉冲雷达系统、射电天文领域以及射频信号直采系统等领域中。近年来, 随着 5G 通信技

*基金项目: 北京市自然科学基金 (4222059) 项目资助

高科, 硕士, 主要研究方向为高速模数转换器设计。E-mail: g130582130582@163.com

刘瑞豪, 硕士, 主要研究方向为高速模数转换器设计。E-mail: wo_shuo_zi_ji_cai@126.com

陈志杰 (通信作者), 副教授, 主要研究方向为高性能模数/数模转换器芯片设计、高速高性能锁相环芯片设计。E-mail: chenzj@bjut.edu.cn

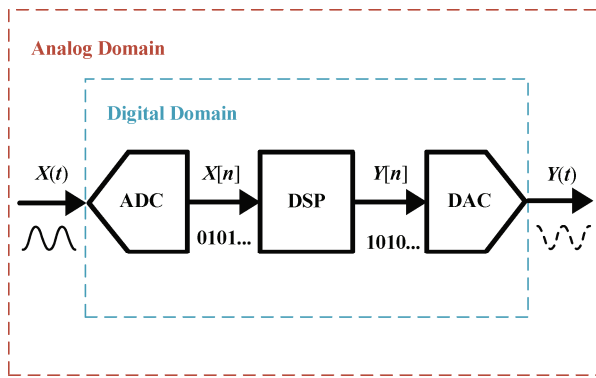


图1 数字信号处理系统

Fig.1 Digital signal processing system

术以及物联网技术的兴起,人们对高速、低功耗 ADC 的需求日益增长,对其性能要求也越来越高,可见高速 ADC 具有十分重要的研究意义和研究价值^[1-3]。

目前高速 ADC 的主流结构包括快闪式 ADC (Flash ADC) 逐次逼近寄存器式 (successive approximation register, SAR) ADC、流水线 ADC (pipeline ADC)、时间域 ADC (time domain ADC)。其中,Flash ADC 通过并行比较可实现较高的速度,但其比较器数量随精度呈指数增长,使其难以实现高转换精度^[4]。SAR ADC 结构因结构简单、高精度、低功耗的特点使其成为高速低功耗 ADC 的首选结构^[5]。得益于晶体管特征尺寸的缩小,目前单通道 SAR ADC 的速度已得到大幅提升,结合异步时序技术^[6]、多 bit/cycle 技术^[7]等技术,其采样率可以达到 GS/s 级别。对于时间域 ADC,特征尺寸和供电电压的减小使得电路的延迟变短,有利于时间分辨率和转换速度的提高,这使得时间域量化成为 ADC 突破性能瓶颈的新手段,但时间域 ADC 中电压时间转换器 (voltage-to-time converter, VTC) 限制了时间域 ADC 输入范围,时间数字转换器 (time-to-digital converter, TDC) 性能通常受限于工艺制程,且时间信号受 PVT 变化影响严重,难以实现较好的鲁棒性。

为实现高性能 SAR ADC 设计,本文基于电压-时间混合域量化结构,采用 2 bits/cycle 技术,以锁存器为辅,有效减小单个比较周期所需时长。采用级间冗余技术,通过数字逻辑提供 0.5 位冗余并使第 2 级时间域的量化精度提升 0.5 位,使 SAR ADC 在高采样率下实现较高的转换精度。基于 TSMC 65-nm CMOS 工艺进行电路设计,最终实现 1GS/s 采样率、8.5 比特量化位数、功耗为 3.6mW、SNDR 为 49.89 dB、FoM 为 14.1 fJ/conv.-step 的高速低功耗 SAR ADC 的设计。

1 混合域结构分析

1.1 传统 SAR ADC 结构

常规 SAR ADC 结构如图 2 所示,主要由采样保持电路、比较器、DAC 电容阵列、SAR 逻辑电路构成。输入信号 V_{in} 保存在采样保持电路中, SAR 逻辑在第 1 次比较之前驱动 DAC 电容阵列将最高位置 1, 产生 $V_{ref}/2$ 和输入信号 V_{in} 比较。根据比较结果判断最高位保持为 1 或者重置为 0, 当比较结果为 1 时, 最高位保持为 1, 比较结果为 0 时, 最高位重置为 0。在第 2 次比较之前, SAR 逻辑驱动 DAC 电容阵列将次高位置 1, 同第 1 次进行逻辑操作, 剩余位同理。经过 N 次比较之后, 便得到 N 位数字码, 其对应的电压值为电路对输入信号的逼近电压。传统 SAR ADC 通过周期循环以在较小的面积下实现数据的转换, 因此转换速度和转换精度是 SAR ADC 中的主要矛盾, 同时实现高速度和高精度是其设计难点。

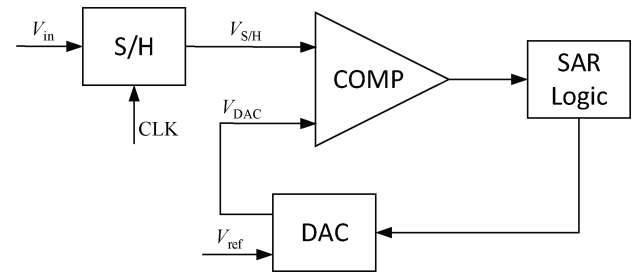


图2 传统 SAR ADC 结构

Fig.2 Traditional SAR ADC architecture

1.2 电压-时间混合域电路结构

本文采用差分输入的电压-时间混合域架构, 如图 3 所示。主要结构为采样开关、DAC 电容阵列、锁存器阵列、比较器、SAR 逻辑、基于恒流源的 VTC 电路、闪存式 TDC 电路。第 1 级为电压域结构, 第 2 级为时间域结构, 两级电路并行工作实现混合量化, 在保证转换速度和降低共模噪声的同时使转换精度得到进一步的提升。

第 1 级电压域电路采用 2 bits/cycle SAR ADC 结构。通过逻辑电路控制 DAC 电容阵列产生参考电压, 两个比较器并行工作使得在一个比较周期能够实现 2 位数字码的转换, 经过两个比较周期完成高位 4 bits 的转换。采用级间冗余技术, 增加 0.5 位的级间冗余的同时使第二级电路精度提高 0.5 位。第 2 级 VTC 将第 1 级输出的残余电压差转换成时间差信号, 通过 TDC 结构进行低 4 位的量化, 从而整体电路可实现 8.5 位的量化。

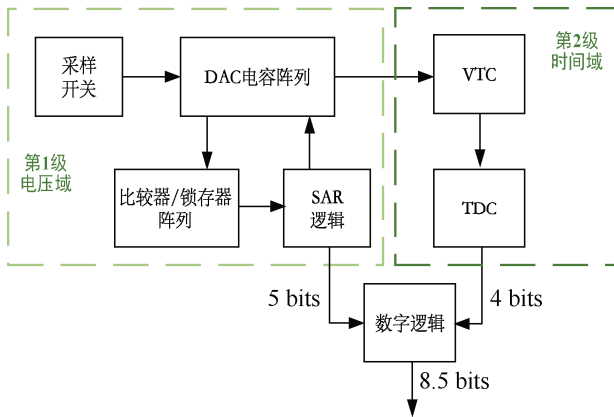


图3 电压-时间混合架构

Fig.3 Voltage-time hybrid architecture

2 核心功能模块设计

2.1 电压域转换模块

如图4所示,采样结束,输入差分电压储存在DAC电容阵列中,比较器COMP1对输入差分电压进行比较,根据比较结果可分别锁定 V_{IP} 和 V_{IN} 在1/2满量程范围内,如图5的①和②区域。

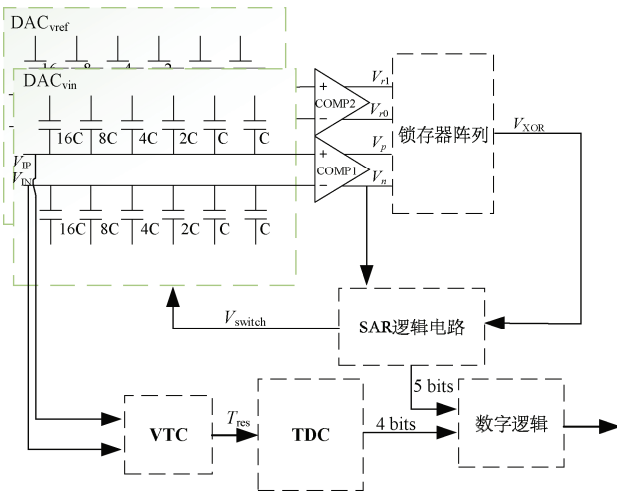


图4 电压域结构

Fig.4 Voltage domain structure

为了降低参考电压和输入电压的失配,本文使用与储存输入信号所使用的DAC阵列相同的阵列产生参考基准电压。第1次比较之前,通过SAR逻辑使参考电压阵列产生 $3V_{ref}/4$ 和 $V_{ref}/4$,连接比较器COMP2的输入端。COMP1和COMP2同时进入比较阶段。利用比较器输入电压差值越大,比较结果建立时间越短的特性,将比较器COMP1和COMP2的输出结果接入锁存器,其结果可锁定 V_{IP} 和 V_{IN} 在图5中③或④区域。如果 V_{IP} 和 V_{IN} 的差值 $>V_{ref}/2$,则COMP1的比较结果建

立时间更短,则输出为1, V_{IP} 和 V_{IN} 在③区域。如果 V_{IP} 和 V_{IN} 的差值 $<V_{ref}/2$,则COMP2的比较结果建立时间更短,输出为0, V_{IP} 和 V_{IN} 在④区域。结合COMP1和锁存器的比较结果可得到两位数字码的转换。

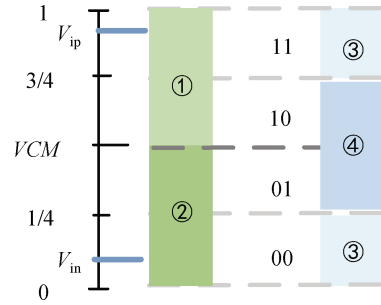


图5 区域分布图

Fig.5 Regional distribution map

在常规结构中,SAR逻辑根据第1个比较周期的结果驱动DAC电容使输入信号向VCM逼近,如图6(a)所示。在本文中一个比较周期实现两位的转换,在第1个比较周期结束时,提前给第3高位预置1,即令输入信号向VCM移动 $V_{ref}/8$,如图6(b)所示。该逻辑有利于第2个比较周期和第1个比较周期实现同样的功能,即能够实现2位数字码的转换。

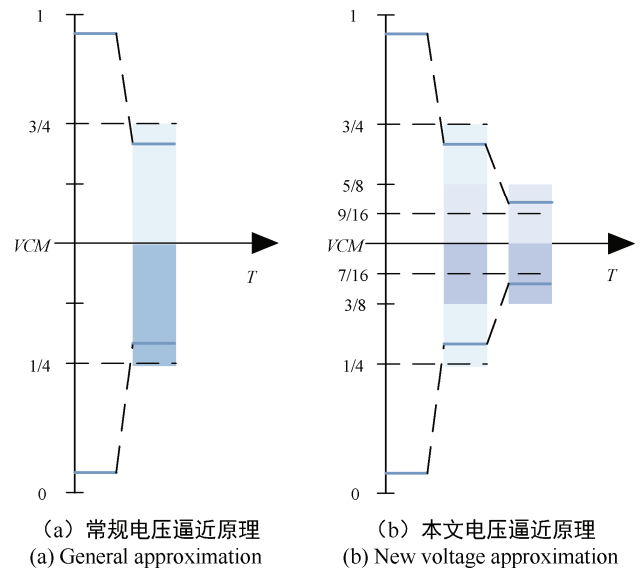
(a) 常规电压逼近原理
(a) General approximation(b) 本文电压逼近原理
(b) New voltage approximation

图6 电压平移原理图

Fig.6 Voltage translation schematic

具体分析:经过第1次比较,判断 $V_{ip}>V_{in}$ 且 $V_{ip}>(V_{ref}/4+V_{ref}/2)$, V_{ip} 和 V_{in} 向VCM移动 $V_{ref}/4$ 。 V_{ip} 和 V_{in} 分别被锁定在满量程的1/4范围内,当 V_{ip} 和 V_{in} 继续向VCM靠近 $V_{ref}/8$,根据第2个比较周期中对 V_{ip} 和 V_{in} 的比较结果可判断 V_{ip} 和 V_{in} 初始所处区域。

在第2个比较周期中,通过参考电压DAC阵列产生 $V_{CM}+V_{ref}/16$ 和 $V_{CM}-V_{ref}/16$ 两个参考电压,同第1个比较周期,通过比较 V_{ip} 和 V_{in} 的差值和参考电压的差值,再次得到1位数字码输出。由此,在两个比较周期可得到高4位数字码。

2.2 级间冗余校准技术

在理想情况下,第1级电路第2个比较周期结束,输入信号应位于 $V_{CM} \pm (V_{ref}/16)$ 范围内,第2级的量化范围为 $\pm V_{ref}/16$ 。在实际情况下,因为比较器的精度有限,第1级电路第2个比较周期结束,输入信号可能处于 $V_{CM} \pm (V_{ref}/16)$ 范围之外,如图7(a)所示。为了降低误差,在本文中令残余电压减去理想情况下其所在范围的3/4,再对 V_{ip} 和 V_{in} 进行一次比较,如图7(b)所示。本文采用的级间冗余技术产生0.5位冗余的同时能够使第2级电路的量化范围从 $\pm (V_{ref}/16)$ 缩小为 $\pm (3V_{ref}/64)$,使TDC电路提高0.5位的精度。

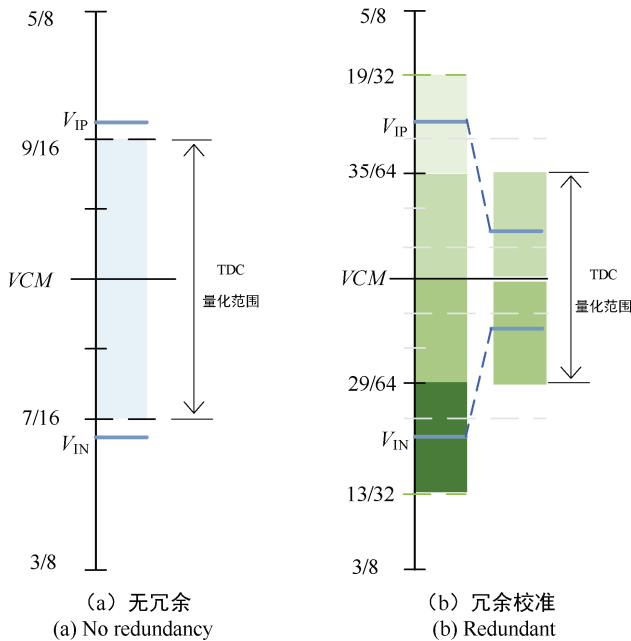


图7 参考电压比较原理
Fig.7 Reference voltage comparison schematic

2.3 比较器和锁存器设计

为了便于异步时钟的设计,本文设计的比较器为双端输出,如图8所示。比较器分为两级,第1级为预放大级,第2级为锁存级。在CLK为低电平时,比较器进入复位阶段,M1、M2导通, V_{ON} 和 V_{OP} 被复位到高电平。CLK为高电平时,比较器进入比较阶段,M7、M8导通帮助输入管M5、M6对输出节点处的电荷泄放,有利于提升比较器的速度,同时第2级锁存器进一步加速比较结果的建立。

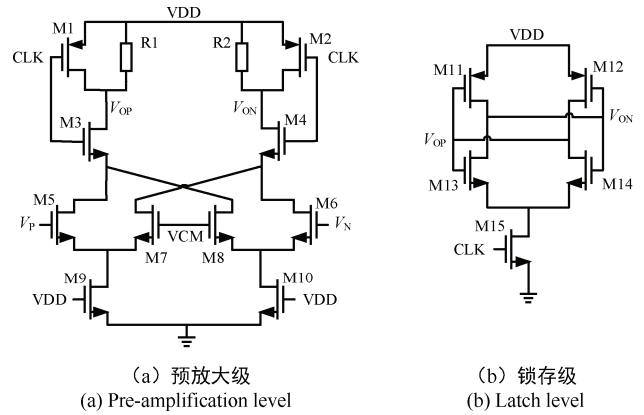


图8 比较器结构
Fig.8 Comparator structure

锁存器结构如图9所示,在CLK为低电平时,M21、M22导通,对 V_{ip} 、 V_{in} 充电,使其复位到高电平。在CLK为高电平时,M21、M22截止,M29导通,此时 V_p 和 V_n 驱动M25、M26对 V_{ip} 、 V_{in} 放电。若 V_p 电压大于 V_n 电压,则 V_{in} 节点电压更快下降到NMOS管M27的阈值电压,M27截止, V_{ip} 节点被拉高为高电平。

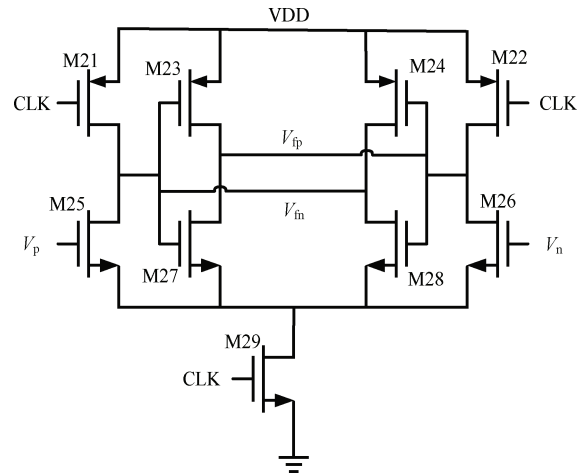


图9 锁存器结构
Fig.9 Latch structure

2.4 时间域转换模块

第2级时间域电路完成低4位的量化,主要包括两个模块VTC和TDC。VTC采用恒流源对电容进行放电,如图10所示。在电容上的电压下降到电压检测模块的阈值电压时,电压检测模块会产生上升沿信号。具有一定电压差的一对残余电压以相同的斜率下降,其先后到达阈值电压并产生上升沿信号,上升沿之间的时间差即代表相应的残余电压差。本设计采用或门和与门,判别 $ST1$ 、 $ST2$ 的相位,并得到时间输入信号 T_{res} 。进而采用快闪型TDC对VTC输出的时间差进行量化,如图11所示。

表 1 SAR ADC 指标对比
Table 1 Comparison of SAR ADC specifications

性能指标	工艺/nm	电源电压/V	采样率/GHz	分辨率/bits	SNDR/dB	功耗/mW	FoM/(fJ/conv.-step)
文献[8]	45	1.25	1	7	4.08	7.2	80.0
文献[9]	40	1.0	0.9	8	44.3	2.2	19.1
文献[10]	28	0.9	1	8	43.6	3.2	25.9
文献[11]	40	1.2	1.1	8	45.0	4.0	25.0
本文	65	1.0	1	8.5	49.9	3.6	14.1

4 结 论

本文在逐次逼近型模数转换器对功耗和速度指标要求不断提高的需求背景下，进行关于高速、低功耗逐次逼近型模数转换器的研究。基于 TSMC 65-nm CMOS 工艺，本文采用 2 bits/cycle 技术使电路在相同的量化周期内转换的位数增加。采用电压域和时间域混合架构，使用级间冗余技术进一步提高了电路的量化速度和精度。本文在完成各个电路模块的设计后，对电路进行仿真，验证整体功能。本文最终实现 1 GS/s 采样率、8.5 比特量化位数、功耗为 3.6 mW、SNDR 为 49.89 dB、FoM 为 14.1 fJ/conv.-step 的高速低功耗 SAR ADC 的设计。

参考文献

[1] NAM J W, CHEN M S W. A 12.8-Gbaud ADC-based wireline receiver with embedded IIR equalizer[C]//IEEE J. Solid-State Circuits, 2020, 55(3):557-566.

[2] KU I N, XU Z, KUAN Y C, et al. A 40-mW 7-bit 2.2-GS/s time-interleaved subranging CMOS ADC for low-power Gigabit wireless communications[C]//IEEE J. Solid-State Circuits, 2012, 47(8): 1854-1865.

[3] LIN H, BOECKER C, HOSSAIN M, et al. ADC-DSP-based 10-to-112-Gb/s multi-standard receiver in 7-nm FinFET[C]//IEEE J. Solid-State Circuits, 2012, 56(4): 1265-1277.

[4] PAYRA A, DUTTA P, SARKAR A, et al. Design of a self regulated

flash type ADC with high resolution[C]//Michael Faraday IET International Summit 2015, Kolkata, 2015: 591-595.

[5] WU G, LI Z, ZHAO Y, et al. A 5-bit high-linearity, binary-recombination-redundancy Sub-SAR ADC in 300 MS/s, 14-bit pipelined-SAR ADC[C]//2021 IEEE 14th International Conference on ASIC (ASICON). 2021: 1-4.

[6] ROH Y J, CHANG D J, RYU S T. A 40-nm CMOS 12b 120-MS/s nonbinary SAR-assisted SAR ADC with double clock-rate coarse decision[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2020, 67(12): 2833-2837.

[7] GUO Y, LIU X, Jin J, et al. A 3bit/cycle 1GS/s 8-bit SAR ADC employing asynchronous ping-pong quantization scheme[C]//2022 IEEE International Symposium on Circuits and Systems (ISCAS). 2022: 2650-2654.

[8] HONG H K, KIM W, KANG H W, et al. A decision-error-tolerant 45 nm CMOS 7b 1 GS/s nonbinary 2b/Cycle SAR ADC[J]. IEEE Journal of Solid-State Circuits, 2015, 50(2): 543-555.

[9] HUANG P C, HU Y S, TAI H Y, et al. An 8-bit 900MS/S two-step SAR ADC[C]//2016 IEEE International Symposium on Circuits and Systems (ISCAS). 2016: 2898-2898.

[10] WANG G, SUN K, ZHANG Q, et al. A 43.6-dB SNDR 1-GS/s single-channel SAR ADC using coarse and fine comparators with background comparator offset calibration[C]//ESSCIRC 2017-43rd IEEE European Solid State Circuits Conference. 2017: 175-178.

[11] CHEN H, ZHOT X, YU Q, et al. A >3 GHz ERBW1.1 GS/S 8b two-step SAR ADC with recursive-weight DAC[C]//2018IEEE Symposium on VLSI Circuits, IEEE, 2018: 97-98.