

DOI: 10.19816/j.cnki.10-1594/tn.2022.02.013

Chiplet 背景下的接口技术与标准化

王洪鹏^{1,2}, 沙于兵¹, 王志华²

(1. 中茵微电子(南京)有限公司 南京 211806; 2. 清华大学集成电路学院 北京 100084)

摘要: 本文从 chiplet 技术给产业带来的突破口与核心价值的视角, 分析实现 chiplet 技术的关键技术, 阐述 chiplet 关键技术中的高速接口技术发展和标准化。通过对比系统级集成度不断提升的 PC 时代从 ISA 技术标准的建立到 PCIe 技术标准演进, 以及芯片级集成度不断提升的 SoC 时代从 AMBA 总线技术标准开始的发展, 分析了当前 chiplet 的各种技术发展历程与标准化情况。本文总结了 chiplet 发展 3 个阶段的不同特点, 根据不同类型的 chiplet 接口技术需求, 分析了各种技术路线的优劣势, 并提出发展方向与标准化路径建议。此外, 还提出完成 chiplet 技术发展的方法, 即建立 3 个平台和 1 个生态, 通过产业协同加速工艺、技术和产品的同步成熟, 最终实现集成电路产业的全球领先地位。

关键词: 集成度; 接口技术; 标准化; 芯粒; D2D

中图分类号: TN401 **文献标识码:** A **国家标准学科分类代码:** 510

Interface technology and standardization in context of chiplet

WANG Hongpeng^{1,2}, SHA Yubing¹, WANG Zhihua²

(1. JoinSilicon Microelectronics (Nanjing) Co., Ltd., Nanjing 211806, China;

2. School of Integrated Circuit, Tsinghua University, Beijing 100084, China)

Abstract: This article analyzes the key technologies to achieve chiplet technology from the perspective of the breakthrough and core value that chiplet technology brings to the industry, and expounds the development and standardization of high-speed interface technology in chiplet key technologies. By comparing the PC era with increasing system level integration from the establishment of ISA (industry standard architecture) technology standards to the continuous evolution of PCIe (peripheral component interconnect express) technology standards, as well as the SoC era with increasing chip level integration from the AMBA (advanced microcontroller bus architecture) bus technology standards, this paper analyzes the current development history and standardization situation of various chiplet technologies. This paper summarizes the different characteristics of three stages of chiplet development, analyzes the advantages and disadvantages of various technical routes according to different types of chiplet interface technology requirements, and puts forward suggestions on development direction and standardization path. Besides, this paper proposes a method to complete the development of chiplet technology, that is, to establish three platforms and one ecosystem, to accelerate the simultaneous maturity of process, technology and products through industrial collaboration, and to ultimately achieve a global leading position in the integrated circuit industry.

Keywords: integration; interface technology; standardization; chiplet; die to die

0 引言

集成电路产业随着电路集成度的不断提升而发展, 并遵循摩尔定律, 在单位面积硅片上实现了更高性能和更低功耗。随着摩尔定律放缓, 以极紫外线式 (extreme ultraviolet lithography, EUV) 为代表的更为复杂的先进工艺制程使得研发成本增加, 工艺复杂度提高和面积增大使得良率下降且芯片单价快速提升, 在单一硅片上实现更高集成度的代价已经高

于可以获得的收益, 产业发展面临巨大困境。随着 5G、人工智能、高性能计算等技术的发展以及数据计算带来的价值提升, 数字化、安防、大数据、自动驾驶等不同领域需要发展新的集成技术来满足对算力提升的需求。芯粒 (chiplet) 技术与先进封装技术的不断发展为在不同基板进行封装级集成提供了一条新技术路径。行业头部企业已研发并实现了多个产品成功量产, 证明了这条技术路线的价值。

王洪鹏, 博士研究生, 中茵微电子创始人及董事长, 主要研究方向为 SoC 系统架构、高速接口 IP 及 chiplet。E-mail: jason.wang@joinsilicon.com

1 Chiplet 的必然性

集成电路的演进一直跟随着增加集成度这个指挥棒,从早期实现不同电路模块在同一工艺上集成,到中期在逻辑工艺上实现大规模 SoC 的集成,都是以攀升集成度为目标实现更好的经济性。然而,单一芯片实现更大集成度的难度和更好的经济性受到了挑战,主要原因如下:

第一,随着摩尔定律的终结,无法通过直接提升工艺来提升集成度。摩尔定律已经演进到 3 nm,由短沟道效应、量子隧穿效应等导致的发热和漏电等问题使集成电路工艺发展接近物理理论极限^[1]。随着 AI 技术的发展和数据计算所带来的价值快速提高,以数据中心和自动驾驶汽车为代表的计算中心对单芯片高算力需求的提升,催生了对更高集成度的需求,英伟达(NVIDIA)下一代车用 ADAS 芯片算力已经达到 1 000 TOPS (tera operations per second, TOPS),因此必须寻找新的集成方式。

第二,先进工艺和超大规模芯片的投入产出比降低。由于算力需求的快速提升,不少大型芯片面积已经接近或超过光掩模的面积,芯片制造工艺必须随之提升才能快速提升性能,而工艺提升必将带来研发难度、研发周期和研发费用的迅速增加,每一代新工艺单芯片的研发成本都将提升 50%~70%。体硅工艺下,一款 28 nm 芯片研发成本平均约为 5 000 万美元,而在 EUV 工艺下,一款 5 nm 的研发成本则平均高达 5 亿美元^[2]。晶圆的价格随着工艺复杂度的提升而迅速升高,同时芯片集成度增加导致芯片的面积快速扩大,芯片的良率也随之降低。平均单个晶体管的成本快速上涨,迫使芯片售价不断提升,从而增加了行业整体风险。

第三,不同功能的芯片在同一工艺设计的难度大、周期长、经济性差。集成电路的成本包括光刻成本和晶圆成本,与晶圆材质、光刻尺寸、工艺器件密不可分。如果在同一种工艺中开发不同器件,则不使用该器件的设计会造成相应的浪费。对逻辑芯片、存储芯片、射频芯片和光芯片等采用不同的工艺制程和材质设计是更为经济的手段^[3-5]。

基于上述因素,单芯片集成度持续提升非常困难且不经济。对此,业界将 chiplet,即预先制造好、具有特定功能、可组合集成的晶片(die)作为一项新的技术概念,引入了新的集成方法。利用先进封装工艺,将不同的 chiplet 作为可集成的单元,通过高密度互联的技术手段在不同材质的衬底上进行封装

级集成^[6]。

与传统的芯片集成手段相比,chiplet 具备以下优势:首先,chiplet 可以降低单芯片产品研发成本、研发周期。其次,chiplet 可以解耦原 SoC 内不同功能模块(主要是分离接口、控制、算力等功能模块),形成硅 IP 化。等同于 IP 在单芯片 SoC 中的价值,硅 IP 是指可以重复使用的功能模块形成独立的 chiplet,以实现分别迭代,并增加硅 IP 在不同产品上的复用率。最后,逻辑、存储、射频和光芯片等不同工艺材质的 chiplet 可以实现同步设计和制造,未来通过使用 chiplet 在不同衬底上进行集成,可以提升整体的芯片研发和量产的效率^[7]。

从应用角度来讲,以计算类芯片为例,计算逻辑需要与存储器做大量的数据交换来实现计算效能,由于工艺限制,逻辑芯片内能放置的存储单元有限,大量数据存储需要与片外存储芯片进行数据交换,芯片间存储接口带宽的限制形成了存储墙,阻碍了逻辑芯片的计算速度,同时制约了计算芯片集成度和计算性能提升效果。

一直以来,业界进行了多种尝试来提升存储带宽以达到提升整体计算性能的目的。对于高带宽存储来说,提升带宽主要是提升数据速率、数据线数量以及数据线占比 3 个方面。主要难度都是在接口的通信能力。接口通信能力的限制在信号数量、信号速率和传输损耗 3 个方面,信号数量和信号质量的提升会大大提升设计复杂度需求。因此,在 chiplet 背景下可以选择通过将计算芯片和存储芯片在新的衬底(例如硅 interposer 或 RDL)上进行集成来降低传输损耗,提高信号速率。由于硅衬底可承载的线宽和线间距可以达到 1 μm 级别,对比 PCB (printed circuit board)有数十倍的提升,因此信号数量的限制也可以被打破,带来了数十倍的存储带宽提升^[8]。由于突破了存储墙的瓶颈,极大地增强了高性能计算芯片的计算能力扩展速度,chiplet 技术的价值可见一斑。

2 Chiplet 的关键技术

Chiplet 将原本一块复杂的 SoC 芯片进行功能分解,每个单元选择最适合的半导体工艺制程进行分别制造,再通过先进封装和异构互联技术将各个单元彼此互联,最终集成封装为一个系统级芯片组,具有高性能、低成本和高灵活度等特性。Chiplet 得以实现的关键技术主要包含以下 3 个方面:

第一,需要通过发展先进封装技术解决传输介

质和集成工艺的问题。Chiplet 技术要把原本单个大芯片“切”成多个再以封装级组装起来。单个芯片上的布线密度和信号传输质量需求需要用于 chiplet 接口 (die to die, D2D) 上。这就必须要发展出高密度、大带宽布线的封装级集成介质,即先进封装技术,尽可能提升在多个 chiplet 之间布线的数量并提升信号传输质量。由于更多单元在封装级的集成,散热、应力、可靠性等新的问题都需要通过技术发展来解决,工艺、装备、原材料等各个领域都需要进行技术突破^[9]。

得益于集成电路制造技术已将工艺和材料提升至纳米级,相关的工艺、技术和材料已经可以应用于先进封装领域。例如使用硅 interposer 或 RDL (re-distribution layer) 做衬底,通过 TSV (through silicon via) 进行多 die 垂直连接,再通过 micro-bump 进行高密度扇出,可以将信号密度和线间距降至 1 μm 层次,基本解决了传输介质上的传输密度问题。英特尔 (Intel)、台积电 (TSMC) 和三星 (SAMSUNG) 都已经有了相关的技术储备,通过所谓的中介层 (interposer) 将多个 chiplet 互连起来。TSMC 公布的技术是 CoW (chip on wafer), Intel 公布的是 EMIB (embedded multi-die interconnect bridge), SAMSUNG 则提出了 Cube 技术,国内部分领先企业也都在积极研究和准备^[10-13]。

第二, chiplet 之间需要开发新的高速接口技术来解决互联互通的问题。Chiplet 接口技术需要解决高密度互联结构下不影响芯片整体性能的核心问题,由于需要使用 die 之间接口取代芯片内部总线接口,布线密度下降非常明显,在有限的布线资源下需要新的接口技术以保障接口性能。Chiplet 接口主要有 2 类应用形式,一类是逻辑 die 和逻辑 die 之间的接口,另一类是逻辑 die 与存储 die 的接口。基于 chiplet 的接口技术需求是用于替代 SoC 内部功能之间的连接,需要突破高带宽、低延迟、低功耗等技术难点^[14]。

通常来说,复用目前的芯片间接口技术作为 chiplet 接口技术是最直接的实现方式。目前逻辑芯片之间接口主要依靠传统的高速串行接口技术 (SerDes) 电路来解决,例如 PCIe、USB 等协议都使用长距 SerDes 技术实现。这些长距 SerDes 技术被用于解决芯片间甚至板卡间通信,可以抵抗最大 36 dB 的插入损耗,需要消耗大量的面积和功耗对发送信号进行发送的强化与前向均衡,接收端则需要更复杂的均衡和恢复设计。同样,由于芯片间接

口需考虑的系统复杂度很高,协议通常非常复杂,造成延迟较长,D2D 最终在同一芯片内,无需复杂系统控制要求,同时需要实现低延迟。芯片间接口标准的传输带宽目前也低于 D2D 的需求。目前的逻辑芯片间接口不满足 D2D 接口要求,D2D 接口需要发展新的技术。

对于逻辑芯片与存储芯片之间的接口技术,通常使用 DDR (double data rate)、LPDDR (low power double data rate) 等并行技术,以及 GDDR (graphics data rate) 等 SerDes 技术,同样由于 D2D 高带宽、低延迟、低功耗的要求,直接使用相应的芯片间接口技术无法满足其需求,需要发展新的技术^[15]。

第三,建立 chiplet 设计与异质集成设计的开发、仿真和验证等整体 EDA (electronic design automation) 流程,以完成对功能性、信号完整性、可靠性和声光电热的仿真验证,保障设计的完整有效。由于 chiplet 与异质集成是在原有的硅片层之上集成异质的器件,对在封装层的建模、仿真和与芯片设计层的协同设计等 EDA 设计和仿真手段都提出了更高的要求,尤其是对于异质材料所带来的介电常数、导热率与应力等不同,将需要进行 EDA 领域新技术的开发。Chiplet 技术发展过程中,EDA 厂商纷纷通过整合芯片和系统级设计工具的方法开发出了新的 EDA 工具并推动其不断演进。

Chiplet 的核心技术特征是具备高密度和高带宽的互联。因此,高密度和高带宽的 chiplet 接口技术将成为推动 chiplet 发展的关键技术。从经济性来讲,chiplet 需要大量复用,因此 chiplet 接口技术的标准化也成为了 chiplet 发展的重要要素^[16]。本文主要关注 chiplet 接口技术,从技术方向选择、发展和标准化等方向进行分析并形成发展方向与建议。

3 Chiplet 接口技术与标准化演进

技术方向的选择与发展与需求和当前技术能力相关,并随着应用领域需求的变化而不断演进。技术的标准化促进多方共同投入分摊研发成本,形成共赢生态和平台化以避免无序竞争,共同带动相关产业链的发展。40 多年前,ISA 总线的发明奠定了 PC 发展和普及的基础,后来的 PCI、PCIe 等 PC 总线的不断升级大幅提升了系统级集成度,在满足了性能与功能需求的同时也带来了 PC、server 和数据中心的高速发展。同样,AMBA 总线的不断发展也给 SoC 带来了快速发展的机会,不同类型的 IP 可以

通过与 AMBA 总线的连接快速实现 SoC 集成度的不断提升。本章通过借鉴 PC 总线技术及 SoC 总线技术的发展与标准化,分析 chiplet 接口技术的快速发展和标准化对 chiplet 时代高速发展的影响。

3.1 PC 总线的技术发展及标准化

PC 时代的快速发展离不开在主板(系统级)集成度的不断提升,而 PC 总线技术发展和标准化演进则是集成度可以不断提升的核心要素。PC 的控制和计算核心是 CPU (central processing unit), PC 总线标准主要是指 CPU 管理整个 PC 系统设备的内部总线标准。最早由 IBM 在 1981 年发明了 8 bit PC/XT 总线并用于 8088 处理器,总线带宽是 8 MB/s,总线形式为并行三态总线。之后在 1984 年扩展到 16 bit 总线,统称 ISA 总线,用于 80286 处理器,总线带宽发展至 16 MB/s。中间过渡 IBM 在 386 时代使用了 MCA (microchannel architecture) 总线标准,由于 MCA 总线与 ISA 不兼容,因此不被业界认可。1989 年以 Compaq 为首的 PC 系统企业联合起来,将 MCA 的特性与 ISA 相结合并拓展到 32 bit 的 EISA (extended industry standard architecture) 总线,总线带宽也发展至 32 MB/s。EISA 标准打破了 IBM 对总线标准的垄断,避免了总线标准的向下兼容问题,完成了 PC 总线标准的第一阶段演进。

1992 年,以 Intel 为首成立了 PCI-SIG 组织 (peripheral component interconnect special interest group),先后推出了替代 EISA 的 PCI (peripheral component interconnect) 总线,带宽升级到 133 MB/s,之后为了满足显卡的带宽问题提出了专门的 AGP (accelerated graphics port) 接口标准,可以实现 2~4 倍的 PCI 标准的带宽,最高达 2.1 GB/s,最终在 2001 年使用 PCI-Express 1.0 (peripheral component interconnect express) 标准,提出了使用高速 SerDes 技术的总线方案,实现了跨时代的单线 2.5 GT/s 传输速度的技术革新以及全双工模式,直接将总线带宽拓展到了 4 GB/s。演进至今,PCIe 6.0 也被提出,单线传输速度提升到了 64 GT/s,总线带宽也提升到了 256 GB/s^[17-18]。

PC 的快速发展得益于 PC 总线技术的发展和标准化。从技术角度来看,根据 PC 发展的需求,从最早的 8 位并行三态总线、8 MB/s 速度到 PCIe Gen6 使用 PAM4 (4-level pulse amplitude modulation) 高速 SerDes 的方式实现 256 GB/s 速度,将总线带宽提升了上万倍,也带来了 PC 性能以及服务

器性能的巨大提升^[19]。从生态角度来看,总线标准的确立带来了标准化设备的分工设计和最终在主板上进行系统集成的方式,将不同公司设计的硬件和软件有效集成为一个整体系统,从而降低了系统设计和演进的难度,也降低了整个 PC 体系升级的行业总研发成本以及产品成本。值得注意的是,由于 PC 的总控是 CPU,总线演进与 CPU 的发展不可分割,因此从 IBM 到 Intel,PC 领域的总线标准主导者一直是 CPU 的领导企业,并最终形成以 Intel 为首的明确的标准组织推进生态建设,其发展过程与组织形态值得借鉴。

3.2 SoC 总线技术发展和标准化

始于 20 世纪 90 年代的智能手机推动了移动设备的兴起,带来了计算系统的小型化、高性能、低功耗、低成本的需求,SoC 也应运而生,成为移动时代电路集成新的方向。SoC 的快速发展与 SoC 总线标准的制定和推广密切相关,早期 IBM 提出的 Core Connect 总线,ARM 公司提出的 AMBA 总线,以及开放组织提出的 OCP (open core protocol) 和 Wishbone 总线都在不同程度上推广和演进^[20]。

AMBA 总线技术是 ARM 公司于 1997 年发布的专用于高性能嵌入式系统的总线技术标准,是主要用于片上 SoC 的总线标准,用于功能模块连接和管理,基于这个总线标准进行 IP 的设计就可以在使用 ARM CPU 的嵌入式 SoC 里面通用。从技术角度来看,早在 1997 年发布的 AMBA 1.0 标准中,其高速 ASB (advanced system bus) 总线带宽为 8/16/32 bit,为三态总线技术,由于不支持读写并行,效率较低,而在 2013 年发布的 AMBA 5.0 中的 AXI (advanced extensible interface) 高速总线可以支持 1024 bit 总线带宽,支持并行读写,再加上工艺制程带来的总线频率的巨大提升,总线带宽提升可达数百倍。从生态角度来看,AMBA 总线标准的确立和演进帮助其他 IP 厂商基于 AMBA 总线进行可复用的 IP 开发并扩展到芯片间互联互通性,最终带来了整个行业的设计成本的降低和设计周期的下降。类似 PC 领域里的 Intel,ARM 由于在 CPU IP 领域通过指令集针对移动设备做了大量简化和不断改进,并且通过 AMBA 总线技术的发展和标准化成功地构建了生态体系,最终不但胜出成为 SoC 领域 CPU IP 的唯一领导者,而且随着 ARM CPU 生态的逐渐完整和嵌入式 SoC 产品的快速成长,AMBA 总线技术也成为了 SoC 总线的技术标准^[21-22]。

3.3 Chiplet 接口技术发展标准化

2009 年国际固态电路会议 (IEEE International Solid-State Circuits Conference, ISSCC) 上, EMIB 先进封装技术被正式提出, 首次出现了 chiplet 异构集成概念。2014 年 TSMC 开发了 CoWoS (chip-on-wafer-on-substrate) 封装技术, 海思和 TSMC 第一次实现了真正的 chiplet 技术。其以 PCIe Gen3 为接口技术, 将一颗 AP (application processor) 主控和一颗加速器通过 chiplet 的方式封装在一颗芯片内, 从而大大提升了芯片的性能。

2016 年开始, chiplet 概念被逐步接纳, 各家头部企业均开始研究 chiplet 方案, 且不约而同地选择了 SerDes 技术进行开发。例如, Marvel 提出了 Mochi 架构, NVIDIA 基于显卡的互联需求提出了基于 SerDes 的 Nvlink 技术, AMD 提出了 Infinity Fabric 技术, Xilinx 也提出了基于 SerDes 技术的 D2D 技术等, 并纷纷开始研发实现。同年, Intel 跟 Darpa 合作了 chiplet 项目, 此项目最终成功演变成一个全新的 chiplet 接口技术 AIB (advanced interface bus)。区别于其他头部企业主要在 SerDes 技术的基础上进行研发, Intel 首次提出了用于 chiplet 的并行接口技术。AIB 是一个典型的 DDR-like 的技术, 或者理解为 DDR-lite 的接口技术^[23]。由此 D2D 接口技术方向开始同时出现了 SerDes 与并口技术的两种技术路线。

2019 年, 各头部企业均在 chiplet 自研技术成熟的基础上成功开发出各自的产品, 尤其以 AMD 和 NVIDIA 最为成功。AMD 的 Infinity Fabric 技术已然成熟商用, 并在 CPU 产品, GPU (graphics processing unit) 产品上以及 APU (accelerated processing unit) (CPU+GPU 的集成产品) 上成功商用, NVIDIA 的 NVLink 开始从 1.0 向 2.0 发展, 并在 Nvlink 1.0 上成功实现 4 颗 GPU 的 die 互联, 大大提升了单颗 GPU 的性能并降低了成本。Infinity Fabric 和 NVLink 的成功带有明显的私有技术协议性质, 由于所有的 chiplet 和应用需求均为其自身掌控, 因此两家头部企业均采用了通用 SerDes 物理层技术和私有协议层技术的方式完成 chiplet 设计。

同时期 Xilinx 由于其 FPGA 产品性质的不同, 开始探索通用的技术路径: 集成 D2D 专用的 SerDes 物理层, 而将协议层开放给用户在 FPGA 中自定义。以 Synopsys 为首的 IP 公司同样开始关注 chiplet 的市场, 主要使用 112 G XSR 技术规格, 最先使用 PAM4 SerDes 且最高支持 16 线, 总带宽达到

224 GB/s。而作为 IDM 的 Intel 更多关注在封装技术, 除在 2018 年底发布的 Foreros 3D 堆叠封装技术外, 在 2019 年又分布了 Co-EMIB 封装技术。在接口协议上, 基于 AIB 的思路, 发布了最新 MDIO (management data input/output) 接口技术, MDIO 技术是 AIB 进化版本, 同样是一个并行接口技术。相比其他头部企业, Intel 此时在 chiplet 上仍在使用并行接口技术^[24]。

2019 年, 在私有技术和协议逐渐成功后, chiplet 接口技术标准化也逐步开启。OCP (open compute project) 组织提出了 ODSA (open-domain specific architecture) chiplet 架构, 提出了 open chiplet ecosystem 的发展方向, 在多角度分析了技术、市场、产品和应用后提出了 ODSA 标准, 并首次提出了 chiplet 标准的分层概念和各自的逻辑 (物理层、适配层、协议层), 并发布全新的并行接口技术 BOW (bunch of wires)^[25-27]。其中, 物理层部分除了 BOW 并行接口技术, 也支持已有的其他串行接口技术, 适配层为物理层和协议层的桥接, 而协议层能够适配所有已有协议, 由用户自行适配, 并支持私有协议。2020 年, IP 公司跟进 ODSA 开始提供相应 IP, 同时欧美部分企业开始基于 ODSA 展示新的 chiplet 的产品。

2022 年 3 月, Intel、Qualcom、AMD、ARM、Meta、Google 等 9 家巨头成立了 UCIE 联盟, 并发布了 UCIE 标准。从大的框架来说, UCIE 和 ODSA 基本走同一条道路, 延续了同样的分层结构: 物理层, 适配层和协议层, 并定义了全新的并行接口 UCIE interconnection。适配层同样用于物理层和协议层的桥接, 协议层适配所有已有技术并支持私有协议。由此可见, 主流的 chiplet 协议架构基本一致, 即物理层可以适配并行与现有无里程技术, 通过适配层来适配物理层, 协议层可以支持现有协议与私有协议, 同时兼顾私有技术协议并提出新的标准技术协议, 以期未来可以逐步过渡到标准技术协议^[28-29]。

由中国企业和专家主导制订的 chiplet 技术标准有助于中国企业在 chiplet 标准化的道路上迈进。由清华交叉信息核心技术研究院牵头, 联合国内外 IP 厂商、国内领先封装厂商、国内领先系统与应用厂商, 中国 chiplet 产业联盟共同起草《芯粒互联接口标准》——Advanced Cost-driven Chiplet Interface。从企业各自的私有技术协议转向标准技术协议的路径开启, chiplet 的标准化之路全面启航。

4 Chiplet 时代的发展阶段与策略分析

集成电路发展至今,先进制程的优势愈发明显,但昂贵的开发价格和高昂的产品成本对产业的发展形成了阻碍,chiplet 技术提供了以先进封装层进行集成的方式来降低投入,实现更好的投入产出比的技术路线。Chiplet 技术对复杂度和多样性要求更高,需要形成完整的生态,而标准化则是形成生态的关键,围绕不同的技术发展阶段和标准化进程,可以将 chiplet 时代的发展阶段大致分为 3 个阶段^[30]。

第一阶段,chiplet 技术摸索阶段。头部产品企业尝试对不同的 SoC 产品进行切割,切割出不同功能的 chiplet 进行分开迭代,主要目标是实现更低的开发费用以及提升良率来获得更低的单价,以实现市场占有率和毛利的提升。这个阶段主要以企业私有技术协议为主,不追求标准化以及形成生态,全球市场的主导者 AMD、NVIDIA、Intel 等都各自形成了私有协议。这一阶段成熟的标志是采用私有协议的芯片产品被市场广泛接受但并未实现标准化。

第二阶段,chiplet 技术标准化与生态化阶段。此阶段技术与产品领先的企业开始尝试形成生态,追求正外部性,目的是逐步形成标准化,实现生态建设,巩固其行业主导地位,同时尝试通过形成行业整体的研发投入,以降低主导方的研发投入,形成良好的投入产出比,并通过同化竞争对手来减少市场风险。形式上通常为由一方或多方牵头,形成标准化组织,对其所形成的私有协议进行结构化拓展,在兼容之前的私有协议的同时逐步实现私有协议主导标准的可能性。这一阶段成熟的标志是标准被产业链接受并且形成生态,例如出现符合相应标准的 IP 和产品等。

值得注意的是,此阶段由于各主导公司的市场地位、产品生态和利益体系的差异以及商业和国际环境等,也有可能出现不同的标准组织,甚至长期存在不同的标准组织的可能性,典型的例子是高清视频领域里面的 HDMI (high definition multimedia interface) 与 DP (display port) 两种标准的长期共存和不互联互通。在高清视频领域发展初期,以家电厂商为主的生态体系主推 HDMI 标准,从 2002 年 7C (Sony、日立、松下、飞利浦、东芝、Silicon Image、Thomson (RCA)) 成立 HDMI 协会主导 HDMI 1.0 标准演进,到 2011 年开放 HDMI Form 逐步扩展到上百家成员共同推进标准制定,至 2022 年已经发展到了 2.1a 标准,传输带宽从 5 Gbps 演进至 48 Gbps,也

增加了大量的音视频特性。而以 PC 及芯片制造商,视频电子标准协会 (VESA) 组成的生态体系则主推 DP 标准,从 2006 年 DP 1.0 标准发展至 2019 年的 DP 2.0 标准,总带宽从 10.8 Gbps 演进到 80 Gbps,主要针对视频分辨率、帧率和多屏应用的需求进行演进。虽然双方都具备了高清视频传输的能力和特性,技术特性上各有优缺点,但由于所处的商业环境不同,也都实现了长期的标准演进。此阶段的 chiplet 技术标准也可能出现这种情况。

第三阶段,chiplet 标准化与产品化时代。在整个行业的投入产出比较差的情况下,由于研发投入持续较高,产品成本较高,市场渗透慢,市场逐步收敛至最合适的标准,最终大家基于此标准进行共同的研发投入和标准演进,最终达成行业的最佳分工以及最大化复用。这一阶段各种市场常见的 chiplet 开始实现标准化和产品化,即有明确的 spec 并且有相应的企业进行研发并提供具备性价比的产品,封装级集成的芯片产品商通常只需要去市场采购各种 chiplet 产品并进行封装设计和软件应用开发即可形成产品,其产品开发费用和周期都将大大下降,由此使整个行业的投入产出比回到较好情况,行业繁荣起来。Chiplet 要想获得真正的发展,需要上下游产业链成员参与进来,IP 公司的各种主要功能型 IP 会逐步演进成 silicon IP (即功能型 IP 通过集成形成功能型 chiplet,也称硅 IP) 形态,真正改变产业的生态。

研发成本降低和可复用性将是实现第三阶段行业繁荣的关键,接口技术发展和标准的建立是其中至关重要的要素。正如 PC 时代的 ISA 到 PCIe 的演进,SoC 时代的 AMBA 协议的演进,都是市场需求推动了技术发展和标准化,而标准化也成就了行业分工和生态发展,最终实现行业的高复用性,带来了成本优势。在 chiplet 时代同样可以预见到标准化和标准演进的重要性。但值得注意的是,标准化的核心通常并不是产品和技术本身的要求,而是受行业内各主导企业的市场地位、产品生态和利益体系的差异以及政治、商业和国际环境等诸多因素的影响。当前正值集成电路行业发展遭遇瓶颈及大周期的影响,同时政治、商业和国际环境也非常复杂,chiplet 时代的标准化进程也必将存在更多的可能性。

当前全球尚处于第一阶段向第二阶段过渡的重要关口,我国在第一阶段并没有跟上整体海外巨头的步伐,即尚未实现自有协议产品化。而产业界在快速跟进第二阶段的标准化的开展,即多技术多标准

共存,因此未来几年 chiplet 接口技术发展和标准化演进将实现百花齐放的形态。多种标准技术各有优势,类似 PC 总线标准由 IBM/Intel 主导,SoC 标准由 ARM 主导,最终 chiplet 标准也将由生态链中的领导者或核心技术提供商主导。但由于 chiplet 应用场景的差异,以及可选用的设备、工艺制程等限制,我国需要形成适合自身发展的技术体系并标准化^[31]。

5 我国的技术路线与标准化选择

在自有协议产品化和标准化的初始阶段,针对不同类型的产品,其接口技术有不同的要求。对于

逻辑 die 与存储 die 的接口技术,由于存储墙已经成为实质阻碍计算芯片发展的瓶颈,对片内高带宽存储的需求变成了提升计算效率的核心。存储器主要是由 Hynix、三星、美光等 IDM 大厂进行设计和生产,这些大厂通过 JEDEC(即固态技术协会,也是实际的存储器接口标准组织)进行存储接口协议的标准化。2013 年基于对高带宽存储的需求,AMD 与 Hynix 提出了高带宽存储(high bandwidth memory, HBM)标准并正式成为主要的高带宽存储接口标准,目前已经发展到了 HBM3 量产和 HBM4 被提出阶段^[32]。

表 1 不同存储接口的带宽与最大容量对比

Table 1 Comparison of bandwidth and maximum capacity different memory interfaces

PARAMETERS	INTERFACE SPEED PER PIN/Gbps	BUS WIDTH/bit	BUS BANDWIDTH/(GB·s ⁻¹)	KGD DENSITY/GB	APPLICATION
DDR5	6.4	64	51.2	8	PC/server
LPDDR5	6.4	64	51.2	8	consumer
GDDR6X	21	32	84	8	GPU
HBM2E	3.2	1 024	410	16C	HPC, AI
HBM3	6.4	1 024	819	24	HPC, AI

表 1 列举了当前最新的不同存储接口带宽和支持最大容量对比。HBM 具备了高带宽、高容量、2.5D 堆叠节省面积的优势,同时又由于存储器规格一致,可以规模化生产,对比 3D 存储器必须与 logic 裸片形状大小一致的全定制特点,具备更好的规模和经济效应。HBM 接口标准已经成为实质的逻辑 die 与存储 die 的 chiplet 接口技术标准,也是最成熟的 chiplet 标准。值得注意的是,接口速度和密度的提升需要传输技术和传输材质的不断升级。GDDR 由于需要在 PCB 板传输,因此使用 SerDes 与 PAM4 技术才得以不断提升其接口速率和带宽,技术难度非常高,而 HBM 接口由于使用硅介质(silicon interposer)传输,因此可以实现速度提升和高并行(1 024 线),这也从另一个侧面说明了 chiplet 与异质集成所带来的优势,即可以使用更低难度与更低成本的技术来实现更高集成度。在逻辑 die 与存储 die 的接口标准上,我国应该直接从 HBM2E 或 HBM3 的主流技术标准与国际接轨,也有利于 chiplet 领域的快速发展并在未来实现超越。

对于逻辑 die 之间互联的需求,主要有并行计算类应用与多核协同类应用两类。从并行计算类(AI、GPU)等产品发展角度来看,未来的主要 chiplet 接口技术需求包含了封装内扩展与封装间扩展(芯片级互联)的需求,类似 NVLink 与 NVSwitch。因此,采用可调带宽 SerDes 技术将是最佳物理层实现

手段,对比当前的各类私有协议,可以看出 32~112 G D2D SerDes 是当前合适的技术路径,可扩展并具备快速标准化能力。对于 CPU 多核协同类及超异构等产品发展来说,未来此场景的 chiplet 接口技术需要解决缓存一致性的问题来提升多核协同处理能力,主流物理层接口技术是具备超短距超低延迟的并行接口技术,建议选择 DDR-lite 技术可以参考 BOW/AIB 等技术标准。

对于协议层(含链路层),类似于 UCIe 或 OSDA 的框架基本涵盖了并行计算类与多核协同类产品的共性需求,上层协议也可以广泛兼容各自协议如 CXL 等,因此最终收敛也相对比较容易。Chiplet 技术本质上是封装层进行异构集成的技术,不同的应用具有不同的技术需求,因而规模化的技术会略有不同,从物理层角度 HBM、SerDes、并行接口技术在不同应用场景下具备不同优势,都有规模化价值,最终在同一标准化框架下的不同的物理层技术与开放兼容的协议层将是未来 chiplet 接口技术标准化的主要形态。

6 Chiplet 方兴未艾,平台与生态建设亟待发展

我国正处于 chiplet 发展百花齐放的时代,由于具体应用场景和需求的不同,将会有不同的技术和协议以及标准组织出现。纵观过去的 PC 集成时代

和 SoC 时代的技术发展和标准化进程,最终行业组织及其主导者一定是该领域最核心的企业,只有这样才能有足够的研发经费和大量产品化带来规模效应,通过规模效应更快地完成生态建设。因此,围绕这样的企业进行技术与标准化是最佳策略。

对逻辑 die 与高带宽存储器的接口技术和标准,国际上已经形成实质标准并快速发展,我国的策略应该是直接接入最新的量产技术和标准,无需先构建自己的标准,例如使用 HBM2E 或 HBM3,围绕国内最高水平的存储器企业,按其可以快速量产化的存储器进行开发,通过不断实现量产过程中替代的方式进行发展,未来根据实际需求与工艺水平来考虑是否需要完成自己的技术路径。

对逻辑 die 与逻辑 die 之间的接口技术和标准,国际上并未形成实质标准和大量产品,又由于应用场景的复杂性和工艺水平的限制等,以及各种原因导致的对于是否可以直接采购海外厂商的 chiplet 进行集成的不确定性,我国应该在现阶段形成自己的标准组织和有针对性的技术方向,通过围绕产业链中的主导企业和主要产品形态实现多条技术路线的充分验证并逐步收敛。参考由 Intel、TSMC 等企业主导的 UCIe 框架标准,在协议层充分兼容各种主流引用协议的基础上,采用类似高速 32~112 G XSR SerDes 与类似 BOW/AIB 等并行接口的物理层设计,充分兼容不同衬底、介质的电气性能和设备工艺水平,既可以满足不同工艺 chiplet 的互联互通性,又能扩大生态,尤其是降低引入国产化生态的门槛,形成 IP 化从 hard IP 到 silicon IP 的生态演进。

当前是 chiplet 发展的最佳时代,在当今的信息化与数字化时代,大大缩短了学习和决策所需的时间,chiplet 接口的技术发展和标准化将比过去 PC 时代和 SoC 时代更快。我国需要尽快形成 3 个平台(即工艺平台、技术平台和产品平台)和一个生态,在各种新应用和新需求的引领下,通过 3 个平台协同在同一个生态发展快速验证技术路线和形成规模化。工艺平台即 chiplet 工艺中试线,可以不断尝试新的工艺、设备、材料等。技术平台即具备全流程 chiplet 设计实现能力的企业或企业联合体,具备 D2D 接口 IP 设计能力、chiplet 前后端设计能力、多 chiplet 组合的 DFT(design for test)与测试能力、先进封装设计能力以及设计流程和方法学等 EDA 手段,可以快速实现从设计需求到设计交付的能力并积累迭代技术。产品平台即产品企业具有 chiplet 已经成为主流技术方向的产品线及市场份额,可以

大规模量产,类似目前主流 CPU、GPU、AI 等产品企业,可以在未来研发方向上提出需求并结合工艺平台和技术平台的优势共同验证、量产相应产品。一个生态即需要 3 个平台形成统一生态,在高协同的情况下,每个平台中的企业在确定协同技术路线后,进行协同开发,共同攻关核心技术,并在实现产品量产的过程中完成各自的技术积累。生态的核心是投入共同受益,需要平台与企业对自身的价值、共享和经济收益有清楚的划分和不断强化。

Chiplet 的技术发展目标是尽快进入第三阶段,充分实现标准化与产品化,并体现 chiplet 技术的先进性与经济价值,最终帮助相关企业取得竞争优势。通过上述 3 个平台的充分建设和有效协同,我国将有机会更快地完成 chiplet 关键技术突破,尤其是 chiplet 接口技术的快速发展和标准化,并实现 chiplet 产品的规模化和竞争优势,最终在 chiplet 时代实现集成电路产业链的全球领先地位。

参考文献

- [1] MOORE G E. Cramming more components onto integrated circuits[J]. Proceedings of the IEEE, 1998, 86(1): 82-85.
- [2] HRUSKA J. As chip design costs skyrocket, 3 nm process node is in jeopardy[J]. ExtremeTech, 2018.
- [3] 黎明, 黄如. 后摩尔时代大规模集成电路器件与集成技术[J]. 中国科学: 信息科学, 2018, 48(8): 963-977.
LI M, HUANG R. Large scale integrated circuit devices and integration technology in the post-Moore era[J]. Science in China: Information Science, 2018, 48(8): 963-977.
- [4] LI T, HOU J, YAN J L, et al. Chiplet heterogeneous integration technology—status and challenges [J]. Electronics, 2020, 9(4): 670.
- [5] ANU R. Chiplet technology & heterogeneous integration [EB/OL]. [2022-05-06]. https://nepp.nasa.gov/workshops/etw2021/talks/15-JUN-21_Tues/1500_Ramamurthy-Chiplet-Technology-v3.pdf.
- [6] KURT L. Fostering a chiplet ecosystem for the future of Moore's law [EB/OL]. (2022-03-02) [2022-05-06]. <https://www.intel.com/content/www/us/en/newsroom/opinion/fostering-chiplet-ecosystem-future-moores-law.html>.
- [7] MA X H, WANG Y, WANG Y J, et al. Survey on chiplets: interface, interconnect, and integration methodology [J]. CCF Transactions on High Performance Computing, 2022, 4(1): 43-52.
- [8] LU N. A new smart-microsystems age enabled by heterogeneous integration of silicon-centric and AI technologies—my personal view [C]//2020 International Symposium on Semiconductor Manufacturing (ISSM). Tokyo: IEEE, 2020: 1-4.
- [9] GAO G L, SHENG H, LEE S, et al. Development of 2.5D and 3D IC fabrication and assembly technologies [J]. Additional Pa-

- pers and Presentations, 2015; 75-108.
- [10] KATKAR R, PRABHU A, CO R, et al. High-volume-manufacturing (HVM) of BVA? enabled advanced package-on-package (PoP)[C]//2015 International Symposium on Next-Generation Electronics (ISNE). Taipei: IEEE, 2015; 1-6.
- [11] IPC. IPC-7091: Design and assembly process implementation of 3D components table of contents[EB/OL]. [2022-05-06]. <https://www.ipc.org/TOC/IPC-7091.pdf>.
- [12] IPC. 2015 IPC technology roadmap for electronic interconnections[EB/OL]. [2022-05-06]. <https://www.ipc.org/TOC/2015-Roadmap.pdf>.
- [13] WOYCHIK C, CHAU E, ARKALGUD S, et al. Solder assembly solutions for 3DIC packaging[C]//SMTA International 2013 proceedings. Fort Worth: SMTA, 2013.
- [14] MONDEEP T. Die-to-die interconnects for chip disaggregation[EB/OL]. (2018-11-09) [2022-05-06]. <https://semiengineering.com/die-to-die-interconnects-for-chip-disaggregation/>.
- [15] MUTHANNA A, MASEK P, HOSEK J, et al. Analytical evaluation of D2D connectivity potential in 5G wireless systems[C]//Internet of Things, Smart Spaces, and Next Generation Networks and Systems: 16th International Conference, NEW2AN 2016, and 9th Conference. Petersburg: Springer International Publishing, 2016; 395-403.
- [16] COUDRAIN P, CHARBONNIER J, GARNIER A, et al. Active interposer technology for chiplet-based advanced 3D system architectures[C]//2019 IEEE 69th Electronic Components and Technology Conference (ECTC). Las Vegas: IEEE, 2019; 569-578.
- [17] 章雨一, 刘马良, 朱樟明. MIPI 高速显示接口集成电路[J]. 微纳电子与智能制造, 2020, 2(2): 96-104.
- ZHANG Y Y, LIU M L, ZHU Z M. MIPI high speed display interface integrated circuit[J]. Micro/Nano Electronics and Intelligent Manufacturing, 2020, 2(2):96-104.
- [18] JACKSON M, BUDRUK R, WINKLES J, et al. PCI express technology 3.0[M]. [s. l.]: Mindshare Press, 2012.
- [19] MIKE J, RICHARD C. Inter-processor connectivity for future centralized compute platforms[EB/OL]. [2022-05-06]. <https://standards.ieee.org/wp-content/uploads/import/documents/other/eipatd-presentations/2020/D1-03-Cannon-Inter-processor-Connectivity-for-future-Centralized-Compute-Platforms.pdf>.
- [20] MITIC M, STOJCEV M, STAMENKOVIC Z. An overview of SoC buses[J]. Digital Systems and Applications, 2017.
- [21] RUDOLF U. OpenCores SoC bus review[EB/OL]. (2001-01-09) [2022-05-06]. http://cdn.opencores.org/downloads/soc_bus_comparison.pdf.
- [22] BHAKTAVATCHALU R, REKHA B S, DIVYA G A, et al. Design of AXI bus interface modules on FPGA[C]//2016 International Conference on Advanced Communication Control and Computing Technologies (ICACCCT). Ramanathapuram: IEEE, 2016; 141-146.
- [23] Intel. Advanced interface bus (AIB) specification[EB/OL]. [2022-05-06]. https://www.intel.com/content/dam/altera-www/global/en_US/pdfs/literature/manual/advanced-interface-busspecification.pdf.
- [24] Intel. Intel unveils new tools in its advanced chip packaging toolbox | Intel Newsroom[EB/OL] (2019-07-09) [2022-05-06]. <https://download.intel.com/newsroom/2021/archive/2019-07-09-news-intel-unveils-new-tools-advanced-chip-packaging-toolbox.pdf>.
- [25] ARDALAN S, FARJAD R, KUEMERLE M, et al. An open inter-chiplet communication link: bunch of wires (BoW)[J]. IEEE Micro, 2020, 41(1): 54-60.
- [26] DRUCKER K, JANI D, AGARWAL I, et al. The open domain-specific architecture[C]//2020 IEEE Symposium on High-Performance Interconnects (HOTI). Piscataway: IEEE, 2020; 25-32.
- [27] ARDALAN S, CIRIT H, FARJAD R, et al. Bunch of wires: an open die-to-die interface[C]//2020 IEEE Symposium on High-Performance Interconnects (HOTI). Piscataway: IEEE, 2020; 9-16.
- [28] SHARMA D D. Universal chiplet interconnect express(UCIe)[®]: building an open chiplet ecosystem[EB/OL]. [2022-05-06]. https://www.uciexpress.org/_files/ugd/0c1418_c5970a68ab214ffc97fab16d11581449.pdf.
- [29] SHARMA D D. Universal chiplet interconnect express (UCIe)[J]. MEPTEC: Road to Chiplets, 2022; 10-12.
- [30] SCANSEN D. Chiplets: a short history[EB/OL]. (2021-03-14) [2022-05-06]. <https://www.eetimes.com/chiplets-a-short-history/>.
- [31] MEPTEC. Road to chiplets: architecture[EB/OL]. (2021-07-14) [2022-05-06]. https://events.meptec.org/wp-content/uploads/Road/2021/RoadtoChiplets2021Bill_Chen.pdf.
- [32] RAMALINGAM S. HBM package integration: technology trends, challenges and applications[C]//2016 IEEE Hot Chips 28 Symposium (HCS). Cupertino: IEEE, 2016; 1-17.