

DOI:10.19816/j.cnki.10-1594/TN.2021.02.080

模拟集成电路的仿真与优化方法概述*

杨帆^{1,2}

(1. 复旦大学微电子学院 上海 201203; 2. 复旦大学 专用集成电路与系统国家重点实验室 上海 201203)

摘要:与数字集成电路不同,模拟集成电路的设计主要依靠电路仿真和人工经验来完成设计。模拟集成电路的仿真对于传统设计方法至关重要。随着机器学习和人工智能技术的发展,基于机器学习和人工智能的智能优化和自动化版图设计也逐渐发展起来。本文介绍了模拟电路的仿真的发展历史及最新进展,以及基于机器学习和人工智能的智能优化和自动化版图设计的最新进展,最后展望模拟集成电路的仿真与优化的未来发展趋势。

关键词:分析;建模;优化;模拟集成电路;综述

中图分类号:TM712

文献标识码:A

国家标准学科分类代码:510

Review of simulation and optimization methods for analog integrated circuits

YANG Fan^{1,2}

(1. School of Microelectronics, Fudan University, Shanghai 201203, China;

2. State Key Lab of ASIC & System, Fudan University, Shanghai 201203, China)

Abstract: Unlike digital IC, analog IC design still relies on circuit simulation and experiences to do the design. Simulation of analog integrated circuits is also very important for analog integrated circuit designs. With the development of machine learning, intelligent optimization and automatic layout design based on machine learning have also been developed. The simulation and optimization of analog integrated circuits will be reviewed. The recent trends will also be elaborated.

Keywords: analysis, modeling, optimization, analog integrated circuits, review

0 引言

电路仿真是模拟集成电路设计的基本工具。电路仿真工具多起源于加州大学伯克利分校的SPICE项目^[1]。相比原始的SPICE,现代的商用仿真工具在器件模型方面非常丰富,支持最新工艺的器件模型;在离散步长选择和器件bypass上更加智能^[2];在线性和非线性求解器上更加稳定可靠^[2-4];在线性求解器上充分利用CPU和GPU等新型计算架构,实现了更高的求解速度^[5-8];同时利用模型降阶方法来提升后仿真的效率^[9-13];同时也发展了针对射频应用的仿真工具^[14]。

在电路优化方面,电路的尺寸优化是一个经典的带约束非线性优化问题,上世纪90年代就吸引了很多研究者。早期的优化方法,基于正多项式性能模型和几何规划来实现快速优化^[15-16]。基于模拟的方法则直接通过仿真来驱动优化,借助模拟退火和进化等算法来跳出局部最优点^[17-19]。最近发展出了基于伴随模型优化方法,在线更新模型,并基于机器学习的方法如贝叶斯优化等来提升优化效率^[21-23]。

模拟集成电路的版图设计主要依赖于人工设计完成。近年来,由于机器学习技术的发展和计算能力的提升,版图设计的自动化方法开始发展起

*基金项目:国家自然科学基金(61822402)项目资助

杨帆(通信作者),教授,主要研究方向为集成电路设计自动化。E-mail: yangfan@fudan.edu.cn

来^[24-29]。版图自动化方法通过自动约束提取方法来获得电路中隐含的对称、邻近以及匹配等约束,并利用传统布局布线和机器学习方法来满足设计约束。由于模拟电路的优化目标难以用线长等简化模型来描述,且除上述可以提取的约束外,模拟集成电路的某些设计考虑难以通过形式化公式来描述,自动化设计的版图尚无法完全满足设计需求。模拟集成电路的版图设计自动化方法还需要进一步研究。

本论文后续3个章节将分别回顾电路仿真、电路优化方法以及模拟集成电路版图设计自动化的方法,并展望未来的发展方向。

1 仿真方法

模拟电路可以用如下的微分方程来描述:

$$\frac{dq(x)}{dt} + g(x) = Bu(t) \quad (1)$$

式中: $x \in \mathbf{R}^N$ 表示 N 维未知状态变量;向量函数 $q(x)$ 表示非线性电容效应;向量函数 $g(x)$ 表示非线性电阻效应; $u(t)$ 表示 m 个输入; $B \in \mathbf{R}^{N \times m}$ 表示输入映射矩阵。模拟电路的瞬态仿真求解的是微分方程式(1)的初值问题,即已知0时刻的初值 x_0 ,求解后续时间点的仿真波形。

模拟电路瞬态仿真的第一步是对式(1)进行离散。常见的离散方法包括后项欧拉、梯形方法和GEAR方法,这些方法通过选择合适步长可以保证离散后系统的稳定性。不同的离散方式,精度并不相同。梯形方法相比后项欧拉方法精度更高,高阶GEAR方法可以获得更高精度,但存储和计算量更高一些。步长选择对于提高电路仿真效率保证电路仿真精度也至关重要。由于实际电路,不同的时间段、不同的电路模块,仿真波形变化快慢并不一致。因此,对于不同的仿真时间段,我们可以改变仿真步长来提高仿真效率。对于不同的电路模块,也可以选择不同的步长来提升仿真效率。变化比较平缓的器件,可以通过bypass方式避免重复计算,减少计算量^[2]。

以后项欧拉离散为例,以步长 h 来离散,微分方程可以离散为一个非线性代数方程:

$$\frac{q(x_{n+1}) - q(x_n)}{h} + g(x_{n+1}) = Bu(t_{n+1}) \quad (2)$$

这个方程可以改写为如下形式:

$$F(x_{n+1}) = b_n \quad (3)$$

其中:

$$F(x_{n+1}) = \frac{q(x_{n+1})}{h} + g(x_{n+1})$$

$$b_n = \frac{q(x_n)}{h} + Bu(t_{n+1})$$

式(3)是一个非线性代数方程,可以采用牛顿迭代法来求解。对于瞬态仿真来说,上一时间步的仿真结果通常可以作为下一步的初值,牛顿迭代收敛相对容易。但作为瞬态仿真初值的直流仿真通常收敛困难。为提高收敛性,Gmin步进、Source步进、伪瞬态法、同伦法等被提出来提高非线性求解的收敛性^[2]。

式(3)的牛顿迭代过程描述如下:

$$A^k x_{n+1}^{k+1} = b_n^k \quad (4)$$

其中, A^k 表示 $F(\cdot)$ 的雅可比矩阵在牛顿迭代 k 迭代步的矩阵; x_{n+1}^{k+1} 表示第 $k+1$ 步迭代的值。而 $b_n^k = b_n + A^k x_{n+1}^k$ 。

经过离散和牛顿迭代过程,电路方程式(1)的求解最终被转化为线性方程组式(4)的求解。目前国际上开源及商用的主要线性方程直接求解器包括:UMFPACK^[3]、KLU^[4]、SUPERLU^[5]等。迭代求解器由于精度略差,在实际的高精度电路仿真中不稳定,在商用仿真器的直流和瞬态仿真中应用较少。经过适当的步长选择和bypass等技术,在电路仿真特别是大规模电路后仿真中,线性方程组式(4)的求解占据了绝大部分求解时间。并行化方法多针对线性方程组的求解进行加速,如通过多核CPU并行^[6-7]、MPI并行^[5]和GPU并行方法^[8,13]等。

对于电路的后仿真而言,由于寄生电路规模庞大,仿真效率较低。近年来,也发展了大量的寄生参数模型降阶方法,如基于内部节点消去的方法PACT^[9]、TICER^[10]、SIP^[11]等,以及基于节点聚合的模型降阶方法AMOR^[12]。这些方法可以将寄生电路的仿真效率提升达1个量级以上,而不显著降低仿真精度。

对于射频电路仿真,与瞬态仿真不一样,求解的是电路达到周期平衡后的周期稳态,可以看作求解微分方程式(1)的边值问题。对于周期 T 而言,即假设如下条件: $\mathbf{x}(0) = \mathbf{x}(T)$

对于边值问题,一般可以通过将未知周期响应 $\mathbf{x}(t)$ 用周期基函数如傅里叶基函数展开,然后求解展开系数,这就是所谓的谐波平衡法^[14]。这种方法可以利用快速傅里叶变换加速,适合弱非线性电路。也可以通过寻找合适的初值 $\mathbf{x}_0$,使得在 $\mathbf{x}(T) = \mathbf{x}_0$,这也就是所谓的打靶法。这种方法可以适用于强非线性电路,求解速度相对较慢^[14]。

模拟集成电路仿真存在诸多的成熟商用工具,如国外的 HSPICE、FINESIM、SPECTRE、ELDO 等工具,以及国产的 ALPS、nanoSPICE 等工具。ALPS、FINESIM 和 SPECTRE 最近均发布了利用 CPU 或 GPU 并行来大规模加速仿真的版本,极大的提高了仿真效率。

2 电路优化方法

电路优化是一个经典的研究课题。电路的优化可以描述为一个经典的约束非线性优化问题:

$$\min FOM(\mathbf{x})$$

s.t.

$$c_i(\mathbf{x}) < 0 \text{ for } i = 1 \text{ to } m$$

其中, $\mathbf{x}$ 表示设计参数; $FOM(\mathbf{x})$ 表示电路的优化的目标性能指标; $c_i(\mathbf{x})$ 表示电路的约束,这里可以有多个约束。

一般的带约束非线性优化问题难以求得最优解。早期的优化方法通过正多项式(即系数为正的多项式)来逼近电路的性能函数,从而把一般的非线性优化问题转化为一个几何优化问题来求解^[15]。几何优化问题可以转化为一个凸优化问题,可以求得最优解。最近也发展了针对一般多项式的优化方法,利用一般多项式来拟合电路性能函数,将多项式规划问题转化为一个半定规划来求解,可以求得最优解^[16]。但多项式逼近难以保证全局精度,为了保证逼近精度,所需的仿真点数会非常多,导致计算复杂度很高。

另一种常见的优化方法是模拟驱动的优化方法^[17-19]。这类方法通过电路模拟直接来驱动优化,仅仅只在优化探索的部分空间才进行电路仿真,效率相对较高。为了避免优化过程陷入局部最优,这类方法多通过启发式的方法如模拟退火^[17]、进化^[18]、粒子群^[19]等方式来跳出局部最优。但这类启发式的方法收敛速度通常较慢。

最近发展的基于伴随模型的优化方法^[20],则将模型和仿真两种方法结合起来。通过初始的仿真点构建初始伴随模型,并基于伴随模型优化得到新的优化点,对新的优化点仿真后,可以加入伴随模型的训练数据集,重新更新伴随模型。上述过程可以持续下去,直到优化收敛或者迭代次数达到上限。常用的伴随模型包括高斯过程回归模型^[21]、随机森林^[22]、贝叶斯神经网络^[23]等概率模型。这类模型除提供预测值外,通常还可以提供预测值的方差或不确定性。借助这样模型,可以通过贝叶斯优化^[21]等方法来平衡优化过程中的开发(即利用现有信息探索确定性的最优值)和探索(探索未知的不确定性区域),从而提高优化效率。

3 版图自动化方法

模拟集成电路的版图设计通常被认为是一种艺术,一般难以通过自动化的方法来设计版图。相比数字集成电路,模拟集成电路的版图设计自动化的主要困难在于以下两个方面:1)模拟集成电路版图有更多的约束如邻近、匹配、对称等,而有更多的约束甚至模拟集成电路版图设计工程师难以用数学语言直接描述;2)模拟集成电路的布线并不如数字集成电路可以直接用线长、时序等模型来描述,模拟集成电路有时对布线的线长匹配、对称性、线宽等也存在约束,现有的布线方法难以处理这样的约束^[24-25]。

近年来,发展了一系列的模拟集成电路的版图设计自动化方法。一般来说,模拟集成电路的版图设计自动化包含了一下几个步骤:约束自动提取、布局 and 布线。约束自动提取通过对电路图的特征、晶体管的尺寸和晶体管类型,自动分析晶体管之间的约束包括邻近、对称和匹配等,以及晶体管构成的组件之间的约束^[26-28]。这些约束将在布局或布线时予

以考虑,从而尽可能满足电路设计时的邻近、对称和匹配的考虑。布局的方法则通过采用数字电路的解析布局^[29]或者布局规划的方法^[30-31]求解晶体管在满足约束前提下的最优位置,以减少线长和面积。解析布局的方法将线长、晶体管重叠表示为解析形式,并通过 LSE(log-sum-exp)和场平滑方式分别进行平滑处理,然后基于梯度下降方式优化线长,减少重叠。通常假设全局布局为最优解,当完成全局布局后,通过合法化,在对晶体管位置移动最小的情况下,满足邻近、对称和匹配等约束,即可获得满足约束的电路布局。布局规划的方法则基于模拟退火或进化来实现电路的优化布局。

完成布局之后,可以直接对模拟集成电路进行详细布线。通过对连线的排序,利用 A*等迷宫算法完成连线的初始连接^[32],并通过 rip-up 和 re-route 方式将产生 DRC(design rule check)错误的线去掉,进行重新布线^[33]。重新布线时要注意绕开存在 DRC 或存在潜在 DRC 错误的区域^[34]。通过不断的迭代,直到所有 DRC 错误被修正,布线结束。

模拟集成电路的自动布局布线存在很多开源工具,如 BAG^[35]、MAGICAL^[36-37]和 ALIGN^[38-39],可以提供自动布局布线功能。

4 结 论

电路仿真工具经过数十年的发展,仿真效率一直在提升,但仍然难以满足设计后仿真的需求。利用现有的计算资源如 CPU 和 GPU 等提升仿真速度是有效的方法之一。但目前直接求解方法的可扩展性受限,当矩阵分割数目上升后,单核计算成本低于通信成本,会导致矩阵求解速度无法进一步提升。同时,矩阵分割的局部选主元,还会降低求解的数值精度。利用 GPU 加速求解,可以一定程度上解决通信开销问题,但多 GPU 的扩展仍然会受限于通信开销。模型降阶方法是提升后仿真效率的有效方法,如何平衡仿真效率和精度是模型降阶需要解决的重要问题。利用并行和异构计算平台提升电路仿真的效率仍是未来电路仿真效率提升的重要方向。

模拟集成电路的设计参数优化通过伴随模型方法可以有效提升效率,利用并行化进一步提升伴随

模型优化方法效率也是近年来的研究热点。但伴随模型优化方法仍需要多次调用电路仿真,对于大规模电路的优化,代价仍然较高。建立合适的行为级模型来指导优化,是未来提升模拟集成电路参数优化的方向。同时,模拟集成电路的拓扑结构优化和考虑后仿真的优化仍然是需要进一步研究的两个方向。

模拟集成电路的版图设计自动化目前仍处于研究阶段,基于开源的版图设计自动化工具为版图设计自动化提供了很好的研究方向。当前的设计可以为电路级提供物理设计的寄生参数/面积预估信息,为快速的设计空间探索提供指导。模拟集成电路的版图设计自动化未来还需要进一步研发基于人工智能和机器学习的方法来提取人工设计经验,提取更多设计约束,满足实际的设计需求。

参考文献

- [1] NAGEL L W. SPICE 2: A computer program to stimulate semiconductor circuits[D]. Ph.D. Dissertation, Univ. California at Berkeley, CA, USA, 1975.
- [2] FARID N. Najm, circuit simulation[M]. IEEE & John Wiley & Sons, Inc., Publication, 2010.
- [3] DAVIS T A. Algorithm 832: UMFPACK V4.3-An unsymmetric-pattern multifrontal method[J]. ACM Trans. Math. Softw., 2004, 30(2): 196-199.
- [4] DAVIS T A, PALAMADAI N E. Algorithm 907: KLU, a direct sparse solver for circuit simulation problems[J]. ACM Trans. Math. Softw., 2010, 37(3): 1-17.
- [5] DEMMEL J W, GILBERT J R, LI X S. An asynchronous parallel supernodal algorithm for sparse gaussian elimination[J]. SIAM J. Matrix Anal. Appl., 1997, 20(4): 915-952.
- [6] CHEN X, WU W, WANG Y, et al. An EScheduler-based data dependence analysis and task scheduling for parallel circuit simulation[J]. IEEE Trans. Circuits Syst. II, Exp. Briefs, 2011, 58(10): 702-706.
- [7] CHEN X, WANG Y, YANG H. NICS LU: An adaptive sparse matrix solver for parallel circuit simulation[J]. IEEE Trans. Computer-Aided Design Integr. Circuits Syst., 2013, 32(2): 261-274.
- [8] HE K, TAN S X D, WANG H, et al. GPU-accelerated

- parallel sparse LU factorization method for fast circuit analysis[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2016, 24(3): 1140-1150.
- [9] KERNS K J, YANG A T. Stable and efficient reduction of large, multiport RC networks by pole analysis via congruence transformations[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 1997, 16(7): 734-744.
- [10] SHEEHAN B N. Ticer: Realizable reduction of extracted RC circuits[C]. *IEEE/ACM International Conference on Computer-Aided Design. Digest of Technical Papers*, 1999: 200-203.
- [11] YE Z, VASILYEV D, ZHU Z, et al. Sparse implicit projection (SIP) for reduction of general many-terminal networks[C]. *IEEE/ACM International Conference on Computer-Aided Design*, 2008: 736-743.
- [12] SU Y, YANG F, ZENG X. AMOR: An efficient aggregating based model order reduction method for many-terminal interconnect circuits[C]. *DAC Design Automation Conference*, 2012: 295-300.
- [13] PENG S, TAN S X D. GLU3.0: Fast GPU-based parallel sparse LU factorization for circuit simulation[J]. *IEEE Design & Test*, 2020, 37(3): 78-90.
- [14] NASTOV O, TELICHEVESKY R, KUNDERT K, et al. Fundamentals of fast simulation algorithms for RF circuits[J]. *Proceedings of the IEEE*, 2007, 95(3): 600-621.
- [15] DEL MAR HERSHENSON M. Design of pipeline analog-to-digital converters via geometric programming[C]. In *IEEE/ACM International Conference on Computer Aided Design*, 2002: 317-324.
- [16] WANG Y, ORSHANSKY M, CARAMANIS C. Enabling efficient analog synthesis by coupling sparse regression and polynomial optimization[C]. In *Proc. 51st ACM/EDAC/IEEE Design Autom. Conf. (DAC)*, Jun. 2014: 1-6.
- [17] PHELPS R, KRASNICKI M, RUTENBAR R A, et al. Anaconda: Simulation-based synthesis of analog circuits via stochastic pattern search[J]. *IEEE Trans. Comput. - Aided Des. Integr. Circuits Syst.*, 2020, 19(6): 703-711.
- [18] LIU B, WANG Y, YU Z, et al. Analog circuit optimization system based on hybrid evolutionary algorithms[J]. *Integr.*, 2009, 42(2): 137-148.
- [19] VURAL R A, YILDIRIM T. Analog circuit sizing via swarm intelligence[J]. *AEU-Int. J. Electron. Commun.*, 2012, 66(9): 732-740.
- [20] LIU B, ZHAO D, REYNAERT P, et al. GASPAD: A general and efficient mm-wave integrated circuit synthesis method based on surrogate model assisted evolutionary algorithm[J]. *IEEE Trans. Comput. Aided Des. Integr. Circuits Syst.*, 2014, 32(2): 169-182.
- [21] LYU W, XUE P, YANG F, et al. An efficient bayesian optimization approach for automated optimization of analog circuits[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2017, 65(6): 1954-1967.
- [22] DASARI, SIVA K, ABBAS C, et al. Random forest surrogate models to support design space exploration in aerospace use-case[C]. *IFIP International Conference on Artificial Intelligence Applications and Innovations*. Springer, Cham, 2019.
- [23] MARCOT B G, PENMAN T D. Advances in Bayesian network modelling: Integration of modelling technologies[J]. *Environmental Modelling & Software*, 2019, 111: 386-393.
- [24] RUTENBAR R A. Design automation for analog: The next generation of tool challenges[C]. *2006 IEEE/ACM International Conference on Computer Aided Design*. IEEE, 2006: 458-460.
- [25] MALAVASI E, CHARBON E, FELT E, et al. Sangiovanni-vincentelli, automation of IC layout with analog constraints[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 1996, 15(8): 923-942.
- [26] LIU M, LI W, ZHU K, et al. S³DET: Detecting system symmetry constraints for analog circuits with graph similarity[C]. *2020 25th Asia and South Pacific Design Automation Conference (ASP-DAC)*, 2020, 193-198.
- [27] EICK M, STRASSER M, LU K, et al. Comprehensive generation of hierarchical placement rules for analog integrated circuits[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2011, 30(2): 180-193.
- [28] XU B Y, BASARAN B, SU M, et al. Analog placement constraint extraction and exploration with the application to layout retargeting[C]. In *Proceedings of the 2018 International Symposium on Physical Design*, 2018: 98-105.

- [29] XU B Y, LI S L, PUI C W, et al. Device layer-aware analytical placement for analog circuits[C]. In Proceedings of the 2019 International Symposium on Physical Design (ISPD '19), 2019: 19-26.
- [30] ZHANG L H, KLEINE U. A genetic approach to analog module placement with simulated annealing[C]. 2002 IEEE International Symposium on Circuits and Systems. Proceedings, 2002: DOI: 10.1109/ISCAS.2002.1009848.
- [31] TAM Y, YOUNG E F Y, CHU C. Analog placement with symmetry and other placement constraints[C]. 2006 IEEE/ACM International Conference on Computer Aided Design, 2006: 349-354.
- [32] KAHNG A B, WANG L, XU B. TritonRoute: The open-source detailed router[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2021, 40(3): 547-559.
- [33] KASTNER R, BOZORGZADEH E, SARRAFZADEH M. Pattern routing: Use and theory for increasing predictability and avoiding coupling[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2002, 21(7): 777-790.
- [34] ZHU K, LIU M, LIN Y, et al. GeniusRoute: A new analog routing paradigm using generative neural network guidance[C]. IEEE/ACM International Conference on Computer-Aided Design (ICCAD), 2019: 1-8.
- [35] CROSSLEY J, PUGGELLI A, LE H P, et al. BAG: A designer-oriented integrated framework for the development of AMS circuit generators[C]. 2013 IEEE/ACM International Conference on Computer-Aided Design (ICCAD), 2013: 74-81.
- [36] XU B, ZHU K, LIN M, et al. MAGICAL: Toward fully automated analog ic layout leveraging human and machine intelligence: Invited paper[C]. 2019 IEEE/ACM International Conference on Computer-Aided Design (ICCAD), 2019: 1-8. .
- [37] CHEN H, LIU M, XU B, et al. AGICAL: An open-source fully automated analog ic layout system from netlist to GDSII[J]. IEEE Design & Test, 2020, 38(2): 19-26.
- [38] KUNAL K, MADHUSUDAN M, SHARMA A K, et al. ALIGN: Open-source analog layout automation from the ground up[C]. In Proceedings of the 56th Annual Design Automation Conference 2019 (DAC '19), 2019: 1-4.
- [39] DHAR T, KUNAL K, LI Y, et al. ALIGN: A System for automating analog layout[J]. IEEE Design & Test, 2020, 38(2): 8-18.