

应用于TDC电路的低相噪电荷泵锁相环*

李 铭 毕元昊 韩 冬 徐 跃**

(南京邮电大学 集成电路科学与工程学院, 南京, 210023)

2023-08-16收稿, 2023-12-06收改稿

摘要: 基于SMIC 0.18 μm CMOS工艺实现了一种低相位噪声的四级差分延迟振荡器结构锁相环。通过增加额外的充、放电支路和单位增益放大器优化电荷泵结构,有效减少锁相环电路中的时钟馈通、电荷共享等非理想因素,同时采用重定时结构的反馈回路消除了电路中噪声的积累。测试结果表明,当输入参考频率为40 MHz时,锁相环的输出中心频率在5 μs 内稳定到960 MHz,相位噪声为 $-125 \text{ dBc/Hz}@1 \text{ MHz}$,较好解决了传统锁相环结构由于噪声抑制性能差而无法满足高精度时间-数字转换(Time-to-digital conversion, TDC)电路要求的问题。

关键词: 锁相环; 相位噪声; 压控振荡器; 电荷泵

中图分类号: TN432 **文献标识码:** A **文章编号:** 1000-3819(2024)05-0450-05

Low-phase Noise Charge Pump Phase Locked Loop for
TDC Circuits

LI Ming BI Yuanhao HAN Dong XU Yue

(College of Integrated Circuit Science and Engineering, Nanjing University of Posts and Telecommunications,
Nanjing, 210023, CHN)

Abstract: A low-phase-noise four-stage differential phase-locked loop (PLL) based on SMIC 0.18 μm CMOS process was designed. By adding additional charge and discharge paths and optimizing the charge pump structure with a unity gain amplifier, non-ideal factors such as clock feedthrough and charge sharing in the PLL circuit were effectively reduced, meanwhile the feedback loop with retiming timing structure was adopted to eliminate the accumulation of noise in the circuit. The test results demonstrate that at an input reference frequency of 40 MHz, the output center frequency of the PLL can be locked at 960 MHz within 5 μs and the phase noise is $-125 \text{ dBc/Hz}@1 \text{ MHz}$. It can solve the issue of traditional PLL structures which are unable to meet the high-precision time-to-digital conversion (TDC) circuit requirements due to poor noise suppression performance.

Key words: phase locked loop; phase noise; voltage-controlled oscillator; charge pump

引 言

阵列激光雷达探测器需要利用锁相环产生的多相时钟驱动时间数字转换器(Time-to-digital con-

version, TDC)将光子飞行时间转换成数字信号,锁相环的性能优劣直接决定了探测器的测距精度和误差。

锁相环通常使用环形振荡器或电容/电感式振荡器产生所需的高频时钟。电容/电感式振荡器虽

* 基金项目: 国家自然科学基金面上项目(62171233); 江苏省研究生科研与实践创新计划资助项目(KYCX23_0999)

** 联系作者: E-mail: yuex@njupt.edu.cn

然相位噪声性能好,振荡频率高,但是占用面积大,频率调谐面积窄。相比之下,基于环形振荡器的锁相环具有面积小、调谐范围广、易于集成等优点。目前用于TDC电路的低相位噪声环形锁相环结构的相关报道有:文献[1]采用的亚采样锁相环(Sub-sampling phase locked loop, SS-PLL)结构,但其鉴相范围有限且受温度影响大;文献[2]中提出的注入锁定锁相环(Injection-locked phase locked loop, IL-PLL)技术能够有效减少锁相环的相位噪声,但是在高分频比时,IL-PLL的锁定效果会变差直至进入伪锁定状态,分频比范围的限制直接导致其输出频率受限;文献[3]通过混合环路技术可以有效降低锁相环的抖动,但其电路复杂,集成困难。

由于电荷泵锁相环(Charge pump phase locked loop, CPPLL)具有锁定相差小、结构简单等优点,成为了TDC中多相时钟产生电路的首选结构。为了满足TDC电路对高质量多相时钟信号的要求,同时考虑减少芯片面积,利于阵列集成,设计了一种低抖动、低相位噪声的电荷泵锁相环,由鉴频鉴相器、分频器、电荷泵和压控振荡器组成。考虑到电荷泵和压控振荡器是锁相环中的主要抖动源,首先对电荷泵电路进行优化,使其能够有效减少电荷共享、时钟馈通等非理想因素,同时采用伪差分延时单元的压控振荡器,能够有效抑制噪声。

1 CPPLL 系统设计

所设计的锁相环结构如图1所示,鉴频鉴相器(Phase frequency detector, PFD)检测出参考时钟(F_{ref})和分频器(Divider)输出时钟(F_{div})之间的相位差和频率差,产生相应的脉冲信号,经电荷泵(Charge pump, CP)向由 C_1 、 C_2 和 R_1 构成的环路滤波器(Loop filter, LPF)充放电,产生压控振荡器(Voltage controlled oscillator, VCO)的控制电压,通过VCO和PFD之间的分频器形成一个反馈回路,确保锁相环的输出频率不受工艺、电源电压、温度等的干扰。

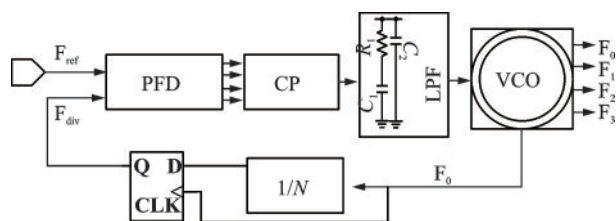


图1 CPPLL系统结构

Fig.1 Block diagram of CPPLL

锁相环的输出频率由分频器决定,而分频器由多个D触发器串联组成,这种结构会使环路中的相位噪声逐渐累加起来,从而恶化锁相环的稳定性。通过在反馈回路中加入一个由压控振荡器触发的D触发器,形成一个重定时(Retiming)结构,这样反馈回路中的相位噪声就只由这一个D触发器决定,前面分频器中累积的相位噪声被清除掉,从而大大降低整个系统中的相位噪声。

锁相环中的主要环路参数为环路带宽(ω_c)、输出中心频率、分频比 N 、VCO的电调灵敏度(K_{VCO})和CP充放电电流(I_{CP})。本文所设计的锁相环应用于TDC电路,所以输出频率由TDC电路决定,设计为960 MHz。分频比需要在参考时钟频率和噪声之间权衡,分频比过大会引起带内噪声的显著提高,分频比过小则需要更高频率的参考时钟,使得系统的功耗提升,因此将分频比折中选为32。为了抑制低频噪声,将 ω_c 设定为1 MHz。提高 I_{CP} 能够增加环路稳定性,但会使电路的功耗增加,因此将 I_{CP} 设置为20 μA ,有效兼顾到环路稳定性和功耗。

2 PFD与CP设计

在锁相环电路中,电荷泵将PFD输出信号转换为电流,实现对LPF的充放电操作,产生VCO的控制电压。因此,电荷泵产生的任何噪声都会引起VCO输出频率的抖动。在实际电路中,电荷泵存在着诸多非理想因素,例如时钟馈通、电荷泄露、电荷共享等,这些非理想因素会引起电荷泵的电流失配,从而极大恶化锁相环的相位噪声。CP的非理想因素引起的相位差可以表示为:

$$\phi_e = 2 \prod \frac{\Delta t_{\text{on}}}{T_{\text{ref}}} \frac{\Delta i}{I_{\text{CP}}} \quad (1)$$

其中, ϕ_e 表示相位偏移, Δt_{on} 表示PFD的导通时间, T_{ref} 表示参考信号的周期, I_{CP} 表示电荷泵电流, Δi 表示电荷泵电流失配。可以看出通过减少PFD的导通时间和电荷泵的电流失配均能够有效减少相位噪声。然而电路需要一定的PFD导通时间来消除PFD的死区效应^[4],因此需要尽可能减少电流失配来优化相位噪声。

PFD的结构如图2所示。由于CP采用两对差分输入,因此PFD使用传输门和反相器产生两对差分信号,同时通过在复位信号路径上增加延迟单元来减小死区时间,从而减少VCO输出相位噪声的积累。

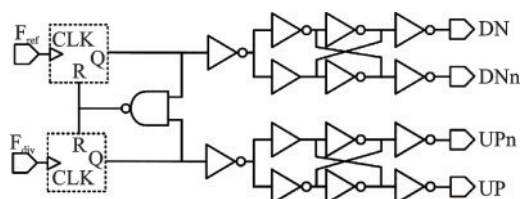


图2 鉴频鉴相器结构

Fig.2 Structure diagram of PFD

本文提出了一种新的电荷泵电路,如图3所示。电荷泵根据PFD产生的UP和DN脉冲信号,进行相应的充放电操作。由于MOS管上寄生电容的存在,PFD产生的脉冲信号会对CP输出电压产生周期性的影响,即时钟馈通效应。为了消除该影响,本文在电荷泵电路中增加了四个虚拟开关(Dummy switch),它们能够在PFD的脉冲信号到来时,产生反向的跳变电压,从而减少时钟馈通效应对输出电压的影响。

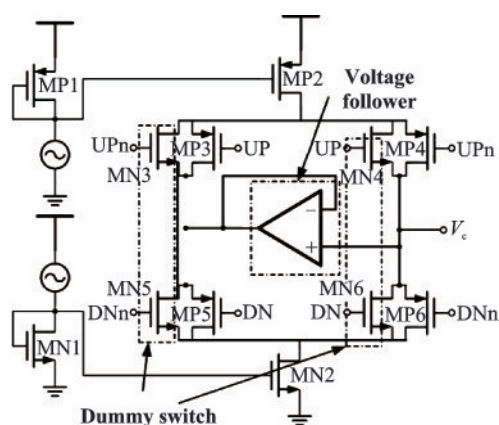


图3 电荷泵结构

Fig.3 Structure diagram of charge pump

相较于传统电荷泵电路,本文提出的电荷泵额外增加了两个充放电支路,通过使用与PFD相反的控制信号,即UPn和DNn,电荷泵具有了两条开关支路,通过使用相反信号控制,使两条支路交替流过电流,省去了电流的再建立时间,提高了电路的速度。为了避免电路切换时由于电荷共享效应引起的LPF输出电压波动,引入单位增益放大器来保持两个支路的共模电平相同,避免了电荷共享效应。

使用cadence软件对CP电路进行仿真,CP的充、放电仿真曲线如图4所示,可看到在0.2~1.5 V的工作电压范围内,充放电电流都在20 μA 左右,且最大电流失配为75 nA,电流失配率仅为0.4%。

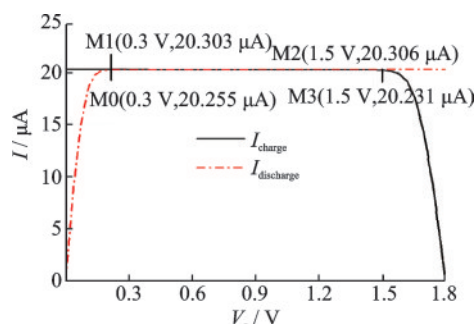


图4 CP充、放电仿真曲线

Fig.4 Simulated curves of charging and discharging

3 VCO 设计

所设计的VCO原理图如图5所示。由于TDC电路需要八相时钟,为了满足设计需求,该VCO采用四个延迟单元。根据巴克豪森准则,相邻信号的相位差应为 45° ,但由于每个延迟单元都会产生噪声,噪声在经过四个延迟单元的积累之后会极大地恶化整个PLL的性能。为了减少每个延迟单元产生的噪声,本文摒弃了普遍使用的全差分延时单元和电流饥饿型延时单元,而是采用了如图6所示的伪差分延时单元(Pseudo differential delay cell, PDDC)^[5]。该结构能够从两方面减少噪声源:其一,不需要尾电流源;其二,负载管由片外控制电压 V_c 直接控制,无需偏置电路,减少了来自晶体管噪声源的数量。同时,交叉耦合对管通过引入正反馈,在加快翻转速度的同时,也能使输出波形更加对称。

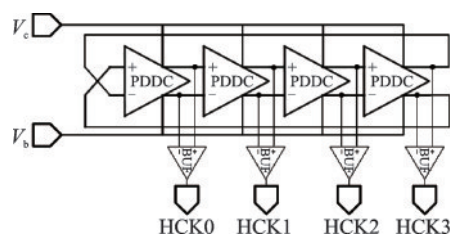


图5 VCO原理图

Fig.5 Structure diagram of VCO

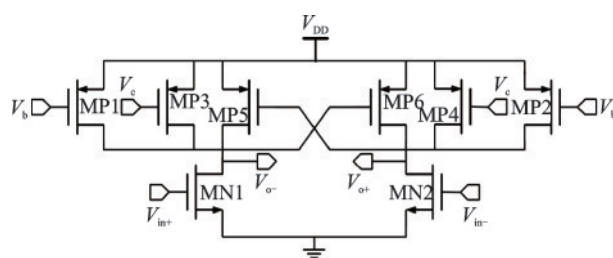


图6 伪差分延时单元原理图

Fig.6 Structure diagram of pseudo differential delay cell

虽然 PDDC 拥有非常高的 K_{VCO} , 但是过高的 K_{VCO} 会使环路的稳定性和噪声抑制性能下降。因此引入了由外部偏置 V_b 进行控制的额外负载管 MP1 和 MP2, 在降低 K_{VCO} 的同时又便于通过片外调整拓展频率调谐范围, 提高了应对工艺漂移的能力。

在实际工作过程中, VCO 的输出中心频率会受工艺、电压和温度的影响而出现偏移, 故 VCO 需要预留 20% 左右的调谐范围^[6]。VCO 的调谐范围仿真曲线如图 7 所示, 随着温度的变化, VCO 在输出中心频率 960 MHz 的情况下仍能满足 20% 的调谐范围。

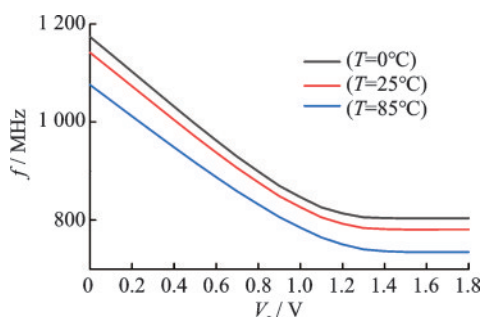


图7 VCO 频率调谐曲线仿真

Fig.7 Simulated frequency tuning curves of VCO

4 整体性能仿真与测试

设计的 CPPLL 采用 SMIC 180 nm CMOS 工艺流片实现, 芯片显微照片如图 8 所示, 芯片的面积约为 $417 \mu\text{m} \times 365 \mu\text{m}$ 。CPPLL 的瞬态仿真曲线如图 9 所示, 锁定时间为 $5 \mu\text{s}$ 。在输入参考时钟为 30 MHz 的情况下, 通过仿真 CPPLL 各模块的相位噪声曲线, 之后经过 Matlab 进行拟合得到如图 10 所示的相位噪声仿真曲线, 其中未使用重定时结构的仿真曲线如图中粉色线条所示, 可见重定时结构能够有效减少电路整体相位噪声, 同时可以看出 CPPLL 的相位噪声主要是由 VCO 贡献。

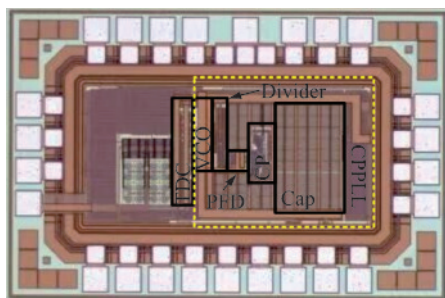


图8 CPPLL 芯片照片

Fig.8 Photo of CPPLL chip

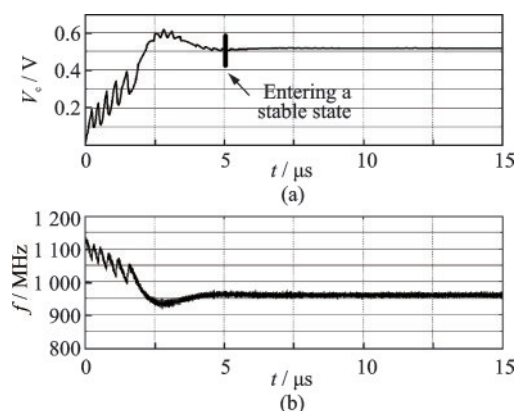


图9 瞬态仿真曲线:(a) 电压随时间的变化;(b) 频率随时间的变化

Fig.9 Transient simulated curves: (a) Voltage varies with time; (b) Frequency varies with time

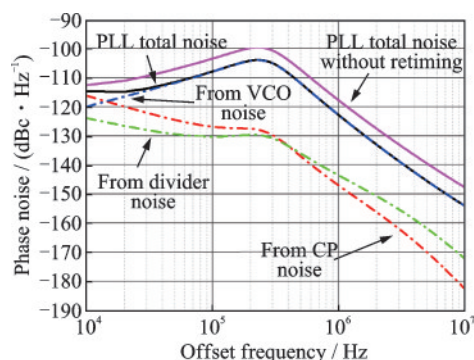


图10 相位噪声仿真曲线

Fig.10 Simulated curves of the phase noise

使用 Agilent E5052B 测试了芯片的相位噪声性能, 测试结果如图 11 所示, 输入参考时钟为 40 MHz 下, CPPLL 的相位噪声为 $-125 \text{ dBc/Hz}@1 \text{ MHz}$ 。

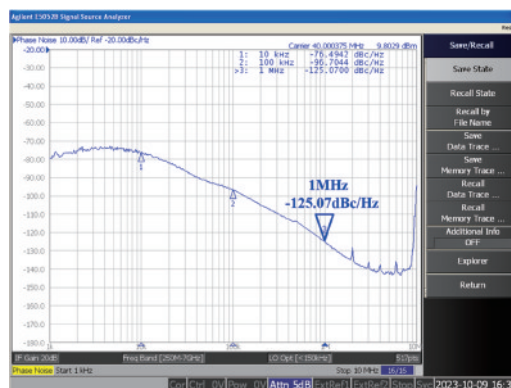


图11 相位噪声测试结果

Fig.11 Measured phase noise

表 1 比较了本文与其他文献的测试结果。由表可见, 本文所设计的 CPPLL 在相位噪声抑制方面具有一定优势, 能够有效减少由于时钟抖动引起的 TDC 量化误差。

表1 本文与其他文献性能对比

Tab.1 Performance comparison between this work and other literatures

Reference	Technology	Oscillator structure	Output frequency/GHz	Phase noise /(dBc/Hz@1 MHz)	Supply voltage/V
[7]	65 nm	Ring	0.645	-110.80	1.0
[8]	0.18 μm	Ring	1.800	-102.00	1.8
[9]	0.18 μm	Ring	2.400-3.450	-107.58	1.8
This work	0.18 μm	Ring	0.960	-125.00	1.8

5 结 论

基于SMIC 180 nm CMOS工艺设计了一款应用于阵列TDC的高精度、低抖动的电荷泵锁相环。根据锁相环电路中的多种噪声源,选取合适的电荷泵和环形振荡器结构,同时在反馈回路中引入重定时结构,减少噪声积累。考虑到工艺、电压和温度会引起输出中心频率的偏移,在预留20%调谐范围的同时引入外部偏置调节电压,使输出频率保持恒定。流片测试结果表明,该锁相环相位噪声为-125 dBc/Hz@1 MHz,符合预期设计。

参 考 文 献

[1] Zhang Z, Zhu G, Patrick Yue C. A 0.65 V 12-16 GHz sub-sampling PLL with 56.4 fs_{rms} integrated jitter and -256.4 dB FoM[J]. IEEE Journal of Solid-state Circuits, 2020, 55(6): 1665-1683.

[2] Choi C, Hwang S, Song J, et al. 2.56 GHz sub-harmonically injection-locked PLL with cascaded DLL for multi-phase injection[J]. Electronics Letters, 2014, 50(24): 1803-1804.

[3] Sai A, Yamaji T, Itakura T. A 570 fs_{rms} integrated-jitter ring-VCO-based 1.21 GHz PLL with hybrid loop [C]. 2011 IEEE International Solid-state Circuits Conference. San Francisco: IEEE, 2011: 98-100.

[4] 尹海丰, 毛志刚. 低抖动时钟锁相环的一种优化设计方法[J]. 固体电子学研究进展, 2010, 30(3): 387-391, 445.

[5] 谷银川, 黄鲁, 张步青. 一种全差分双路延迟环形VCO的设计[J]. 微电子学, 2015, 45(6): 747-750.

[6] Herzel F, Erzgraber H, Weger P. Integrated CMOS wideband oscillator for RF applications[J]. Electronics Letters, 2001, 37: 330-331.

[7] Kim J M, Kim S, Lee I Y, et al. A low-noise four-stage voltage-controlled ring oscillator in deep-submicrometer CMOS technology[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2013, 60(2): 71-75.

[8] Chen Z, Lee T. The design and analysis of dual-delay-path ring oscillators[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2011, 58(3): 470-478.

[9] Goel A, Tomar A, Kumar N, et al. Low phase noise high switching ring VCO with quadrature output [J]. 2016 Asia-Pacific Microwave Conference (APMC). New Delhi, India: IEEE, 2016: 1-3.



李 铭(LI Ming) 男,1999年生,河南信阳人,硕士研究生,主要从事CMOS图像传感器芯片设计研究工作。



徐 跃(XU Yue) 男,1972年生,江苏南京人,教授,博士生导师,主要研究方向为CMOS传感器芯片设计、模拟集成电路设计。