科学通报 2017 年 第 62 卷 第 14 期：1520 ~ 1526
论 文
《中国科学》杂志社
SCIENCE CHINA PRESS

石墨烯场效应晶体管的输运特性

石晓东，王伟*，金慧娇，尹强，任利鹏

河北工业大学电子信息工程学院，天津市电子材料与器件重点实验室，天津 300401
* 联系人, E-mail: wangwei@hebut.edu.cn

2016-06-26 收稿, 2016-09-07 修回, 2016-09-08 接受, 2017-01-17 网络版发表
河北省在读研究生创新资助项目(220056)和河北省自然科学基金(F2012202075)资助

摘要 石墨烯场效应晶体管的研究对于摩尔定律的延续具有非常重要的意义. 近年来，大面积、高质量石墨烯薄膜制备技术的快速发展，进一步推动了基于石墨烯材料的新型电子器件的研究，引起了集成电路领域研究人员的广泛关注. 本文所制备的石墨烯场效应晶体管以ITO为栅电极，Ta_2O_5为栅绝缘层，石墨烯为有源层，Ti/Au双层金属为源漏电极. 电学特性测试与分析结果表明，石墨烯与源漏电极形成了良好的欧姆接触. 室温下，石墨烯场效应晶体管展示了其特有的双极性特征，空穴迁移率约为2272 $cm^2/(V\ s)$，电流开关比约为6.2. 转移特性曲线中出现了明显的滞回现象，且随着栅压扫描范围的增大而越发显著. 同时研究了温度对石墨烯场效应晶体管性能的影响，随着温度的升高，狄拉克点电压逐渐向零点方向偏移，滞回现象愈加明显. 当温度为75℃时，空穴迁移率与电流开关达到最佳.

关键词 石墨烯场效应晶体管，迁移率，电流开关比，滞回现象，温度

石墨烯是一种具有二维蜂窝状晶格结构的新型碳材料，它能够翘曲成富勒烯，卷曲成碳纳米管或堆垛成石墨[1]，其优异性能可概括为以下3点[1~5]：(1) 目前，石墨烯是世界上最薄、最轻、最坚硬、热导率与杨氏模量最高的材料；(2) 常温下，石墨烯中电子迁移率约为1.5×10^4 $cm^2/(V\ s)$，高于任何一种半导体材料的迁移率，且电子在石墨烯中传输时，受到的干扰较小，不易发生散射；(3) 石墨烯还具有很高的光透射率(可达97.7%)、量子隧道效应、半整数量子霍尔效应. 正是石墨烯的这些优良特性，使得其在电子、信息、材料、能源及生物医药等领域具有广阔的应用前景[1,2,6]. 目前石墨烯的制备方法主要有：微机械剥离法[7]、外延生长法[8]、化学气相沉积(chemical vapor deposition, CVD)法[9]等. 机械剥离法制备石墨烯时间长，层数和尺寸不可控，难以广泛应用；外延生长法制备石墨烯的生长温度高、能耗高，成本昂贵；CVD法具有工艺简单、可控性高、成本低等优点，是目前制备大面积、高质量石墨烯最适宜的方法[6,10].

目前，集成电路的发展水平已成为一个国家工业发展水平的标志. 在大规模集成电路中90%使用的是硅基金属-氧化物-半导体场效应晶体管，其特征尺寸已达14 nm，预测到2020年将达到硅材料的使用极限. 石墨烯是替代硅最有潜力的材料之一[1,11]. 石墨烯具有较高的载流子迁移率，用其制作的晶体管具有较快的响应速度，可大大提高晶体管的截止频率[12,13]；且石墨烯只有单原子层厚度，能够继续缩小晶体管的特征尺寸，延续摩尔定律[11]. 虽然石墨烯场效应晶体管在制备技术与器件性能上均取得了一定的进步，但与传统的硅材料相比，现有的基于石墨烯材料的场效应晶体管在载流子迁移率、电流开关比等方面并不具有明显的优势. 因此，针对石墨烯场效应晶体管的研究，将是未来集成电路领域的主流方向.

引用格式: 石晓东，王伟，金慧娇，等. 石墨烯场效应晶体管的输运特性. 科学通报, 2017, 62: 1520–1526
Shi X D, Wang W, Jin H J, et al. Transport properties of graphene field effect transistors (in Chinese). Chin Sci Bull, 2017, 62: 1520–1526, doi: 10.1360/N972016-00740

© 2017《中国科学》杂志社

目前所制备的石墨烯场效应晶体管大多以SiO_2为栅绝缘层. SiO_2的介电常数值较低, 器件功耗较高, 且当其薄膜厚度减小到一定程度时, 极易发生击穿. 而以高介电常数的半导体材料(如Ta_2O_5, TiO_2, Al_2O_3等)作为栅绝缘层, 同样条件下所得到的比电容更大, 且能够在尽可能低的操作电压下获得较高的迁移率, 这是解决器件功耗较高的一种有效方法[14]. 本文主要研究以高介电常数Ta_2O_5为栅绝缘层的石墨烯场效应晶体管的电学特性, 对器件的载流子迁移率、电流开关比、滞回现象等电学性能进行了表征与分析, 同时研究了最大栅压与温度对其电学特性的影响.

1 材料和方法

本文所制备的石墨烯场效应晶体管如图1所示, 其衬底材料选用的是5 cm×5 cm的ITO玻璃. 首先, 对ITO玻璃进行清洗, 将其依次放入去离子水、丙酮、乙醇中各超声清洗10 min, 去离子水冲洗并氮气吹干, 采用负胶光刻工艺制备ITO栅电极. 在光刻合格的ITO栅电极上电子束蒸镀Ta_2O_5栅绝缘层, 蒸发源选用高纯Ta_2O_5粉末(纯度为99.99%), 本底真空度优于3×10^{-4} Pa, 沉积速率为0.5 nm/s, 沉积厚度为140 nm.

采用低温等离子体增强化学气相沉积(plasma enhanced CVD, PECVD)方法在镀有镍膜的硅片上生长石墨烯. 首先, 将硅片依次放入去离子水、丙酮、乙醇中各超声清洗10 min. 清洗后的硅片通过电子束蒸镀180 nm厚的镍膜, 作为生长石墨烯的金属催化剂. 将镀有镍膜的硅片放入PECVD腔室内, 本底真空度优于2×10^{-4} Pa. 首先, 将衬底升温至600℃, 升温过程中保持Ar气氛, 其流量为80 sccm; 之后进入生长阶段, 通入CH_4与H_2, 其流量分别为40, 2 sccm, 生长压强450 Pa, 偏压–50 V, 射频功率200 W, 生长时间1 min; 生长结束后在Ar流量的调节下, 以10℃/min的速率降至室温, 完成石墨烯薄膜的制备.

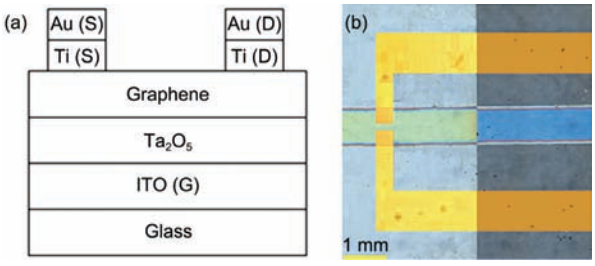

图 1 (网络版彩色)石墨烯场效应晶体管. (a) 器件结构截面示意图; (b) 光学显微镜图像

Figure 1 (Color online) (a) Schematic cross-sectional structure and (b) optical microscope image of the graphene field effect transistor

采用湿法转移工艺将石墨烯薄膜转移至Ta_2O_5栅绝缘层表面. 首先, 在石墨烯一侧均匀旋涂1层聚甲基丙烯酸甲酯(Poly (methyl methacrylate), PMMA), 80℃烘干20 min后, 将其置于质量分数为3%的HCl溶液中, 用于腐蚀镍层, 得到石墨烯/PMMA. 将清洗干净的石墨烯/PMMA漂浮于去离子水中, 使用目标衬底捞取石墨烯. 120℃加热烘干30 min, 以实现石墨烯和目标衬底的紧密接触. 最后, 将其放于60℃热丙酮中加热3 h, 以彻底去除PMMA, 完成石墨烯薄膜的转移.

采用磁控溅射法制备源、漏Ti/Au双层电极, 本底真空度优于5×10^{-4} Pa, 沉积速率为0.6 nm/s, Ti薄膜厚度为5 nm, Au薄膜厚度为40 nm. 沟道宽度510 μm, 长度170 μm, 以上步骤均加掩膜版, 由此制备出实验所需的石墨烯场效应晶体管.

采用Nova Nano SEM450型场发射电子显微镜与Advantage NIR型拉曼光谱仪分别对石墨烯薄膜的形貌与质量进行测试. 采用奥林巴斯BX-51型光学显微镜对石墨烯场效应晶体管的器件结构进行表征. 采用XP-300型台阶测试仪对薄膜的厚度进行测试. 采用Keysight B1500A半导体参数测试仪与变温测试台, 对石墨烯场效应晶体管的电学特性进行测试.

2 结果与讨论

2.1 石墨烯薄膜的表征

图2(a)为镍膜上石墨烯的电子显微镜图像, 其表面呈现亮暗不同的区域, 颜色较深的区域对应的石墨烯层数较多, 但整体以亮区域为主, 表明石墨烯的层数较均匀. 在PECVD制备石墨烯的过程中, 镍衬底以溶解析出机制生长石墨烯, 沉积阶段有大量的碳原子溶解于镍中, 并在降温过程中析出. 由于生长过程较复杂, 碳原子易在晶界处的低势能点富集, 并在表面偏析生长石墨烯. 所以在晶界处易获得多层不均匀的石墨烯, 形成亮暗不同的区域.

拉曼(Raman)图谱的形状、位置和宽度与石墨烯的质量和层数密切相关. D峰(约1350 cm^{-1})是由石墨烯的无序性诱导与缺陷引起的; G峰(约1580 cm^{-1})是碳sp^2结构的特征峰; 2D峰(约2700 cm^{-1})是由碳原子中两个具有反向动量的声子双共振跃迁引起的, 它

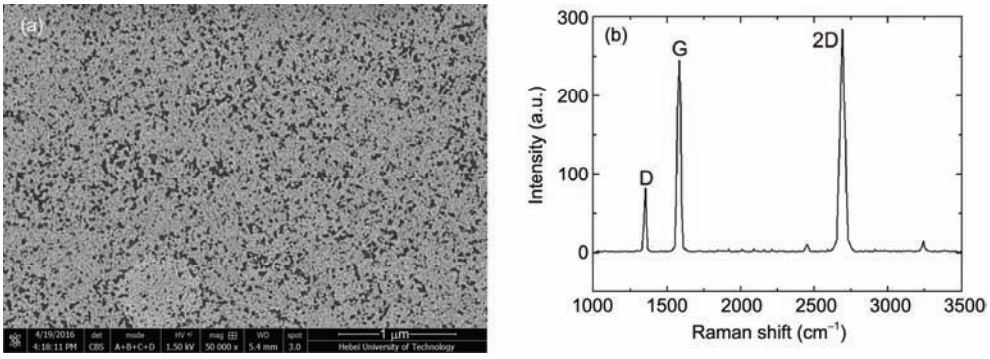

图 2 (a) 镍膜上石墨烯的电子显微镜图像; (b) 转移到Ta_2O_5表面上的石墨烯的拉曼图谱
Figure 2 (a) Electron microscope image of graphene on a nickel film; (b) Raman spectra of graphene transferred to Ta_2O_5

是石墨烯出现的典型标志[15]. 图2(b)是转移到Ta_2O_5表面的石墨烯的Raman图谱, G峰在1582 cm^{-1}处, 2D峰在2690 cm^{-1}处, G峰与2D峰强度比I_G/I_{2D}=0.86, 2D峰半峰全宽为53 cm^{-1}, 这些都证明了实验所制备的石墨烯为双层. D峰在1353 cm^{-1}处, 峰值较小, 表明实验生长的石墨烯质量较高.

2.2 石墨烯场效应晶体管的电学特性

室温下, 石墨烯场效应晶体管的输出与转移特性曲线如图3所示. 图3(a)中, 栅压由上至下依次为: –10, –5, 0, 5, 10 V, 源漏电压在0.6 V范围内, I_{DS}随着V_{DS}的增大而增大, I_{DS}-V_{DS}呈线性关系, 这说明石墨烯导电沟道与源漏电极形成了良好的欧姆接触. 石墨烯沟道电阻随着栅压的变化而变化, 这说明栅压对石墨烯中载流子起到了较好的调控作用.

石墨烯具有锥形的能带结构, 这种特有的能带结构使其场效应晶体管具有双极电导特性, 即电子电导与空穴电导. 漏电流最小值对应的栅电压称为狄拉克点电压(V_{Dirac}), 它是石墨烯导电类型转换的临界电压. 当V_{GS}=V_{Dirac}时, 费米能级与石墨烯沟道的狄拉克点平齐, 载流子浓度最低; 在V_{GS}<V_{Dirac}的区域为空穴电导区(或p型区); 在V_{GS}>V_{Dirac}的区域为电子电导区(或n型区)[16]. 图3(b)中, 转移特性曲线表现了石墨烯特有的双极电导特性, 狄拉克点位于V_{GS}=12.2 V处, 狄拉克点左侧为p型区, 右侧为n型区. 理论上, 狄拉克点应位于V_{GS}=0 V处, 但由于制备过程中引入的杂质及石墨烯表面吸附的水分子、氧分子等对其具有p型掺杂作用, 进而导致狄拉克点正电压方向偏移.

石墨烯场效应晶体管的载流子迁移率可通过公式(1)[17]计算得出:

$$\mu = \frac{hL_{ch}g_m}{\varepsilon\varepsilon_0 W_{ch}V_{DS}}, \tag{1}$$

式中, μ为载流子迁移率; h为栅绝缘层厚度, 其值为140 nm; L_{ch}为沟道长度, 其值为170 μm; W_c为沟道宽度, 其值为510 μm; ε为Ta_2O_5的相对介电常数, 其值

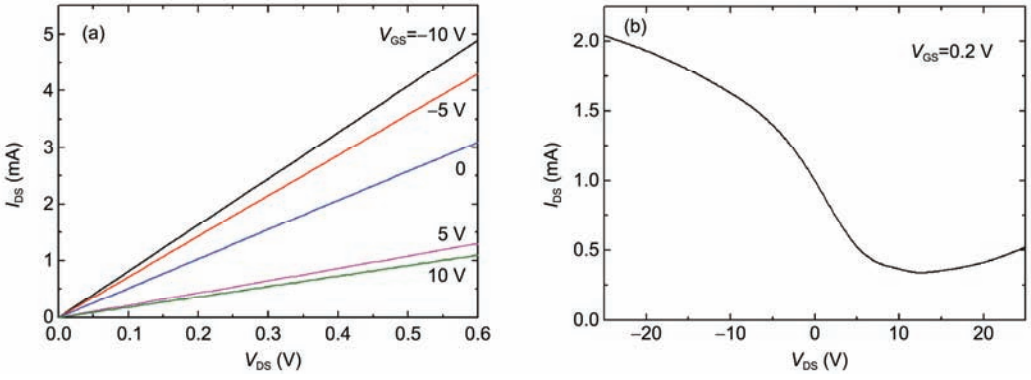

图 3 (网络版彩色)石墨烯场效应晶体管. (a) 输出特性曲线; (b) 转移特性曲线
Figure 3 (Color online) (a) Output and (b) transfer characteristic curve of the graphene field effect transistor

为11.6; ε_0为真空介电常数; g_m为跨导，可由I_{DS}-V_{GS}曲线的最大斜率求得，由图3(b)可知，I_{DS}-V_{GS}曲线的斜率在V_{GS}=0 V处达到最大，其值约为0.1 mA/V. 由公式(1)得到石墨烯场效应晶体管的空穴迁移率约为2272 cm^2/(V s). 相比于传统的SiO_2栅绝缘层，本文所制备的以Ta_2O_5为栅绝缘层的石墨烯场效应晶体管的载流子迁移率得到了较大的提高，由1214 cm^2/(V s)[18]提高到2272 cm^2/(V s). 器件的电流开关比约为6.2，电流开关比较小是由于石墨烯为双层结构，导带价带接触，在电场作用下产生微小带隙所致.

当栅压的扫描方向不同时，即$-V_{max}\rightarrow 0\rightarrow +V_{max}\rightarrow 0\rightarrow -V_{max}$，转移特性曲线中的$I_{DS}$-$V_{GS}$不重合，出现了明显的滞回现象，如图4(a)所示. Ta_2O_5表面吸收的水分子、氧分子与石墨烯之间的电化学反应及Ta_2O_5表面的电荷陷阱、极性杂质都会使石墨烯中的载流子被捕获/释放，而载流子的捕获/释放取决于栅电压的极性. 因此，当栅电压扫描方向不同时会出现明显的滞回现象. 滞回现象的大小可以由狄拉克点电压的变化值(ΔV_{Dirac})与最小电流的变化值(ΔI_{min})进行描述. 图4(b)展示了栅电压扫描范围对滞回现象的影响，可以看到ΔV_{Dirac}与ΔI_{min}随着最大栅压的增大而增大，可能是随着电场强度的增大，可移动离子的迁移率逐渐增大，石墨烯中的自由电子被捕获/释放的几率也逐渐增大，进而对滞回现象的影响逐渐增大.

2.3 温度对石墨烯场效应晶体管电学特性的影响

为了研究温度对石墨烯场效应晶体管的影响，在25~125℃范围内，对器件的电学特性进行了测试，如图5(a)所示. 随着温度的升高，狄拉克点电压逐渐减小，如图5(b)所示. 随着温度的逐渐升高，吸附在石墨烯表面的水分子、氧分子逐渐脱附，对石墨烯的p型掺杂作用逐渐减弱，导致狄拉克点逐渐向零点方向移动. 对不同温度下器件的载流子迁移率与电流开关比进行了计算，如图5(c)所示，两者随着温度的升高先增大后减小，在75℃时两参数值最佳，分别达到5452 cm^2/(V s)与8.01. 这可能是随着温度的升高，石墨烯内热激发产生的载流子逐渐增多，且较高的温度能有效去除石墨烯界面的杂质，使器件的载流子迁移率与电流开关比逐渐增大. 但随着温度的持续上升，热激发产生的载流子浓度大大增加，非均匀分布的电子空穴区域逐渐消失，且带电杂质散射、Ta_2O_5表面极性声子散射及石墨烯本征声子散射均逐渐增强，导致载流子迁移率与电流开关比迅速降低. 温度对滞回现象的影响如图5(d)所示，ΔV_{Dirac}与ΔI_{min}随着温度的升高而逐渐增大. 较高的温度下，Ta_2O_5与石墨烯界面的电化学反应更易达到反应所需的激活能，且Ta_2O_5中可移动离子的迁移率随着温度的升高而逐渐增大. 因此，温度越高对滞回现象的影响越大.

3 结论

本文采用光刻工艺制备ITO栅电极，电子束蒸镀Ta_2O_5栅绝缘层，PECVD方法生长石墨烯，磁控溅射制备源漏Ti/Au双层电极等一系列工艺制备了石墨烯场效应晶体管，并对其电学特性进行了测试与分析，结果表明实验所制备的石墨烯场效应晶体管具有良好的性能可靠性. 室温下，转移特性曲线中展示了其特有的双极性特征，相比于传统的SiO_2栅绝缘层，以

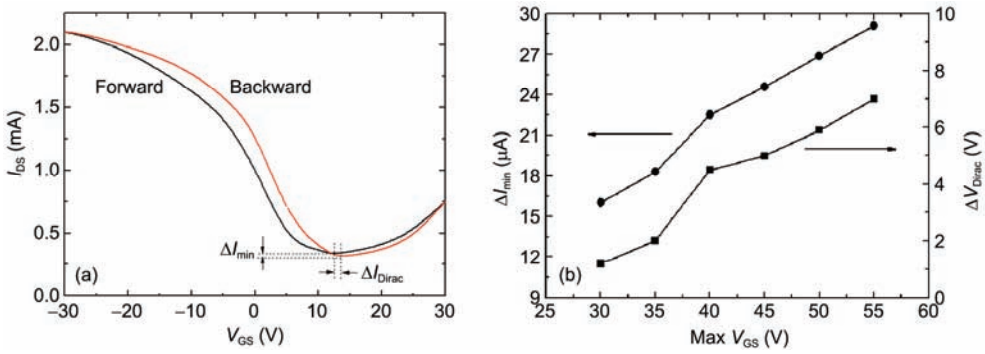

图 4 (网络版彩色) (a) 转移特性曲线中的滞回现象; (b) 栅压扫描范围对滞回现象的影响

Figure 4 (Color online) (a) The hysteresis phenomenon in the transfer characteristic curve; (b) the influence of the scanning range of gate voltage on the hysteresis phenomenon

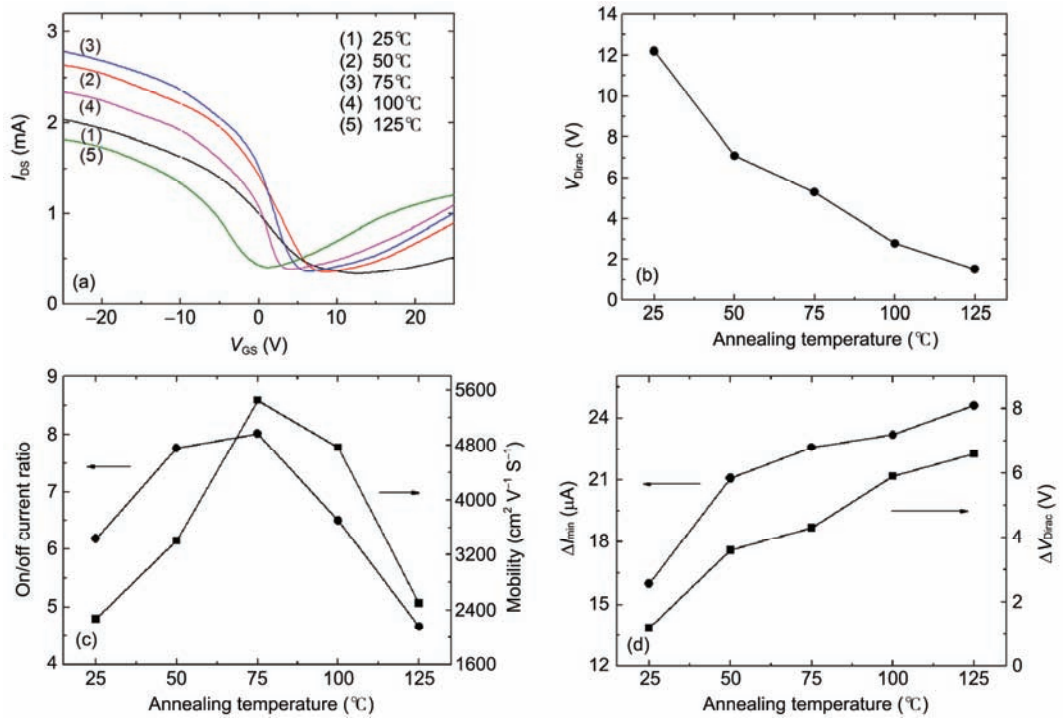

图 5 (网络版彩色)温度对石墨烯场效应晶体管电学特性的影响. (a) 转移特性曲线; (b) 狄拉克点电压; (c) 迁移率与电流开关比; (d) 滞回现象

Figure 5 (Color online) The effect of temperature on the electrical properties of graphene field effect transistors is displayed as follows. (a) Transfer characteristic curve, (b) Dirac point voltage, (c) mobility and current switching ratio, (d) hysteresis phenomenon

Ta_2O_5作为栅绝缘层的石墨烯场效应晶体管的电学特性得到了较好的改善, 其载流子迁移率由1214 cm^2/(V s)提高到2272 cm^2/(V s). 当栅压扫描方向不同时, 石墨烯场效应晶体管展示了明显的滞回现象, 且随着栅压扫描范围的增大而越发显著. 通过对不同温度下器件的电学特性进行测试与分析, 结果发现随着温度的升高, 狄拉克点电压逐渐向零点方向偏移, 滞回现象愈加明显, 空穴迁移率与电流开关比先增大后减小, 在75℃时两参数值最佳, 分别达到5452 cm^2/(V s)与8.01. 本文的结论为进一步改进石墨烯场效应晶体管的输运特性, 及深入研究高介电常数的栅绝缘层材料提供了一定的工艺基础与理论依据.

参考文献

1 Geim A K, Novoselov K S. The rise of graphene. Nat Mater, 2007, 6: 183–191

2 Avouris P, Dimitrakopoulos C. Graphene: Synthesis and applications. Mater Today, 2012, 15: 86–97

3 Bolotin K I, Sikes K J, Jiang Z, et al. Ultrahigh electron mobility in suspended graphene. Solid State Commun, 2008, 146: 351–355

4 Sharma B K, Ahn J H. Graphene based field effect transistors: efforts made towards flexible electronics. Solid-State Electron, 2013, 89: 177–188

5 Zhang X, Huisman E H, Gurram M, et al. Supramolecular chemistry on graphene field-effect transistors. Small, 2014, 10: 1735–1740

6 Britnell L, Gorbachev R V, Jalil R, et al. Field-effect tunneling transistor based on vertical graphene heterostructures. Science, 2012, 335: 947–950

7 Damm C, Nacken T J, Peukert W. Quantitative evaluation of delamination of graphite by wet media milling. Carbon, 2015, 81: 284–294

8 Oliveira M H, Schumann T, Gargallo-Caballero R, et al. Mono-and few-layer nanocrystalline graphene grown on Al_2O_3(0001) by molecular beam epitaxy. Carbon, 2013, 56: 339–350

9 Chen X, Zhang L, Chen S. Large area CVD growth of graphene. Synth Met, 2015, 210: 95–108

10 Chen B, Liu H, Li X, et al. Fabrication of a graphene field effect transistor array on microchannels for ethanol sensing. Appl Surf Sci, 2012, 258: 1971–1975

11 Schwierz F. Graphene transistors. Nat Nanotech, 2010, 5: 487–496
12 Wang Y, Huang B C, Zhang M, et al. Optimizing the fabrication process for high performance graphene field effect transistors. Microelectron Reliab, 2012, 52: 1602–1605
13 Shahil K M F, Balandin A A. Thermal properties of graphene and multilayer graphene: Applications in thermal interface materials. Solid State Commun, 2012, 152: 1331–1340
14 Higuchi T, Murayama T, Itoh E, et al. Electrical properties of phthalocyanine based field effect transistors prepared on various gate oxides. Thin Solid Films, 2006, 499: 374–379
15 Malard L M, Pimenta M A, Dresselhaus G, et al. Raman spectroscopy in grapheme. Phys Rep, 2009, 473: 51–87
16 Newton L, Slater T, Clark N, et al. Self assembled monolayers (SAMs) on metallic surfaces (gold and graphene) for electronic applications. J Mater Chem C, 2013, 1: 376–393
17 Liao Z M, Han B H, Zhou Y B, et al. Hysteresis reversion in graphene field-effect transistors. J Chem Phys, 2010, 133: 044703
18 Zhao Y, Park C S, Fei W D, et al. Semiconducting behavior of bilayer graphene synthesized by plasma-enhanced chemical vapor deposition and its application in field effect transistors. Mater Lett, 2014, 136: 103–106

Summary for “石墨烯场效应晶体管的输运特性”

Transport properties of graphene field effect transistors

SHI XiaoDong, WANG Wei, JIN HuiJiao, YIN Qiang & REN LiPeng

Tianjin Key Laboratory of Electronic Materials and Device, School of Electronics and Information Engineering, Hebei University of Technology, Tianjin 300401, China
* Corresponding author, E-mail: wangwei@hebut.edu.cn

Nowadays, integrated circuit design and manufacturing level is one of important symbols to evaluate the industrial development level of a country. Silicon-based metal oxide semiconductor field effect transistor has an important application in large-scale integrated circuit, and its special size has reached 14 nm. However, further miniaturization in reaching the silicon physical limits of 10 nm channel length. Graphene is one of the most promising materials to replace silicon. Due to its outstanding performance such as ultrafast carrier mobility, excellent mechanical strength and high transparency invisible light region, graphene is regarded as one of the vital next generation electronic materials. In recent years, the rapid development of the preparation technology of large area and high quality graphene has further promoted the research of new electronic devices based on graphene, which has attracted wide attention of researchers in the field of integrated circuit. Graphene field effect transistor has fast response rate and high cut-off frequency, whose feature size can continue to narrow. Therefore, the study of graphene field effect transistors has very important significance for the continuation of Moore’s law. Currently, SiO_2 is generally used to the gate insulating layer of graphene field effect transistors. The dielectric constant value of SiO_2 is lower, which leads to higher power consumption of the device. When the thickness of the SiO_2 gate insulating layer is reduced to a certain degree, the device is easy to breakdown. However, when the semiconductor materials with high dielectric constant (Ta_2O_5, TiO_2, Al_2O_3, etc.) as the gate insulating layer, the device can obtain higher mobility in the operating voltage as low as possible. This is an effective way to solve the high power consumption of the device. Although graphene field effect transistors have made some progress in the preparation and performance, the existing field effect transistors based on graphene have no obvious advantage in carrier mobility and current on/off ratio. Accordingly, the research of graphene field effect transistor will be the main direction of the field of integrated circuit in the future. In this paper, the graphene field effect transistors use ITO as the gate electrode, Ta_2O_5 as the gate insulating layer, graphene as the active layer, Ti/Au double-layer metal as the source/drain electrodes. The results of electrical properties measurements and analyses show that the graphene strip is in good ohm contact with source/drain electrodes. At room temperature, graphene field effect transistors exhibit an unique bipolar characteristic. The mobility for hole carrier is about 2272 $cm^2/(V\ s)$ and the current on/off ratio is about 6.2. The hysteresis phenomenon in the transfer characteristic curve is observed, which becomes more obvious with the increase of gate voltage. Meanwhile, the effect of the temperature on the characteristic of the graphene field effect transistor is studied. With the increase of temperature, the Dirac point voltage gradually shifts to zero point, and the hysteresis phenomenon becomes more and more obvious. The mobility for hole carrier and the current on/off ratio achieve optimum when the temperature is 75°C. The content and conclusions of above may provide a reference for further research of graphene field effect transistors.

graphene field effect transistors, mobility, current on/off ratio, hysteresis phenomenon, temperature

doi: 10.1360/N972016-00740