

基于BCD工艺的LIN总线收发器设计*

杨雨辰 王志亮** 孙力 谭庶欣

(南通大学信息科学技术学院, 江苏, 南通, 226019)

2023-01-09收稿, 2023-06-20收改稿

摘要: 针对汽车内部复杂的控制节点与严苛的通讯环境, 设计了一款抑制电磁干扰的局域互联网络(Local interconnect network, LIN)总线收发器芯片。基于90 nm BCD高压工艺, 采用双向静电放电保护、分段电流驱动、共源级隔离驱动以及总线反馈技术提高系统可靠性。测试结果表明芯片性能符合LIN总线物理层协议规范要求, 实现了高低电压域的转换; 同时具有良好的抗干扰能力, 信号占空比最大变化仅为2.8%, 电磁辐射比标准限值低28 dB μ V, 达到车用LIN总线通讯相关标准要求。

关键词: LIN总线; 收发器; 斜率控制; BCD工艺; 电磁干扰; ESD保护

中图分类号: TN433 **文献标识码:** A **文章编号:** 1000-3819(2024)01-0050-09

LIN Bus Transceiver Design Based on BCD

YANG Yuchen WANG Zhiliang SUN Li TAN Shuxin

(School of Information Science and Technology, Nantong University, Nantong, Jiangsu, 226019, CHN)

Abstract: Aiming at the complex control nodes and harsh communication environment, a local interconnect network bus transceiver chip is designed to suppress electromagnetic interference. Based on 90 nm BCD high voltage technology, bidirectional electronic static discharge protection, step current drive, common source level isolation drive and bus feedback technology are adopted to improve system reliability. The test results show that the performance of the chip conforms to the physical layer protocol specification of LIN bus and realizes the conversion of high-low voltage domain. At the same time, it has great anti-interference ability, and the maximum change in signal duty cycle is only 2.8%. The electromagnetic radiation is 28 dB μ V lower than the standard limit value, which meets the requirements of automobile LIN bus communication standards.

Key words: LIN bus; transceiver; slope control; BCD; EMI; ESD protection

引言

汽车电子正向智能化、网联化、共享化方向发展, 传统点对点进行信息交互必然会形成庞大复杂的布线网络, 其传输速率慢, 线束成本高, 同时无法适应汽车轻量化智能化的需求^[1]。局域互联网络(Local interconnect network, LIN)总线是基于通用

异步收发器、串行通信接口的低成本串行通信协议, 由于其良好的性能和大幅降低汽车控制线束从而降低成本的优点, 广泛应用于汽车及工业控制领域^[2]。

车用LIN总线芯片属于车规级集成电路芯片, 市场长期被国外半导体巨头垄断, 急需研制具有自主知识产权的LIN总线收发器芯片, 满足国内庞大的汽车制造市场需求^[3]。由于车身环境的复杂,

* 基金项目: 江苏省科技成果转化专项资金资助项目(BA2022001); 江苏省高等学校自然科学研究重大项目(22KJA510005)

** 联系作者: 联系作者: E-mail: wangzl@ntu.edu.cn

LIN总线对可靠性提出了严苛要求,尤其是在电磁干扰方面,既不能因为外界因素干扰导致错误,也不能向外界辐射高频能量,于是在设计过程中考虑抗干扰能力和控制信号高频分量是设计电路的要点。在近年来的研究中,文献[4]利用开关功率管漏端与栅端反馈电容控制总线斜率,但该结构将会使30 MHz以上的抗扰度要求提高,同时需要高压运算放大器,功耗和成本增加。文献[5]将反馈电容与功率管隔离,将总线的扰动反馈至三极管电流镜一侧,增强了在高频下的抗干扰能力,然而大尺寸的开关功率管的寄生电容将使其高频性能下降。文献[6]同样引入间接连接的反馈电容,提出电流求和网络的结构,降低转换速率,然而该结构需要额外的模拟电路进行控制。文献[7]利用反馈对总线上负载进行跟踪,从而改变反馈电容的大小,但反馈支路不能关断,将产生额外的功耗,且反馈电容需要预留足够的数量,浪费大量芯片面积。文献[8]针对衬底耦合的问题,提出采样干扰信号并产生与干扰源幅度相同相位相反的反馈波形进行抵消,然而该结构需要额外的两路微分控制电路,整体芯片面积增大。

本文基于90 nm BCD(Bipolar-CMOS-DMOS)高压工艺,设计了一款抑制电磁干扰的LIN总线收发器芯片。该芯片采用双向静电放电(Electronic static discharge, ESD)保护,以满足LIN总线电平正负两个方向的耐压;提出分段电流驱动,控制总线信号斜率小于 $3\text{ V}/\mu\text{s}$,延迟时间小于 $6\ \mu\text{s}$;同时加入抗电磁干扰(Electro-magnetic interference, EMI)的反馈环路以及隔离驱动电路,使电路施加干扰源时最大占空比变化仅为2.8%,满足LIN总线物理层设计要求。

1 LIN总线收发器的结构

LIN总线收发器作为上位主机和物理总线的通讯接口,实现总线上信号电平的转换。设计LIN总线收发器系统拓扑结构如图1所示,主要包括LIN总线传输至RXD模块的接收电路、TXD模块传输至LIN总线的发送电路、模式控制、低压差线性稳压器(Low dropout regulator, LDO)、带隙基准(Bandgap)等模块。其中,接收电路包括高压迟滞比较器、接收器滤波;发送电路包括发送显性超时模块、驱动模块、分段斜率控制以及下拉高压功率管。

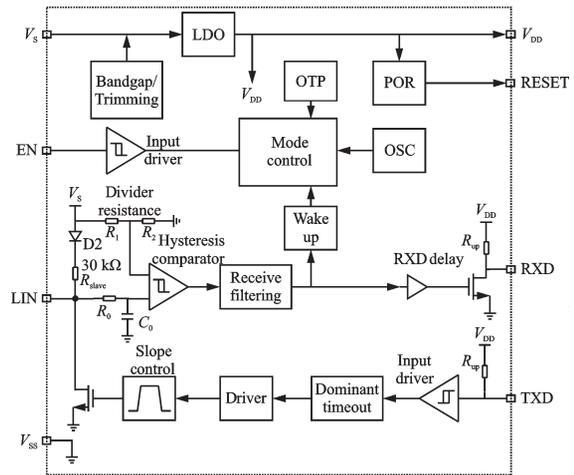


图1 LIN总线收发器系统结构框图

Fig.1 Block diagram of LIN bus transceiver system structure

2 基于BCD工艺的LIN总线收发器的设计

车用LIN总线芯片的电气特性测试要求在芯片前期开发阶段对环境温度的变化以及电磁干扰应呈现高度的抗扰度,电源电压以及温度变化时传输信号的准确裕度应保证波形的完整性,LIN总线信号形状控制是电磁兼容性对LIN总线的基本要求。同时,总线信号对干扰源的抑制能力直接影响接收信号占空比的变化。特殊的静电防护以及版图的绘制也是成为车规级芯片的一项挑战,而BCD工艺具有的优秀隔离性能,使电路功能及参数满足环境的使用要求。使用耐高压器件设计相应的电路,在高压、高温环境下保证高可靠性要求^[9]。

2.1 接收模块的设计

LIN总线收发器接收模块采用高压输入迟滞比较器进行电平的转换^[10],电路结构如图2所示。其中P1、P2输入对管以及提供尾电流源的P5-P8均使用60 V高压P型MOS,保证接收模块耐压超过 V_s (最大极限值40 V,正常工作为7~18 V)。 V_{DD} 为 V_s 在芯片内部经过低压差线性稳压器(Low-dropout regulator, LDO)产生的5 V电压,给电路中低压器件及数字单元供电。在P4与N5的漏端输出时,低电平为0 V(GND),高电平由12 V转换为5 V(V_{DD}),再经过一级反相器以及滤波器得到与LIN总线同相的电平信号。迟滞比较器负端输入信号 V_{ref} 通过电源电压 V_s 到GND的串联电阻 R_1 、 R_2 和 R_3 分压得到。

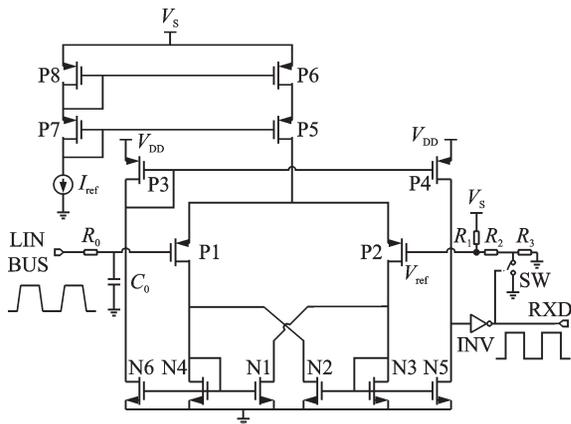


图2 接收电路中迟滞比较器电路

Fig.2 Hysteresis comparator circuit in receiver circuit

当LIN总线信号为隐性电平(12 V)时,P1截止,P2导通,使得N3与N5导通,此时N5漏端输出低电平。经过反相器后输出高电平从而将开关SW(N型MOS管)开启。此时:

$$V_{ref_L} = V_s \times \frac{R_2}{R_1 + R_2} \quad (1)$$

当LIN总线电平开始下降,直到电压值低于 V_{ref_L} 时,P1管导通,P2管关断,N4与N6组成电流镜,N6复制N4流过的电流,P3与P4组成电流镜,P4复制P3流过的电流,从而将P4漏端输出拉高,开关SW关断,此时:

$$V_{ref_H} = V_s \times \frac{R_2 + R_3}{R_1 + R_2 + R_3} \quad (2)$$

当LIN总线电平由低电平开始升高,直到电压值大于 V_{ref_H} 时,输出发生翻转。通过开关SW的闭合与关断,产生 V_{ref_L} 和 V_{ref_H} 两个参考值,从而对信号电平翻转产生迟滞。

设置 R_1 、 R_2 、 R_3 的阻值,使得 $V_{ref_L}=0.4V_s$ 、 $V_{ref_H}=0.6V_s$ 。当LIN总线信号大于 $0.6V_s$ 时为隐性电平(12 V),RXD输出为高;低于 $0.4V_s$ 为显性电平(0 V),RXD输出为低。迟滞电压为门限的宽度,即 $0.2V_s$ 。迟滞电压门限设置较宽范围,可以防止电源电压波动和LIN总线电平上的干扰产生错误翻转,提升EMI抗扰度,增强信号传输可靠性。

标准LIN总线电平变化范围为0~12 V。通过迟滞比较器,将LIN总线12 V的电压域转换为5 V的电压域,得到输出结果传输至后续微控制单元(Micro controller unit, MCU)中,根据LIN总线协议规则进行信息的解析。

2.2 收发器发送模块的设计

汽车内的通讯和各种电子设备处在非常复杂的电磁环境中。在保证有足够传输速率的前提下,设计发送器时尽量减小输出信号的压摆率,即控制发送信号波形转换的斜率,可以有效提高系统的电磁兼容性。

图3所示为LIN总线收发器中发送器的电路示意图,采用分段电流驱动、共源级隔离输出和总线反馈技术实现斜率控制,提高抗EMI能力。

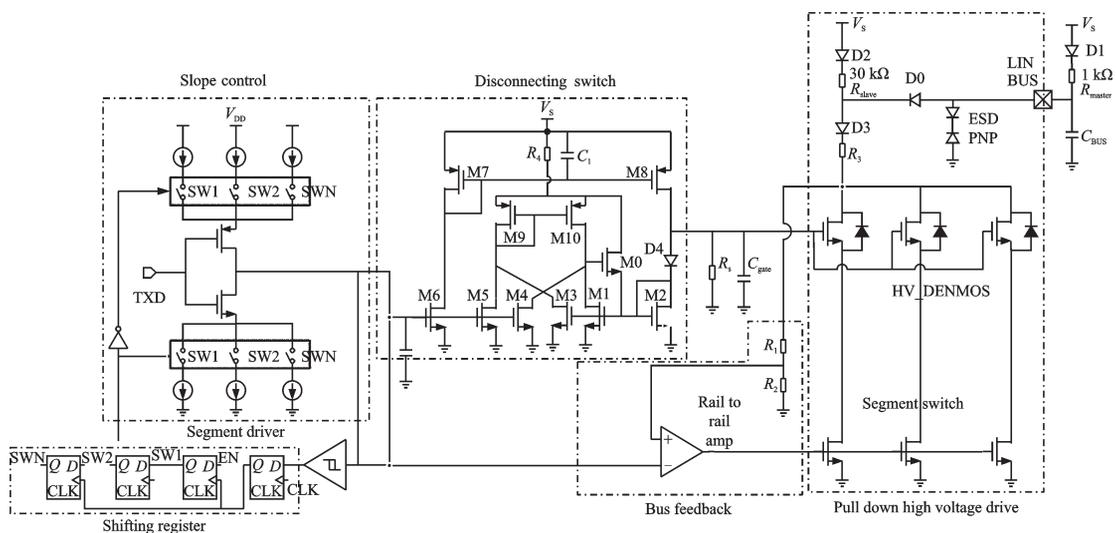


图3 发送器结构

Fig.3 Transmitter structure

发送器由多个漏级开路功率管并联驱动,共源共栅结构可以隔离高频EMI,从而保护到地的低压

开关驱动管。二极管与电阻Rslave连接在 V_s 与LIN总线之间,形成LIN总线从机节点(Slave node)。

在发送器工作时, TXD端输入数字脉冲信号, 由施密特触发器接收得到方波, 再经由N个D触发器组成的移位寄存器输出有序的脉冲, 逐步开启N个电流源的开关, 实现电流源分段驱动。开启的电流源逐渐增加, 驱动能力逐步增大, 从而使电平转换速率减小, 得到理想的梯形波。时钟CLK接收来自数字控制部分的时钟脉冲, 可以对斜率控制的移位寄存器脉冲进行调整。

斜率控制与高压功率开关管之间利用共源级隔离电路(M0-M10)隔离来自LIN总线的干扰。其中M0-M5组成局部负反馈, 使功率管的栅极保持固定电平。同时为了保持功率管的栅源寄生电容 C_{gate} 有连续放电通路, 在其栅极与地之间添加电阻 R_s 。

输出级低压开关驱动管(Segment switch)的输入由轨对轨运算放大器提供, 其同相端通过电阻分

压接入LIN总线形成总线反馈结构。LIN总线局域网络在搭建时允许LIN总线上搭载1-15个总线节点^[11], 搭载的节点不同, LIN总线的负载也随之变化。该结构在工作时将LIN总线波形与由斜率控制产生的梯形波进行比较, 实现对LIN总线负载的跟踪。因此外部LIN总线负载不会影响LIN总线信号波形的形状。

2.3 版图设计

LIN总线收发器除了正常工作条件0~12 V, 物理层协议要求LIN总线极限值为-27~40 V。这就使得在负压工作状态时, 端口处ESD保护结构应保持断开, 即LIN总线在使用中对于负压同样要求ESD保护^[12]。为了增强LIN总线收发器端口ESD可靠性, 采用高压双向PNP型三极管。如图4为双向ESD保护PNP的示意图以及各层次说明。

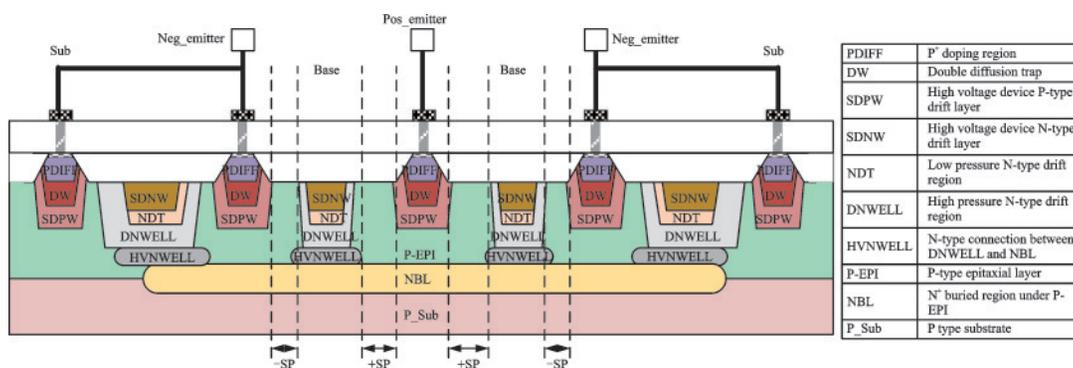


图4 双向PNP ESD保护三极管截面图

Fig.4 Cross-section view of bi-directional PNP ESD protection triode

通过SDNW、NDT、DNWELL和HVNWELL隔离区域, 内部区域与P-EPI电隔离, 形成隔离环, 使得从P-EPI传播到敏感节点的噪声减弱。-SP为负发射极(Neg_emitter)与基极(Base)之间的间隔, 形成负方向的寄生二极管。+SP为正发射极(Pos_emitter)与基极之间的间隔, 形成正方向的寄生二极管。如图3中LIN端口处接入的ESD PNP保护结构所示, Pos_emitter端连接LIN总线端口, Neg_emitter连接到地。该器件结构通过正负间隔形成两组负极相对连接的寄生二极管结构, 可同时防止LIN总线正向和负向大电压的击穿。-SP与+SP区域通过与P_sub区域相连接地, 分别确定负向击穿电压与正向击穿电压值的大小^[13]。

整体电路采用60 V耐压90 nm BCD工艺设计, 版图如图5所示。利用BCD工艺独特的抗干扰能力, 降低噪声对LIN总线收发器的干扰, 在版图设计时, 通过优先选用有源区与衬底隔离的器件、

增加隔离环、接入去耦电容、地线分离等方式来降低噪声的影响。实际版图模拟电路的尺寸为 $1\ 140\ \mu\text{m} \times 1\ 710\ \mu\text{m}$ 。

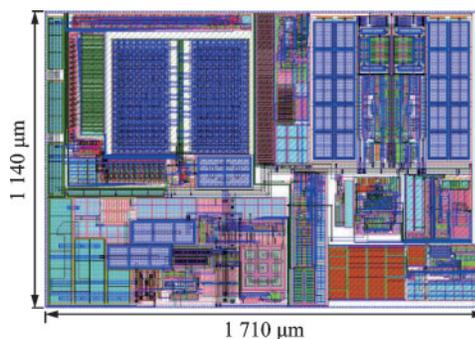


图5 LIN总线收发器版图概貌

Fig.5 The overview of LIN bus transceiver layout

3 电路验证

在Cadence IC617中使用60 V 90 nm BCD工艺

对LIN总线收发器系统进行电路搭建与版图绘制。提取版图寄生参数后对电路进行后仿,以验证在该工艺下寄生参数对电路性能的影响。

3.1 功能及参数验证

在不同电源电压下通过电阻分压得到不同的接收模块迟滞电压门限,如图6所示。在电源电压 $V_s=18\text{ V}$ 、环境温度 25°C 时, $V_{\text{ref,H}}=10.91\text{ V}$ 、 $V_{\text{ref,L}}=7.12\text{ V}$,迟滞门限为 3.79 V 。随着电源电压降低,相应的迟滞门限降低,确保信号波形在不同电源下能够正确传输。

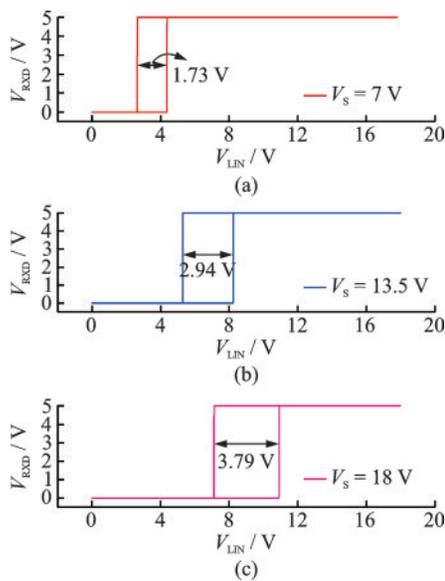


图6 不同电源电压下迟滞比较器迟滞门限:(a) $V_s=7\text{ V}$;
(b) $V_s=13.5\text{ V}$;(c) $V_s=18\text{ V}$

Fig.6 Hysteresis threshold of hysteresis comparator at different supply voltages: (a) $V_s=7\text{ V}$; (b) $V_s=13.5\text{ V}$;
(c) $V_s=18\text{ V}$

图2接收电路中迟滞比较器通过电流镜复制从电流基准源(I_{ref})产生的低温漂电流,从而确保环境温度变化时提供稳定的电流。图7为电源电压 18 V 时,不同工艺角下接收器迟滞门限随温度的变化。TT (Typical-typical)工艺角时,迟滞门限随温度最大变化 8.74 mV ,FF (Fast-fast)工艺角最大变化为 8.79 mV ,SS(Slow-slow)工艺角最大变化为 8.94 mV 。

在TXD端输入 10 kHz 、占空比 50% 的方波,从LIN总线与RXD接收端可以获取到相应的信号波形。如图8所示,TXD端 $0\sim 5\text{ V}$ 电平驱动至LIN总线得到 $0\sim 12\text{ V}$ 的梯形波,其中 t_{dom} 为隐性电平持续时间, t_{rec} 为显性电平持续时间,一般工作状态时LIN总线保持隐性电平,当信号传输时以显性电平作主

导, t_{rec} 持续时间决定信号波形占空比的大小。由TXD发送端的斜率控制,使LIN总线电平转换速率得到控制:LIN总线梯形波斜率为 $1.62\text{ V}/\mu\text{s}$,占空比(Duty cycle)为 50% ,发送延迟 $t_{\text{dr,TXD}}$ 为 $4.72\text{ }\mu\text{s}$ 。同时,LIN总线上的信号可以被RXD接收器接收,转换为 5 V 电压域的数字方波。接收延迟 $t_{\text{dr,RXD}}$ 为 $2.73\text{ }\mu\text{s}$,信号占空比保持不变。由此实现LIN总线收发器的发送与接收功能,完成信号的传输。

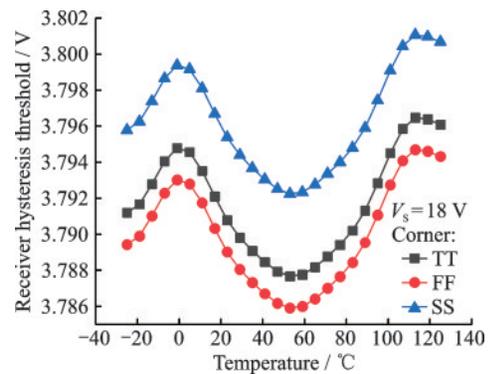


图7 不同工艺角下接收器迟滞门限随温度的变化

Fig.7 The change of receiver hysteresis threshold with temperature at different process corners

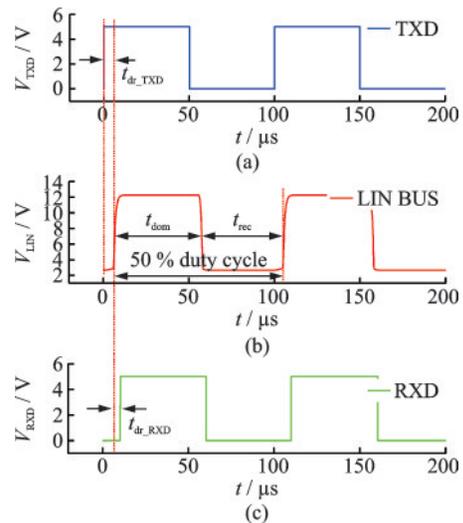


图8 LIN总线收发器接收与发送($V_s=12\text{ V}$):(a)TXD发送波形;(b)LIN接收波形

Fig.8 Receiving and transmission of LIN bus transceiver ($V_s=12\text{ V}$): (a) TXD send waveform; (b) LIN received waveform; (c) RXD output waveform

表1记录上述仿真条件下LIN总线发送与接收过程的各项性能参数,包括信号上升斜率和下降斜率、发送与接收延迟、传输对称性以及静态电流大小。结果表明LIN总线各项性能符合物理层协议要求,能够完成信号收发工作。

表1 不同电源电压、工艺角性能仿真结果(负载:1 kΩ/220 pF;工艺角:TT、SS、FF)

Tab.1 Simulated results of different supply voltages and process angles (load: 1 kΩ/220 pF; corners: TT, SS, FF)

	Rise slope /(V·μs ⁻¹)	Fall slope /(V·μs ⁻¹)	t _{dr,TXD} /μs	t _{dr,RXD} /μs	Transmission delay symmetry/μs	V _s /V			Meet the requirements
						7.0	13.5	18.0	
						Static current /μA			
min	1.37	1.39	4.16	2.54	-0.06	19.1	27.4	38.2	✓
max	1.68	1.7	4.83	2.74	-0.03	22.9	32.7	43.6	✓
LIN 2.2 A	7 V: 0.5-3.0 V/μs		<6		-2-2	-			-
Requirements	13.5 V, 18 V: 1.0-3.0 V/μs								

3.2 抗干扰能力验证

目前评估EMI性能最常用的仿真实验方法是IEC62132-4:直接功率注入(Direct power injection, DPI)方法^[14]。如图9所示将该方法在Cadence软件中搭建仿真环境,在仿真中采用耦合电容为C_j=4.7 nF、C_i=220 pF、R_s=50 Ω、V_s采用典型值18 V,激励源采用正弦交流信号。从TXD端输入10 kHz、占空比50%的矩形方波。一般车规级芯片抗EMI能力要求至少满足注入功率1 W,而LIN收发器用于通讯抗EMI性能要求满足注入功率为1~5 W,即注入交流干扰信号峰峰值为20~45 V,频率为0.15 kHz~1 GHz。

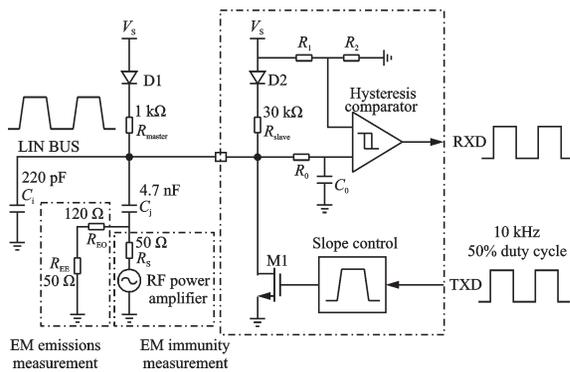


图9 对LIN总线电磁干扰的仿真

Fig.9 Simulation of electromagnetic interference on LIN bus

图10与图11分别表示DPI测试方法下不同注入功率时的LIN总线和RXD接收端波形。仿真结果表明,LIN总线信号电平叠加交流干扰的情况下,LIN总线信号波形仍然保持50%占空比,梯形波的斜率与正常工作下斜率保持一致,表明TXD发送端对注入的EMI具有抑制能力;同时接收器RXD利用低通滤波器过滤高频干扰信号得到清晰可辨的矩形方波,占空比分别为49.6%和48.8%,接收延迟分别为3.21 μs和3.78 μs,满足LIN总线车规级可靠性要求。

图12表示在不同工艺角条件下,注入不同频率的电磁干扰信号(注入功率5 W)时,接收器RXD信号占空比的变化。结果表明,接收器RXD信号在干

扰下仍能保持50%左右的占空比,TT、SS、FF工艺角下占空比最大变化分别为1.24%、2.06%、1.90%。

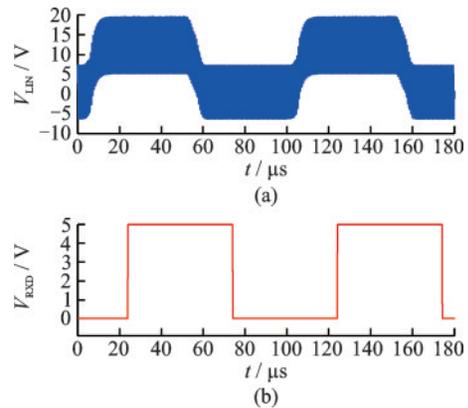


图10 射频功率注入仿真(注入功率1 W): (a) LIN总线波形; (b)接收端RXD波形

Fig.10 RF power injection simulation (Injection power 1 W): (a) LIN bus waveform; (b) RXD receiver waveform

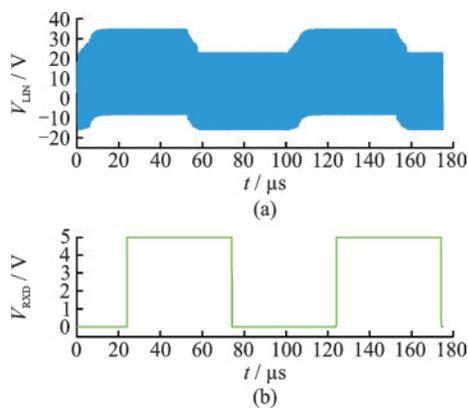


图11 射频功率注入仿真(注入功率5 W): (a) LIN总线波形; (b)接收端RXD波形

Fig.11 RF power injection simulation (Injection power 5 W): (a) LIN bus waveform; (b) RXD receiver waveform

除了表征单个节点LIN总线抗EMI能力,还需要对各个总线节点电磁辐射排放量进行测量。如图9所示的仿真电路中,由C_j、R_{EO}和R_{EF}组成电磁辐射(Electromagnetic emission, EME)通路连接至LIN总线。EMI接收机在R_s上对确定信号波形带

宽范围进行峰值检测,接收机带宽为 9 kHz (检测范围: $150\text{ kHz} \leq f \leq 30\text{ MHz}$)和 120 kHz (检测范围: $30\text{ MHz} < f \leq 1\text{ GHz}$)。

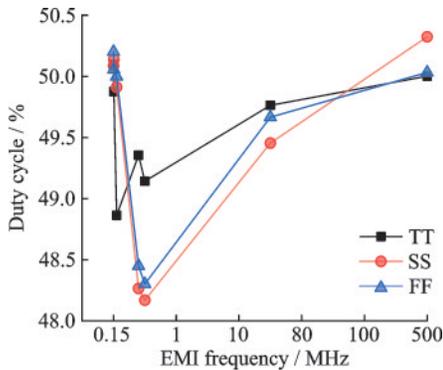


图 12 不同工艺角注入电磁干扰的 RDX 信号占空比变化
Fig.12 RDX signal duty cycle simulations during EMI interference at different process angles

图 13 为 EME 仿真结果及汽车 LIN 总线规范要求的 EME 限制曲线。最高电磁辐射约为 $54\text{ dB}\mu\text{V}$, 出现在 150 kHz 频率附近,比限制值低 $16\text{ dB}\mu\text{V}$, 而后随着频率的上升,电磁辐射开始下降,当频率高于 20 MHz 时,总线节点没有向外辐射的能量,测量到的辐射等于 EMI 接收机的噪声。30 MHz 的跳变是来源于 EMI 接收机的带宽从 9 kHz 更改为 120 kHz。

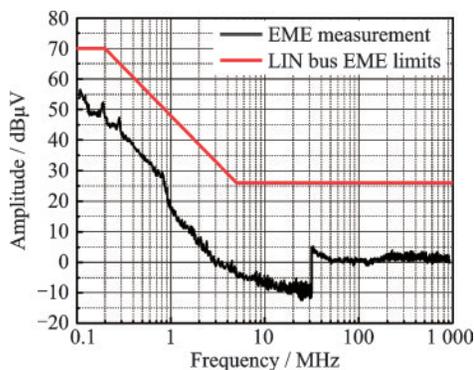


图 13 EME 仿真结果
Fig.13 EME simulation results

4 测试结果

芯片经过流片封装后,搭建测试电路板,根据标准 LIN 总线帧结构,通过上位机持续间断发送测试信号,将主机发送的 TXD 信号、LIN 总线信号和从机接收的 RDX 信号接入示波器观察。如图 14 所示,常态下 LIN 总线处于隐性电平,主机 TXD 发送一段帧数据至 LIN 总线产生显性电平,与从机节点 RDX 接收到的信号数据保持一致,信号电平发生转换,由此验证了 LIN 总线收发器的实际功能。

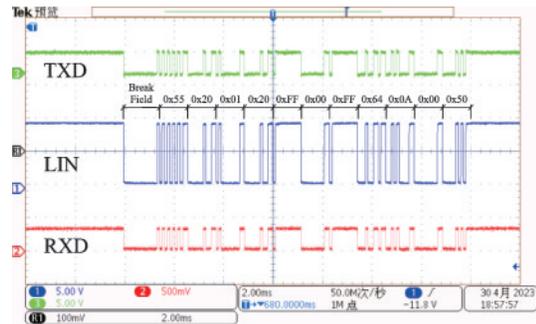


图 14 LIN 总线接收与发送信号测试
Fig.14 Receiving and transmitting signal test of LIN bus

将示波器放大后可以观察到 LIN 总线隐性和显性电平的变化。如图 15 为 LIN 总线从显性电平回到隐性电平时示波器观察到的上升过程,计算得到总线电平上升斜率为 $1.75\text{ V}/\mu\text{s}$ 。同时可以得到 TXD 信号发送至 LIN 总线延迟为 $5\mu\text{s}$,从机接收信号延迟为 $4.1\mu\text{s}$ 。

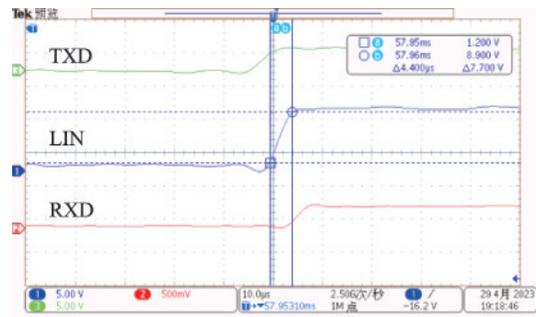


图 15 LIN 上升斜率测量
Fig.15 LIN rise slope measurement

同理,图 16 为 LIN 总线由隐性电平变化为显性电平的下降过程,计算得到下降斜率为 $2.13\text{ V}/\mu\text{s}$,从 TXD 发送信号至 LIN 总线延迟为 $1.56\mu\text{s}$,从机 RDX 接收延迟为 $2.32\mu\text{s}$ 。

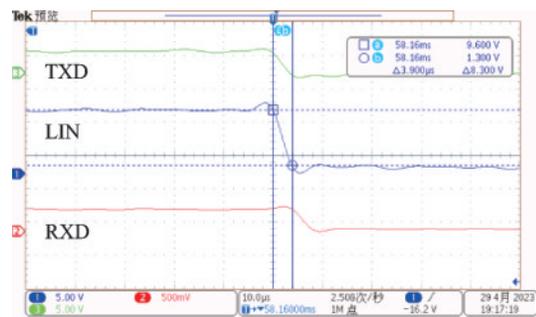


图 16 LIN 下降斜率测量
Fig.16 LIN fall slope measurement

从实际测试结果来看,下降斜率略大于上升斜率,电平下降延迟小于上升延迟,显性信号的响应速度较快。电平上升阶段与仿真阶段结果相近,下降阶段与仿真结果略有偏差,但仍在 LIN 总线物理层协议的合理设计范围之内。

图17和图18为实际测试中LIN总线信号波形叠加干扰的情况。观察到信号波形叠加高频干扰后幅度变宽但仍保持帧结构形状不变,矩形波的高低电平分界明显,且接收信号完整,通过逻辑分析仪连接电脑也可读出准确无误的数据。在射频注入功率1 W和5 W的测试条件下,占空比分别为48.7%和47.2%,接收延迟分别为5.2 μs 和5.7 μs 。

利用射频探针头插入图9中 R_{FE} 电阻正端进行EME排放量测量,在200 kHz频率点附近测得最高电磁辐射为89 $\text{dB}\mu\text{V}$,除去接收机噪声47 $\text{dB}\mu\text{V}$,EME实际排放量为42 $\text{dB}\mu\text{V}$,比LIN总线EME限制值低28 $\text{dB}\mu\text{V}$ 。而后随着频率的上升,电磁辐射开始衰减,当频率为2 MHz时,衰减至接收机噪声。

本文设计的LIN总线收发器与近年来已发表文献所提出的电路性能对比如表2所示。由于利用了先进工艺和创新设计的电路结构,相比其他结构的电路,EMI抑制能力更强。在DPI测试下LIN总线传输占空比最大偏差仅为2.8%,同时LIN总线各节点EME最大排放量比车用LIN总线EME限制值低28 $\text{dB}\mu\text{V}$ 。

表2 本文与其他参考文献的性能对比(负载1 k Ω , $C_j=220$ pF;注入功率5 W)

Tab.2 Performance comparison with other references (load 1 k Ω , $C_j=220$ pF; $P_{in}=5$ W)

Ref.	Technology	Feedback capacitance	Maximum duty cycle/%	EME power margin/ $\text{dB}\mu\text{V}$
[4]	0.35 μm CMOS	Yes	13.6	—
[5]	HV_BiCMOS	Yes	6.0	1.5
[6]	0.13 μm 60 V BCD	Yes	—	9.0
[7]	0.14 μm HV_SOI CMOS	Yes	4.0	12.0
[8]	0.18 μm BCD	No	—	14.5
This work	90 nm 60 V BCD	No	2.8	28.0

5 结 论

综合利用多种结构完成了一款基于BCD工艺的低EMI、高可靠LIN总线收发器。接收器与发送器可以完成信号电平的转换;发送器通过分段电流驱动结构控制信号转换斜率,优化电磁辐射;同时利用共源级隔离驱动和总线反馈结构保证发送器对总线EMI抑制能力。发送器高压迟滞比较器通过输入低通滤波抑制高频电磁干扰,使LIN总线通信可靠性得到保障。实际测试结果与仿真结果相吻合,满足LIN总线物理层协议规定的要求。

参 考 文 献

[1] 汪伟. 汽车总线技术的发展[J]. 时代汽车, 2020(15): 14-16.
 [2] 彭晓珊. 基于单片机的本地互连网络LIN总线帧头发

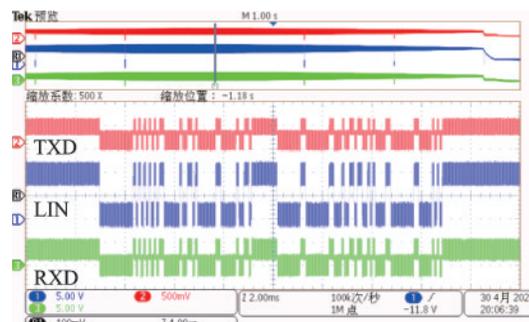


图17 射频功率注入测试(注入功率1 W)

Fig.17 RF power injection test (Injection power 1 W)

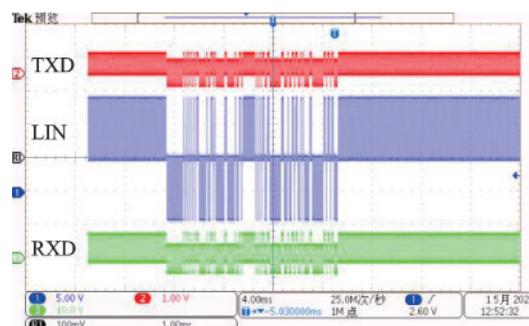


图18 射频功率注入测试(注入功率5 W)

Fig.18 RF power injection test (Injection power 5 W)

送单元设计[J]. 贵阳学院学报(自然科学版), 2020, 15(2): 63-67.

- [3] 武亚恒, 张弘, 胡凯, 等. 国产车规级芯片发展现状、问题及建议[J]. 时代汽车, 2022(6): 26-27, 52.
 [4] Redouté J M, Steyaert M. An EMI resisting LIN driver in 0.35 micron high-voltage CMOS [J]. IEEE Journal of Solid-state Circuits, 2007, 42(7): 1574-1582.
 [5] Schröter P, Hell M M, Frey M. EMC compliant LIN transceiver [C]. 2013 Proceedings of the ESSCIRC (ESSCIRC). Bucharest, Romania: IEEE, 2013: 363-366.
 [6] Janschitz J G. An EMI robust LIN driver with low electromagnetic emission [C]. 2015 10th International Workshop on the Electromagnetic Compatibility of Integrated Circuits (EMC Compo). Edinburgh, UK: IEEE, 2015: 83-86.
 [7] Deloge M, Oliver J T, Brekelmans H, et al. A time-continuous bus-feedback LIN transceiver in 0.14 μm high-voltage SOI CMOS [C]. 2017 11th International

- Workshop on the Electromagnetic Compatibility of Integrated Circuits (EMCCompo). St Petersburg, Russia: IEEE, 2017: 54-58.
- [8] Ray A, Magod R, Talele B, et al. An active EMI cancellation technique achieving a 25 dB reduction in conducted EMI of LIN drivers[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2022, 69(9): 3829-3840.
- [9] 秦怀斌, 王忆文. 一种应用于 LIN 收发器的过温保护电路[J]. 微电子学与计算机, 2013, 30(5): 76-78.
- [10] 冯世勤, 冯全源. 一种应用于 CAN 收发器的宽输入范围的迟滞比较器设计[J]. 电子技术应用, 2021, 47(7): 52-56.
- [11] Road vehicles-Local interconnect network (LIN): Part 4 Electrical physical layer (EPL) specification 12 V/24 V: ISO 17987-4: 2016 [S]. Geneva, Switzerland: International Organization for Standardization, 2016.
- [12] Abouda K, Besse P, Laine J P, et al. EMC & ESD solutions for a LIN transceiver: interaction study between EMC and ESD strategies [C]. 2019 12th International Workshop on the Electromagnetic Compatibility of Integrated Circuits (EMC Compo). Hangzhou: IEEE, 2019: 260-262.
- [13] Hsu C W, Li Y H, Ker M D. Optimization on bi-directional PNP ESD protection device for high-voltage FlexRay applications [J]. IEEE Transactions on Electron Devices, 2022, 69(10): 5713-5721.
- [14] Integrated circuits-Measurement of electromagnetic immunity 150 kHz to 1 GHz: Part 4 Direct RF power injection method: IEC 62132-4: 2006 [S]. Geneva, Switzerland: International Electrotechnical Commission, 2006.



杨雨辰(YANG Yuchen) 男,1997年生,江苏盐城人,南通大学在读硕士研究生,主要研究方向为模拟集成电路设计。

(上接第 49 页)

- [4] Lim S K. Physical design for 3D system on package[J]. IEEE Design & Test of Computers, 2005, 22(6): 532-539.
- [5] 肖国尧, 廖桂生, 柯华锋, 等. 一种侦干探多功能一体化微系统设计[J]. 系统工程与电子技术, 2023: 1-16.
- [6] Dai W W M. Historical perspective of system in package (SiP) [J]. IEEE Circuits and Systems Magazine, 2016, 16(2): 50-61.
- [7] 李振亚, 赵钰. SIP 封装技术现状与发展前景[J]. 电子与封装, 2009, 9(2): 5-10.
- [8] Sharma D D. Universal chiplet interconnect express (UCIe)®: building an open chiplet ecosystem [EB/OL]. [2023-06-25]. https://www.uciexpress.org/_files/ugd/0c1418_c5970a68ab214ffc97fab16d11581449.pdf.
- [9] Sharma D D, Pasdast G, Qian Z, et al. Universal Chiplet Interconnect Express (UCIe): an open industry standard for innovations with chiplets at package level [J]. IEEE Transactions on Components, Packaging and Manufacturing Technology, 2022, 12(9): 1423-1431.
- [10] Benkart P, Kaiser A, Munding A, et al. 3D chip stack technology using through-chip interconnects [J]. IEEE Design & Test of Computers, 2005, 22(2005): 512-518.
- [11] Rohilla G, Mathur D, Ghanekar U. Functional verification of MAC-PHY layer of PCI express Gen 5.0 with PIPE interface using UVM [C]. 2020 International Conference for Emerging Technology (INCET). Belgaum, India: IEEE, 2020, 2020: 1-5.
- [12] Hasan A, Robertson G, Mensah K, et al. Development of a small die-small form factor flip chip package for application in LAN products [C]. Proceedings Electronic Components and Technology (ECTE). Lake Buena Vista, FL, USA: IEEE, 2005: 307-313.
- [13] Kwon W, Kwon H, Park K. PCI Express Multi-lane de-skew logic design using embedded SERDES FPGA [C]. 7th International Conference on Solid-state and Integrated Circuits Technology. Beijing: IEEE, 2004: 2035-2038.
- [14] 陈乃塘. 细看 PCIe 接口 PIPE 规范 [J]. 电子测试, 2006(4): 52-56.
- [15] 金璐. 基于 ZYNQ 平台的 XDMA IP 核性能研究 [J]. 科技资讯, 2023, 21(4): 15-18.



张转转(ZHANG Zhuanzhuan) 女,1996年生,山西吕梁人,硕士研究生,研究方向为板上计算节点间高速通信总线的原理与设计。



缪旻(MIU Min) 男,1973年生,云南曲靖人,博士,教授,主要研究方向为三维异质微/纳米系统集成、先进 IC 封装、射频 MEMS/NEMS 器件和微传感器网络。