

我国在芯片研究领域的突破性进展

——直接数字频率合成(DDS)芯片^{*}

石 寅

(半导体研究所 北京 100083)

摘要 利用自主知识产权的 DAC IP 核设计和电路高速工作的设计技术,研发出硅(Si)基 CMOS 方式 2GHz 合成时钟频率的 ROM-Less 直接数字频率合成芯片。又从原理分析到芯片设计及流片验证完整地研发出融入过采样 Σ/Δ 技术的新型高分辨率直接数字频率合成芯片。上述工作受到国际同行的重视与好评。

关键词 直接数字频率合成、无需 ROM 结构方式,过采样, Σ/Δ 技术

频率是通信中信息的载体。传统的调幅、调频、调相等模拟调制方式,其性能与频率参数的性能密切相关;新兴的频移键控(FSK)、相移键控(PSK)、正交调幅(QAM)等数字调制方式,其性能亦离不开高性能的频率参数的参与;发展中的保密跳频通信、软件无线电等,更是对频率参数的快速稳定变化性能有着特殊的要求。频率参数在当今信息社会中起着十分重要的作用。频率的稳定性、频谱的纯净性、频率及其频率变化的高速性,以及制作上的方便性和电路工作中的低功耗性是其主要研究内容。

频率的产生采用频率合成技术。频率合成技术源于上世纪中叶,至今经历了三代发展。采用电容、电感的谐振特性直接合成是第一代,稳定性差,体积大是其主要弱点;采用压控振荡器,相位检测器和环路滤波器组成的锁相环结构的闭环合成方式是第二代,性能稳定,体积小是其优点,但频率改变时的稳定时间较长,不适合于频率快速变化的场合下使用;采用高性能的数字模拟转换器(DAC)加上相

位存储器、相位累加器等部件构成直接数字频率合成(DDS)的方法是上世纪90年代后出现的新一代实用的频率合成方式^[1,2],其特点是除了保持锁相环的优点外,频率改变时的稳定时间十分快,是高速跳频通信、软件无线电和高速任意波形产生的首选方式,解决低功耗集成后,将会大量应用于众多场合。

直接数字频率合成器中要合成的频率需要各种相位信息来描述,这些信息通常是保存在只读存储器(ROM)中,频率合成时通过高速的相位累加器来逐一读出这些信息,并不断送至DAC转换输出。因此要实现频率的高速合成,除了高速数字模拟转换器外尚需相位累加等高速数字逻辑部件。常规方法^[1,2]中,由于采用大量的ROM来存储相位信息,而ROM器件存在一定的静态功耗,因此,这种DDS芯片功耗较大。上世纪末,国际上提出了融入算法的非线性DAC,将相位信息融入了DAC中,实现了没有ROM的所谓ROM-Less的DDS方式,降低了电路功耗,是DDS中最前沿的技术^[3,4]。

半导体所神经网络与高速电路实验室,在

^{*} 收稿日期:2005年10月8日

分析了芯片制作中的系统误差后,提出了具有自主知识产权的免修正的高性能数字模拟转换器 IP 核芯片设计技术, 申请了两项发明专利。我们在研究高性能 DDS 中,在总体结构上采用了 DDS 中最前沿的 ROM-Less 方式,在具体电路实现上摒弃了采用常规单元库调用的设计方法,而是采用了能发挥晶体管速度潜能的电流逻辑(CML)结构,依据 0.35 μm 标准 CMOS 工艺平台进行自行电路设计与芯片设计。研发中解决了超高速的数字模拟转换器 DAC 的实现、高速累加器的结构、高速时钟的同步方法、高速时钟的驱动等系列技术难题,及其物理层面上的电路结构及芯片版图设计,最终实现了 2GHz 合成时钟频率的 DDS。这一速度指标已超出了国际上 Si 基 CMOS 方式目前已见到报道的最快的 1.2GHz 同类芯片,而功耗上 2GHz 的 DDS 芯片还不到国际上 1GHz 芯片功耗的 1/2(见表 1)。经完整的芯片版图设计,流片制作和测试分析,验证了设计思想和设计结果的正确性。基于该工作所撰写的学术论文被国际电路系统顶级的 IEEE ISCAS 2005 年学术年会作为分会报告录用,并受到好评。值得提出的是,这项成果的获得同时,表明我们已具备了 GHz 以上的高速数

字模拟转换器的设计能力;亦表明若采用更先进的制作工艺,这种直接数字频率合成及数字模拟转换器的设计方法速度会更快。

直接数字频率合成(DDS)方法的优点是合成频率精确,合成速度快。缺点是,合成的信号是采用不同的脉幅信号拼接而成,由于相位信息表不可能无限大,因此,合成出的信号必然存在截断噪声,影响合成信号的分辨率^[6]。

为了提高合成信号精度,我们在研发 DDS 中,利用实验室研发的数字模拟转换器集成电路(DAC IP)硬核设计技术,结合过采样 Σ/Δ 技术^[7,8],将截断噪声进行频谱搬移,研发新型高分辨率直接频率合成芯片。由于利用了实验室具有自主知识产权的并经过流片验证的高性能数字模拟转换器集成电路(DAC IP)硬核,加快了芯片的研发和测试数据的对比过程。经工艺流片制作及测试分析,无可挑剔地表明这种新型 DDS 完全与预想相一致。

文献^[9]曾讨论过过采样 Σ/Δ 技术融入 DDS 的想法。我们的工作从原理上详细分析并进行了实际芯片设计及流片验证、测试分析等一系列完整的研究,这在国际上尚属首次。新方案证明在相同数字模拟转换器的分辨率下,可以提高直接数字频率合成信号的精度;同时

表 1 上述工作与国际上同类工作的主要参数的比较

	本工作	AD9858*	TRW DDS ^[9]
制作工艺	0.35 μm CMOS	—	1.5 μm InP DHBT
晶体管的 f_T/f_{MAX} (GHz)	27/ 35	—	137/ 120
最小晶体管面积 ((m^2))	0.35 $\times$ 0.4	—	1.5 $\times$ 4
峰值 f_T 的电流密度($\text{mA}/(\text{m}^2)$)	1.8	—	1—1.2
峰值 f_T 时最小晶体管电流(mA)	0.28	—	7.2
频率控制字的位数	8	32	8
非线性 DAC 的位数	8	12	8
DDS F_{MAX} (GHz)	2	1	9.2
功耗(W)	0.82	2	15
能耗效率 (GHz(Bit/ W))	19.51	6	4.91
管芯面积 (mm^2)	2.1 $\times$ 1.9	—	8 $\times$ 5

* 该数据取自 The specification of AD9858. Analog company manual(<http://www.analog.com>)

它亦意味着在相同的直接数字频率合成精度下,采用 Σ/Δ 技术后,可以降低数字模拟转换器的分辨率。而数字模拟转换器在直接数字频率合成芯片中所占面积最大,这又意味着在相同参数指标下,新技术方案在系统集成中可以使芯片面积大大缩小,因此具有重要的实用价值。融入了过采样 Σ/Δ 技术的 DDS 芯片信号的动态范围提高了 14dB。

本工作所撰写的学术论文被今年芯片领域顶级的国际学术会议 IEEE VLSI 2005 作为分会报告接受,这是 IEEE VLSI 有史以来首次接受来自中国大陆的论文。报告后,与会者给予了高度重视,会后经评选,大会主席来函特邀将该研究论文作为国际电气电子工程师学会固体电路分会权威杂志 *IEEE JSSC* 专刊学术论文发表。

致谢 本项系列研究得到了中科院知识创新工程、国家“863”计划、国家自然科学基金的资助和支持。

主要参考文献

- 1 H T Nicholas III, H Samueli, B Kim. Frequency ControlSymp.,1988, 357-363.
- 2 B Goldberg. Digital techniques in frequency synthesis. McGraw Hill, 1996, New York.
- 3 S Morteza pour, E K F Lee. IEEE J. Solid-state Circuits, 1999, 1 350-1 359 .
- 4 A Gutierrez-Aitken, J Matsui, E N Kaneshiro *et al.* IEEE Journal of Solid State Circuits, 2002, 1 115-1 121.
- 5 A M Sodagar, G R Lahiji. IEEE Trans. Circuits Syst. II, 2000, 47:1 452-1 457.
- 6 P O Leary, F Maloberti. On Communications, 1991, 39:1 046-1 048.
- 7 T Jackson, G Eapen, F Dai. Feed Forward Sigma Delta Interpolator For Use in a Fractional-N Synthesizer. US Patent Application Publication, No. 0067773 A1,,2002.
- 8 W Rhee *et al.* IEEE J. Solid-State Circuits, 2000, 35: 1 453-1 460.
- 9 Y C Song, B Kim. IEEE Journal of Solid-State Circuits ,2004, 39 (5):847-851.
- 1 H T Nicholas III, H Samueli, B Kim. Frequency

R&D on Direct Digital Frequency Synthesizer (DDS) Chip Makes Break-through Progress

Shi Yin

(Institute of Semiconductors, CAS, 100083 Beijing)

With the designing technology of the self-owned intellectual property right-DAC IP core and high-speed circuit, the Neural Network & High Speed Circuit Lab, Institute of Semiconductors, has developed a 2GHz CMOS ROM-Less Direct Digital Frequency Synthesizer (DDS) chip, and meanwhile, the Lab has completed a full range of research on the new type of high resolution DDS chip involving over-sampling Σ/Δ technology. The above work has attracted attention and won high appraisal from IEEE ISCAS 2005 and IEEE VLSI 2005.

Keywords DDS,ROM-Less,over-sampling, Σ/Δ technology

石寅 男,半导体研究所研究员,博士生导师,所学位委员会主任。1981 和 1986 年分别获半导体研究所硕士、博士学位。主要从事高速电路、数模混合电路及射频芯片研究。发表论文 50 余篇,申请和授权专利 20 余项。