

超声相控阵控制、采集与全并行处理系统设计*

孔超^{1†} 冀映辉¹ 蔡炜¹ 谢时根² 师芳芳¹ 陈铭² 蔡慧智^{1,2}

(1 中国科学院声学研究所 北京 100190)

(2 北京中科海讯电子科技有限公司 北京 100107)

摘要 针对超声相控阵检测系统工作环境较为恶劣、延时发射电路复杂、多路信号的采集难以单板实现以及多路信号处理实时性差等问题,提出了一种基于CPCI总线和FPGA的超声相控阵控制、采集与全并行处理系统的设计。本设计采用CPCI总线架构,可以在高尘、高冲击负荷等恶劣环境下工作,采用带高速串行LVDS接口的ADS445与XC5VSX95T相组合的方式来实现单板16路信号的高速信号采集和全并行处理,采用XC5VSX95T中的高速计数器来实现2ns的高精度延时发射,还提供了功能强大的主控软件便于用户操作。分析结果表明,多路AD+FPGA的硬件结构特别适合相控阵系统。实测结果表明,本系统可以较好地对钢管的缺陷进行实时检测和A扫与B扫成像。

关键词 CPCI总线, FPGA, 超声相控阵, AD, 并行信号处理

The design of control-acquisition and fully parallel processing phased array ultrasonic system

KONG Chao¹ JI Yinghui¹ CAI Wei¹ XIE Shigen² SHI Fangfang¹ CHENG Ming²
CAI Huizhi^{1,2}

(1 Institute of Acoustics, Chinese Academy of Sciences, Beijing 100190)

(2 Electronic Science and Technology Co., Ltd., ZKHX Beijing, Beijing 100107)

Abstract A design of control & signal acquisition and fully parallel processing Phased Array Ultrasonic System based on CPCI bus and FPGA is developed, while working environment of the system is harsh, the circuit of delay-transmission is complicated, multi-channel echo signals is hard to be acquired in single PCB and then to be processed in real time. In this design, the CPCI bus architecture is used to ensure the system works in harsh environment such as high temperature and high pressure, etc, the combination of ADS6445 with high-speed serial LVDS interface and XC5VSX95T achieves high-speed data acquisition and fully parallel processing of 16 channels of echo signal in one PCB, the high-speed counters in XC5VSX95T accomplishes transmission with high precision delay of 2ns, the powerful master software is provided to be

2010-10-29 收稿; 2011-01-30 定稿

*国家高技术研究发展计划(863计划)项目(2008AA042402)和国家自然科学基金项目(10704081)资助

作者简介: 孔超(1983-), 男, 山东曲阜人, 博士研究生, 研究方向: 并行信号处理。

冀映辉(1981-), 男, 博士研究生。 蔡炜(1982-), 男, 博士研究生。

师芳芳(1982-), 女, 助研, 博士。 陈铭(1984-), 男, 助研。 蔡慧智(1964-), 男, 研究员, 博士生导师。

†通讯作者: 孔超, E-mail:kongchao1983@163.com

operated conveniently by users. The analysis result shows that the combination of multi-channel AD&FPGA is greatly suitable for phased array ultrasonic system. Test results show that the system accomplishes real-time inspection and vivid image of A-scan and B-scan for defect in a steel tube.

Key words CPCI bus, FPGA, Phased array ultrasonic system, AD, Parallel signal processing

1 引言

超声相控阵检测技术是近年来超声无损检测领域发展起来的一项新技术^[1]。目前, 超声相控阵监测系统大多数都采用基于PCI总线的PC结构, 该种结构无法应用于高尘、高振动、高冲击负荷等恶劣的工业环境; 另外, 相控阵系统中的发射电路需要较高的延时精度来实现聚焦深度的精确控制, 传统的方法是采用CPLD+延迟线来获得较高的延时发射精度, 但由于基于E2PROM或FLASH技术的CPLD的延时精度最高仅为10ns, 延迟线的调整需要采

用多通道高精度的示波器来手动实现, 该种方式实现起来比较复杂; 为了提高探测精度, 相控阵系统需要多路换能器阵元同时发射, 则回波信号采集需要多路AD来完成, 传统的采用带并行接口的AD芯片的方法, 由于AD芯片封装大且布线复杂, 在单板上仅能实现2~4路信号的采集; 另外, 目前常见的系统均采用DSP作为信号处理器, 由于DSP本身的通信带宽和处理能力有限, 难以实现相控阵多路回波信号的实时通信及处理。基于上述问题, 本文提出了一种基于CPCI总线和FPGA的超声相控阵控制、采集与全并行处理系统设计。

2 基于CPCI总线的超声相控阵系统

CPCI总线是由PICMG组织提出的一个

开放式、国际性技术标准, 与采用金手指连接器的PCI卡相比, CPCI总线采用高密度针孔总线连接器, 具有连接更可靠, 完全气密, 抗震性高等特点, 可以应用于较为恶劣的工业环境。

基于CPCI总线的超声相控阵系统组成, 如图1所示。其中, 换能器阵列共有256×3个阵元; 相控发射和接收板在发射周期, 用作发送, 在接收周期, 用作接收; 控制、采集和全并行处理板用于实现相控阵的发射控制、回波信号采集和并行信号处理; 主机板采用WindowsXP操作系统, 为用户提供友好的操作界面, 实现系统的总控。

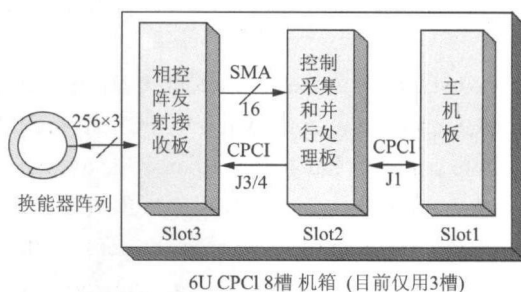


图1 基于CPCI总线的超声相控阵系统组成

该系统的基本工作原理^[2-4]: (1) 在系统上电后, 主机板上的主控软件要将初始参数通过CPCI总线(J1)传送至控制模块; (2) 控制模块产生发射控制信号, 并通过CPCI总线的用户I/O接口(J3和J4)将该控制信号传送至相控发射接收板; (3) 发射模块在该控制信号控制下产生高压的触发信号来驱动

换能器阵列, 实现波束的自动偏转和聚焦深度的自动切换; (4) 换能器阵列发射声束, 并接收回波信号; (5) 接收模块接收换能器阵列传回的回波信号, 并对信号进行初步调理后传送至信号采集模块; (6) 信号采集模块对回波信号进行进一步调理, 并通过多路AD进行数字化; (7) 并行信号处理模块对数字化的回波信号进行全并行信号处理, 获得报警结果, 并将处理后结果和报警结果通过CPCI总线实时上传主机; (8) 主控软件进行根据报警结果进行报警处理, 并利用信号处理后的数据合成实时显示的A扫和B扫图像。

在本系统中, 换能器阵列和相控阵发射接收板由中科院声学所超声物理与探测实验室研制, 主机板采用研华科技股份有限公司生产的MIC-3358系列板卡, 本文只关注控制、采集与并行处理板和主机板上的主控软件设计。

3 控制、采集与并行处理板的设计

3.1 板卡设计思想和原理框图

控制、采集与并行处理板的基本思想: 一方面, 利用FPGA的丰富I/O接口资源和DSP硬核资源, 采用带有高速串行LVDS接口的AD芯片与FPGA相组合来实现多路信号的高速采集和并行信号处理, 获得报警结果, 并将报警结果和处理结果通过PCI总线实时上传至主机板, 该方法会大大减小16路采样数据给系统带来的通信压力, 特别适合多路同时发射的相控阵系统; 另一方面, 通过FPGA的丰富的I/O资源和高速计数器来实现相控阵的自动扫描切换和高精度延时发射, 即: 整个相控阵的发射控制。控制、采集与并行处理板的原理框图如图2所示。

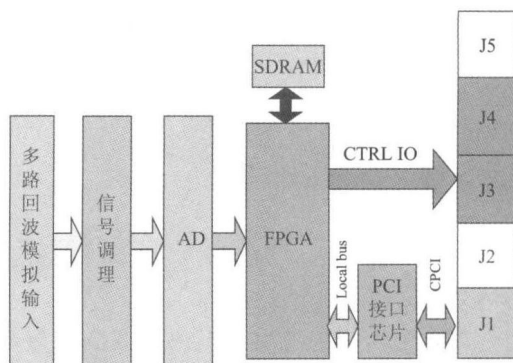


图2 控制、采集与并行处理板的原理框图

3.2 关键参数与器件选择

3.2.1 同时发射和接收换能器阵元的个数^[5,6]

同时发射和接收换能器阵元数越少, 对应的发射能量就越小, 探测的精度越低; 同时发射和接收换能器阵元数越多, 带来的通信和处理数据量就会增大。因此, 我们需要对同时发射和接收换能器阵元个数作折衷处理, 通常取16个。

3.2.2 AD芯片的选择

由于同时发射和接收换能器阵元的个数为16个, 则信号采集模块收到来自接收模块的回波信号共有16路, 因此, 信号采集模块需要16路AD同时做采集。传统的采用并行接口的AD芯片方法, 由于AD芯片封装大且布线复杂, 则难以在单板上实现16路信号的高速采集, 而基于高速串行LVDS接口的AD芯片封装较小且布线简单, 适合于系统集成度较高的设计。本设计采用TI公司的ADS6445, 单片可实现四通道125MSPS, 14位高精度采样, 每个通道的输出接口仅为2个LVDS差分对。

3.2.3 FPGA的选择

在系统中, FPGA用于实现高精度相控延时发射、16路AD通道的通信接口、16路回波信号的并行处理以及将处理结果实时上传主机。这就意味着FPGA中的计数器模块要工作在较高时钟频率下, 并且需要丰富的DSP硬核资源以及较多的高速LVDS接口和I/O接口

资源。因此,我们在选择FPGA时,选择了Xilinx公司的高端FPGA(XC5VSX95T);其计数器模块可工作在550MHz(本设计采用2ns延时精度),具有多达640个DSP48E硬核和320个LVDS差分对引脚以及丰富的I/O资源,可以满足系统要求以及未来的算法扩展。

3.2.4 PCI接口芯片的选择

本系统的扫描速度为5 k扫描点/s,每个扫描点的信号处理后的数据为 512×16 bits,则经过信号处理后的数据率仅为5 MB/s。因此,我们选择PLX公司的PCI9056芯片,其局部总线端可工作在66MHz/32位下,可提供264 MB/s的带宽,可以满足检测结果实时上传的要求。

3.3 板卡的结构框图和工作流程

相控阵控制、采集与并行处理板实现的

结构框图,如图3所示。板卡中的工作流程如下:

(1) 系统上电后,主控软件首先对FPGA进行初始化,并且在初始化完成后启动扫描;

(2) FPGA根据主控软件传送过来的初始参数来自动产生用于扫描切换和延时发射的控制信号,并有用户自定义I/O接口(J3和J4)传送至发射板;

(3) 板卡对接收板收到的16路回波信号进行信号调理以及AD采样;

(4) FPGA对16路AD采集的数据进行全并行信号处理,获得报警结果,并将报警结果和处理结果实时上传主机。

(5) FPGA控制整个过程,直到扫描结束。

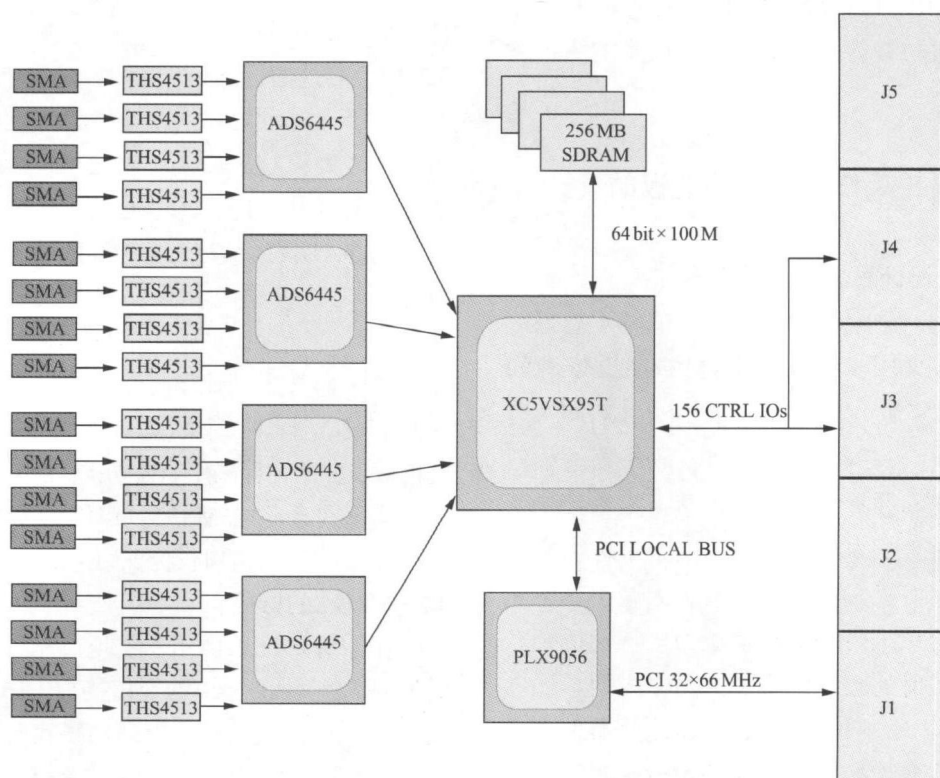


图3 相控阵控制、采集与并行处理板的结构框图

3.4 FPGA中的逻辑设计

FPGA中的逻辑设计的模块划分如图4所示。FPGA中主要包括16通道AD接口模块、16路回波信号并行处理模块、报警结果和处理结果上传模块。其中,初始化寄存器接口模块,用于实现主控软件在系统上电时对FPGA的初始化;扫描切换控制模块用于实现相控阵的选路,从而实现波束的偏转;延时发射控制模块用于在选路完成后实现多个阵元的延时发射,从而实现聚焦深度的控制;AD接口模块用于将AD采集的高速串行LVDS数据转换为并行数据(16bits),并保存在缓存中;回波信号并行处理模块用于从缓存中取出16路回波信号的采集数据,并对16路回波信号进行并行信号处理,获得报警结果,最后将处理结果和报警结果保存在较大

缓存中;为了提高传输效率,报警结果和处理结果上传模块采用DMA方式来将结果上传至主机。限于篇幅,本文仅讨论回波信号处理模块和2个控制模块,其它3个接口类模块本文暂不作讨论。

3.4.1 控制模块

控制模块的子模块框图如图5所示。其中,连续发射重复频率产生模块用于产生5 kHz的重复频率;扫描点递增模块实现扫描点编号的自动切换,用来决定当前开启哪16个通道的开关阵;开关阵所有通道关闭模块用于关闭开关阵的所有通道,从而防止开关切换时开关阵的漏关闭,该模块是可选的;开关阵16通道开启模块用于根据当前扫描点编号开启开关阵相应的16通道;由于开关阵开启和关闭需要5 μ s,因而需要等待模块用于等待5 μ s;延时发射

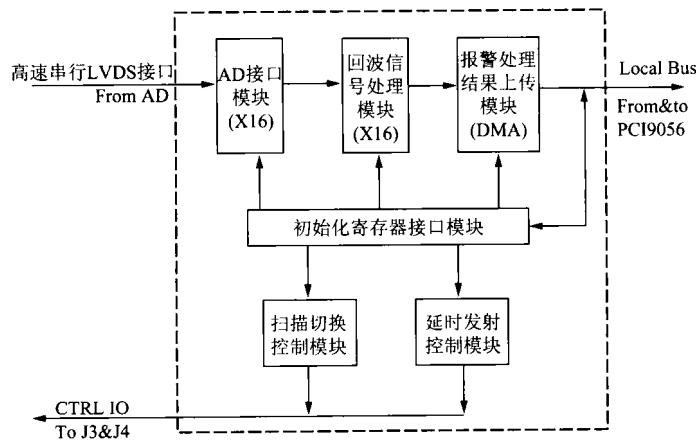


图4 FPGA中的逻辑设计的模块划分

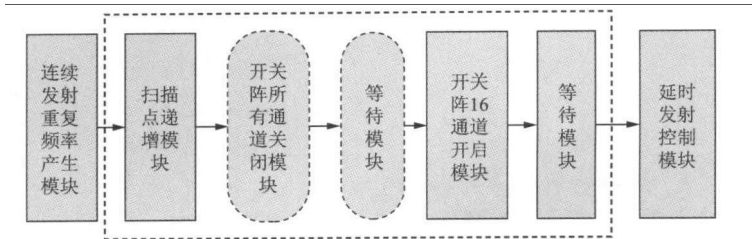


图5 控制模块的子模块框图

控制模块用于实现高精度延时发射,该模块的工作时钟为500MHz,延时精度为2ns。

3.4.2 16路回波信号并行处理模块

16路回波信号并行处理模块的子模块框图如图6所示。其中,FIFO模块用于缓存16路AD采集的回波信号(位宽为16);FIR模块为33阶FIR带通滤波器,采用窗函数法(凯泽窗)设计,通带范围为3.5MHz~6.5MHz;由于相控阵的发射延时精度为2ns,而AD采样的采样时间精度为10ns,因此,为了准确的实现延时补偿,插值模块将16路信号插

值为2ns精度;延时补偿模块用于将16路信号按照延时补偿表(用主控软件加载)进行延时补偿;16路信号叠加模块用于实现16路信号的叠加;取包络模块是利用离散希尔伯特变换的方法对16路叠加后的信号进行取包络,离散希尔伯特变换采用35阶FIR滤波器来实现。报警模块用于对提取的包络进行一系列阈值处理(阈值由主控软件加载)来获得报警结果;报警结果和处理结果保存在较大缓存中,主机利用DMA方式来读取这些数据。

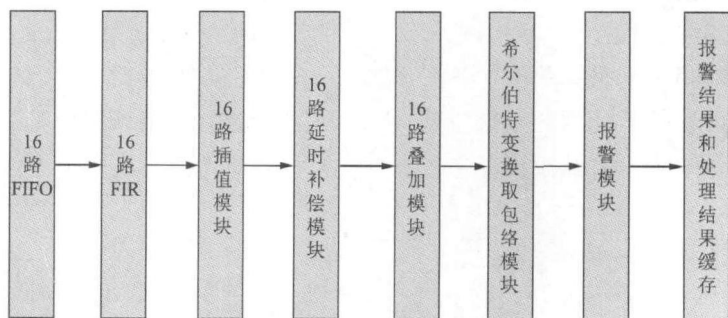


图6 16路回波信号并行处理模块的子模块框图

4 主控软件设计

主控软件的设计框图如图7所示。其中,板卡驱动模块用于提供Windows操作系统下PCI总线的驱动,本设计采用Windriver作为PCI9056在WinXP下驱动程序的开发工具;工

艺参数设置模块用来设置被测目标的工艺参数,如:声速、管径、壁厚等参数;工作模式设置模块用设置相控阵系统的工作模式,如:横波或纵波扫描、连续或单次扫描等参数;蜂鸣器驱动模块用于驱动主机板上的蜂鸣器,实现系统报警;A扫和B扫结果显示模块用于扫描结果的成像显示;操作界面用于实现好用的用户操作界面。

另外,由于VC语言执行效率高,板卡驱动模块采用VisualC++环境来编写;并且由于Java语言具有较好的平台移植性,其他模块采用Java语言来编写。

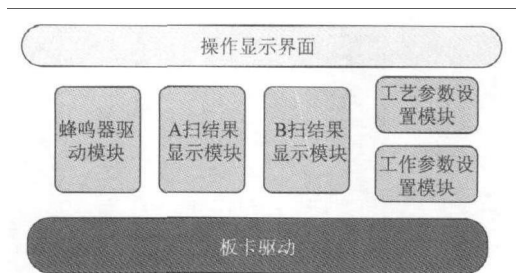


图7 主控软件的设计框图

5 实测结果

利用本设计中的超声相控阵系统进行

缺陷检测, 检测试样为带有人工缺陷横向裂纹的钢管, 裂纹宽度为2 mm, 检测结果在主控软件(目前, 换能器阵列仅覆盖120°圆周, B扫界面仅对1/3圆周成像)中

的显示如图8所示。从图中可以看出, 钢管中的横向裂纹(箭头指向的位置)非常清晰; 另外, 裂纹下方可以清晰地看到下表面回波。

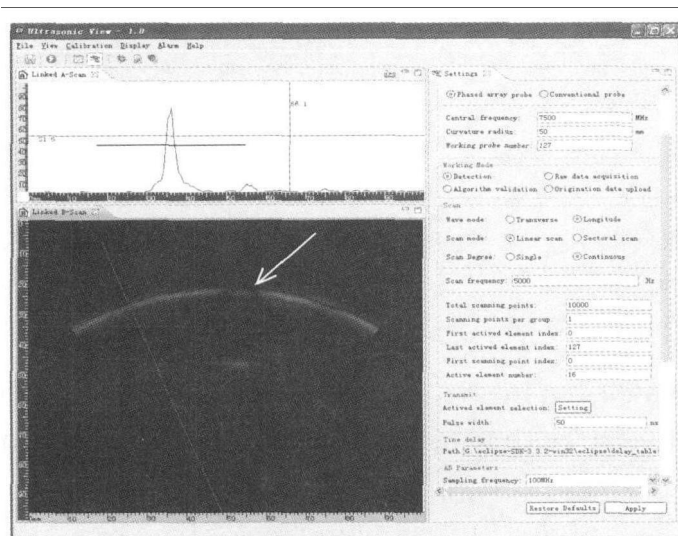


图8 主控软件及实际检测结果

6 结束语

本文提出了一种基于CPCI总线和FPGA的超声相控阵控制、采集与并行处理系统设计。由于采用了CPCI总线架构, 本系统可以应用于高尘、高冲击负荷等恶劣的工业环境; 本系统采用带有高速串行LVDS接口的AD芯片, 实现了单板16通道信号的采集; 另外, 采用单片XC5VSX95T取代传统的CPLD+延迟线来实现高精度延时发射, 在FPGA中实现了16路回波信号的全并行处理取代DSP芯片, 大大降低了系统的数据通信压力。为了便于用户操作, 本系统还提供了功能强大的主控软件, 用户不仅可以方便地设置参数, 还可以直观地观测到A扫和B扫的图像。实测结果表明, 该系统可以较好地对钢管的缺陷进行检测和成像。该系统在核工业、航空工业等领域具有广阔的市场前景。

参考文献

- [1] 沈建中. 超声成像技术及其在无损检测中应用[J]. 无损检测, 1994, 16(7): 202-206.
- [2] HUANG R, SCHMERR L W, SEDOV A. A new multi-gaussian beam model for phased array transducers[J]. Review of quantitative nondestructive evaluation, 2007(26): 751-758.
- [3] BOHENICK M, BLICKLEY E, TITTMANN B R, et al. Investigating a stepped ultrasonic phased array transducer for the evaluation and characterization of defects[J]. Proc of SPIE, 2007(6532): 1-7.
- [4] DEAN D S. Review of ultrasonic transducer arrays[J]. British journal of non-destructive testing, 1979, 21(3): 140-141.
- [5] HOWARD P, KLAASSEN R, KURKCU N. Phased array ultrasonic inspection of titanium forgings[J]. Review of quantitative nondestructive evaluation, 2007(26): 853-861.
- [6] WOOH S C, SHI Y J. Influence of phased array element size on beam steering behavior[J]. Ultrasonics, 1998(36): 736-749.