

基于SVR-PSO的核安全级DCS关键芯片 布局优化研究

汪凡雨 王东伟 陈起 严浩 雷敏杰 赵阳
(中国核动力研究设计院 核反应堆技术全国重点实验室 成都 610213)

摘要 为降低核安全级数字化控制系统(Digital Control System, DCS)关键芯片在工作过程中的温升,提高系统的可靠性,本研究提出利用机器学习方法对核安全级DCS关键芯片进行布局优化。首先,试验测得DCS在事故工况(环境温度55℃)下的芯片稳态温度,随后结合有限元分析计算模拟试验过程。基于有限元模型生成100组随机芯片排布下的中央处理器(Central Processing Unit, CPU)和可编程逻辑门阵列(Field Programmable Gate Array, FPGA)稳态温度数据,利用多输出支持向量回归(Multi-output Support Vector Regression, M-SVR)算法建立温度预测模型,结合粒子群优化(Particle Swarm Optimization, PSO)算法计算出温升最小的芯片位置坐标。进一步,利用有限元分析验证该优化位置坐标下的芯片稳态温度。研究结果表明,有限元模型能较好反映试验现象,SVR-PSO算法优化得到的芯片布局使CPU和FPGA的稳态温度分别降低2.4℃和2.5℃。因此,本研究提出的算法能够实现芯片布局优化,有效降低其工作温升,提升核安全级DCS系统可靠性。

关键词 核安全级DCS, 芯片, 机器学习, 有限元分析, 布局优化

中图分类号 TL362

DOI: 10.11889/j.0253-3219.2025.hjs.48.240428

CSTR: 32193.14.hjs.CN31-1342/TL.2025.48.240428

Layout optimization of key chips for nuclear safety level DCS based on SVR-PSO

WANG Fanyu WANG Dongwei CHEN Qi YAN Hao LEI Minjie ZHAO Yang

(National Key Laboratory of Nuclear Reactor Technology, Nuclear Power Institute of China, Chengdu 610213, China)

Abstract [Background] Temperature rise of the digital control system (DCS) key chips during operation is a risk factor for nuclear safety level DCS operating under accident scenarios. [Purpose] This study aims to optimize the layout of key chips which are susceptible to significant temperature increases during abnormal operating conditions of DCS. [Methods] Firstly, experimental tests to measure the steady-state temperatures of these chips under accident conditions were conducted, specifically at an ambient temperature of 55 °C. These tests simulated extreme operational scenarios where heat dissipation was critical for the safe operation of the system. Subsequently, the finite element analysis (FEA) was employed to simulate the test conditions, allowing for a more controlled analysis of chip temperature under various layouts. Based on this FEA model, the corresponding steady-state temperature data of the central processing unit (CPU) and Field Programmable Gate Array (FPGA) under 100 sets of random chip layouts

国家自然科学基金(No.52105220)、四川省自然科学基金(No.2022NSFSC1950)资助

第一作者: 汪凡雨, 女, 1996年出生, 2022年于厦门大学获硕士学位, 研究领域为核仪控设备可靠性

通信作者: 王东伟, E-mail: dongwei1013@sina.cn

收稿日期: 2024-10-31, 修回日期: 2024-12-27

Supported by National Natural Science Foundation of China (No. 52105220), the Natural Science Foundation of Sichuan Province (No. 2022NSFSC1950)

First author: WANG Fanyu, female, born in 1996, graduated from Xiamen University with a master's degree in 2022, focusing on the reliability evaluation of nuclear instrument control equipment

Corresponding author: WANG Dongwei, E-mail: dongwei1013@sina.cn

Received date: 2024-10-31, revised date: 2024-12-27

were calculated. Then, these data points were used to construct a temperature prediction model using the Multi-output Support Vector Regression (M-SVR) algorithm, which was particularly suited for predicting the nonlinear relationships between chip arrangement and temperature. By incorporating this predictive model with the Particle Swarm Optimization (PSO) algorithm, the temperature for various chip layouts was predicted without time-consuming physical experiments or simulations, and the chip layout was further optimized by PSO algorithm for computing the optimal coordinates for chip placement regarding to the least temperature rise with consideration of the complex thermal dynamics of the system. Finally, after identifying the optimal chip layout, FEA was performed again to verify the predicted results. **[Results]** The validation results demonstrate that the optimized layout of DCS key chips achieves a significant reduction in chip temperature rise. Specifically, at an ambient temperature of 55 °C, the steady-state temperature of the CPU decreases from 71.9 °C to 69.5 °C, and the FPGA decreases from 68.4 °C to 65.9 °C, corresponding to reductions of 2.4 °C and 2.5 °C, respectively. **[Conclusions]** This result of this study validates the accuracy of the proposed approach, demonstrating the effectiveness of the proposed SVR-PSO method in improving chip layout, and thus improving the overall reliability of the DCS system. The ability to reduce the working temperature of key chips not only improves system performance but also extends the lifespan of critical components, ultimately contributing to the reliability and safety of nuclear safety level DCS.

Key words Nuclear safety level DCS, Chip, Machine learning, Finite element analysis, Layout optimization

核能作为一种清洁能源,是实现“碳达峰、碳中和”目标的重要能源组成,并将在全球能源生产中持续发挥重要作用^[1-2]。核安全级数字化控制系统(Digital Control System, DCS)被喻为核反应堆的“中枢神经”,是保证核电站的安全、可靠及稳定运行的关键^[3]。DCS通常由数以万计的电子元器件构成,其可靠性对系统安全功能的正常实现具有直接影响。然而,电子元器件在服役过程中,受其功耗、器件布局及系统散热等因素影响,不可避免地产生热量,导致电子元器件温度升高。当电子元件的热负荷增加到一定程度时,其工作稳定性会降低,进而对DCS的安全稳定运行产生不利影响^[4]。因此,有效避免电子元件在工作过程中温升过高,是确保DCS乃至反应堆安全运行的关键。

考虑到DCS功能模块中布置有多个高发热芯片,故合理的芯片位置布局对于改善芯片温升,避免设备或系统热失效具有重要意义。目前,针对芯片布局的优化已开展大量研究^[5-8]。Joo Goh等^[6]研究了芯片放置距离、散热水平、换热系数等参数对多芯片排布下温度分布的影响,并提出一个多元线性回归模型实现芯片最大结温的预测。Dang等^[7]提出了一种利用仿生法优化芯片布局的策略,证明了优化芯片布局后可降低结温和热扩散阻力。Nan等^[8]建立自然对流条件下多芯片模块(Multi-Chip Module, MCM)热流-应力耦合模型。数值计算结果表明,优化芯片厚度、长宽比和边缘距离可以有效降低芯片温度,并降低芯片最大热应力。

上述研究为芯片布局的优化设计提供重要参考。然而,现有研究通常侧重于芯片本身的温升特

性,并未针对其所处的复杂电气设备开展相关研究工作。实际上,DCS设备在工作过程中通常采用强制风冷散热的形式,这意味着优化DCS芯片布局时,需充分考虑设备的散热特性。此外,由于核电站使用环境及模块结构与其他电气设备存在差异,现有研究的优化结果无法直接应用于DCS模块。因此,如何有效地优化DCS系统芯片布局,使其在工作过程中的温升降到最低,是本文研究的重点。

近年来,人工智能(Artificial Intelligence, AI)在核领域的应用日益广泛,如反应堆可靠性、核能系统的数字孪生等,展现出显著的技术潜力和发展前景^[9-10]。而随着AI技术在核领域的深入实践,为复杂控制系统设计提供了新思路,并已逐步应用于热源布局的优化设计中^[11-15]。Mathew等^[11]结合人工神经网络(Artificial Neural Network, ANN)和遗传算法(Genetic Algorithm, GA),确定芯片在印制电路板(Printed Circuit Board, PCB)板上的最优位置,使得芯片温升最小。Otaki等^[13]利用贝叶斯优化和热网络模型进行布局优化,相比于粒子群优化(Particle Swarm Optimization, PSO)和GA,该方法能更成功地搜索到理想芯片布局坐标。然而,目前的研究通常只验证单个模块,未考虑实际工况中可能存在的复杂安装条件的影响。芯片通常位于由众多其他电子元件和模块组成的电子系统中,且对于DCS这类安全关键系统,其服役环境往往更为复杂。因此,在DCS设备层面开展基于AI技术的芯片布局优化研究,确保其工作过程中的温升最小,具有更加重要的工程意义。

本研究面向DCS中的主控模块,结合AI技术对

其中的高发热芯片,即中央处理器(Central Processing Unit, CPU)和现场可编程门阵列(Field Programmable Gate Array, FPGA)开展布局优化设计。首先在55℃的事故温度下对DCS控制保护柜进行环境试验,探索柜内温度分布特性及CPU、FPGA等关键芯片的稳态温度,并对试验过程进行了有限元模拟分析。在确认有限元模型能够准确反映设备热学状态的基础上,通过对CPU和FPGA进行随机排布,计算出两者在不同排布状态下的温度。进一步地,基于有限元模型获得的样本,采用多输出支持向量回归(Multi-output Support Vector Regression, M-SVR)算法构建出芯片温度预测模型。利用该预测模型,结合PSO算法,计算出在温升最小情况下的芯片位置坐标。研究结果为DCS关键芯片的布局设计提供理论依据,对提升系统运行可靠性具有重要意义,同时也为进一步研究复杂电子系统的热管理问题提供参考。

1 试验研究

1.1 试验设备介绍

本文以中国核动力研究设计院自行研制的核安全级DCS系统控制保护柜为试验对象。控制保护柜主要用于实现信号采集、数据处理和保护控制功能,因此,其可靠性和稳定性直接决定DCS能否满足安全使用要求。在控制保护柜内,除安装在内部的基础电气设备外,还安装了三台6U(1U=44.45 mm)高度机箱。每个机箱中安装有14个不同功能的模块,每个模块通过FPGA或CPU等处理器进行数据交互和计算。在第一层机箱的第二个模块(即主控模块)上安装有两个高发热芯片,即CPU和FPGA。如图1所示,CPU和FPGA上均安装有铝材翅片型散热器,用于降低芯片壳温。

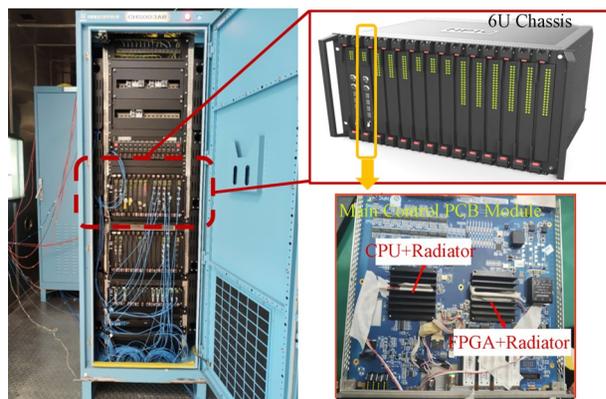


图1 控制保护柜与主控模块展示图(彩图见网络版)
Fig.1 Illustration of control protection cabinet and main control module (color online)

控制保护柜采用强制对流散热模式,即每个机箱之间安装有一个高度为1U的风扇模块。通过风扇抽风功能,使得冷空气向上运动,并将柜内热量通过机柜后门板上的风扇抽出。因此,整个机柜的热流特性可描述为,通过抽风将底部的冷空气吸进机柜,带走机柜内的热量,最终通过后门排出。

1.2 试验结果分析

为了探究机柜内部的温度分布特性,并获得CPU和FPGA的温度时变特性,本试验探索了在事故环境下,即环境温度为55℃时,柜内温度的分布特性,并通过PT100热电偶,实时采集主控模块内CPU和FPGA的温度变化。

图2为在环境温度55℃时,CPU和FPGA的温度变化曲线。可以看出,由于CPU功耗(10 W)高于FPGA功耗(5 W),使得CPU的稳态温度(72.5℃)略高于FPGA的稳态温度(68℃)。此外,可以看出,在试验初期,芯片温度呈明显上升的线性趋势,达到稳定后没有明显的波动。虽然强制对流有利于热量及时排出,但由于环境温度过高,且当前芯片的布局没有做出过多的优化,这可能诱导气流温度升高,使芯片表面热量积累显著,故热量不能及时排出。因此,针对不同芯片的位置开展其温度特性研究,探索芯片优化布局下的温升特性,提出合理有效的芯片布局优化方案,对提高DCS可靠性具有重要意义。

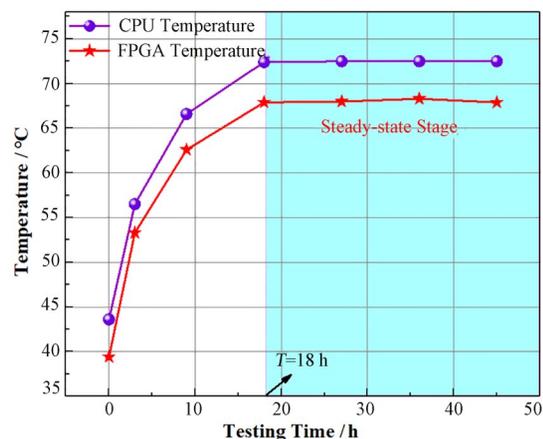


图2 55℃环境温度下芯片温度随时间变化曲线
Fig.2 Variation curves of chips temperature with time at 55℃ ambient temperature

2 数值模拟研究

2.1 有限元模型

在热分析软件Flotherm中建立DCS控制保护柜有限元模型,如图3所示。机柜尺寸为800 mm×800 mm×2 200 mm,内部安装有3个标准高度为6U的机箱,每个机箱内安装有14个模块(机柜外壳已

隐藏)。为尽可能模拟真实的测试结果,同时避免网格数量过多造成计算资源过度浪费的问题,本模型对CPU和FPGA所在模块的网格进行细化建模,对其他非高热模块则直接定义其总功耗。机箱上盖板和下盖板上分别有直径3.5 mm和阵列距离5.5 mm的通气孔。该模型主要包括机柜、PCB、插件面板、芯片等。芯片的封装材料包括陶瓷、塑料和金属等,各部件材料参数如表1所示。计算过程中,将同时考虑热传导、热辐射和热对流的影响,相关理论详见文献[16]。另外,从图3可以看出,当前CPU和FPGA采用平行排布的方式,两者中心间距为90 mm。需要说明的是,分析过程中充分考虑了电子器件的热传导、热对流和热辐射的作用,并且本研究在开展计算过程中,进行了网格敏感度分析,在确认了所设置网格在满足精度和计算时间可接受的情况下,开展后续的分析计算工作。

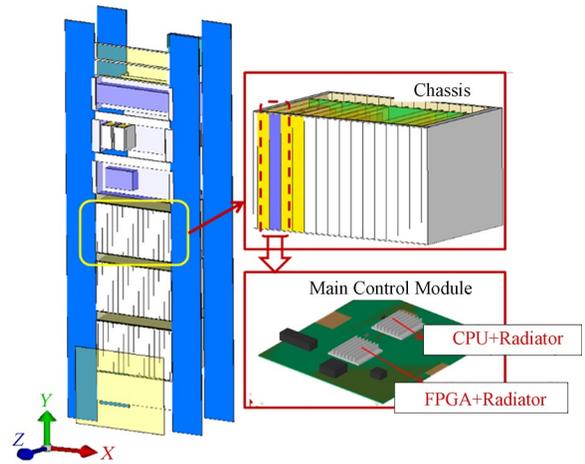


图3 控制保护柜有限元模型示意图(彩图见网络版)
Fig.3 Diagram of finite element model of control protection cabinet (color online)

表1 部件材料参数

Table 1 The material parameters of the components

| 物项 Item | 密度 Density / $\text{kg}\cdot\text{m}^{-3}$ | 比热容 Specific heat capacity / $\text{J}\cdot(\text{kg}\cdot\text{K})^{-1}$ | 导热系数 Thermal conductivity / $\text{W}\cdot(\text{m}\cdot\text{K})^{-1}$ |
|--|---|--|--|
| 塑料封装器件 Plastic packaged device | 2 000 | 395 | 5 |
| 陶瓷封装器件 Ceramic packaged device | 2 000 | 395 | 15 |
| 金属封装器件 Metal package device | 2 000 | 395 | 10 |
| 插件面板及机箱箱体 Plug-in panels and chassis enclosures | 2 700 | 963 | 180 |
| 柜体及内部附件 Cabinet and internal accessories | 7 870 | 106 | 80 |

2.2 计算结果分析

设置环境温度为55 °C时,对机柜内的温度分布和热流特性进行分析,如图4所示。由于CPU和FPGA安装于顶层机箱第二个模块内,因此,该区域内的温度明显增加。另外,由于DCS采用强制对流散热方式,在冷却气流快速通过的情况下,CPU和FPGA的表面热量被迅速带走。其中,CPU和FPGA的表面温度分别为71.9 °C和68.4 °C,如图5所示。数值模拟结果与图2所示试验结果吻合较好。此外,热流分析结果表明,柜体顶部形成明显的空气集中区,后门风机的排风作用将热量及时排出,从而减少柜体内部的热集中现象。

综合以上,本研究所建立的有限元模型能够有效计算出事故环境下CPU和FPGA的稳态温度,数值模拟分析可以很好地模拟试验现象,从而验证了模型的可靠性。在§2.3中,将采用随机采样法,对

CPU和FPGA的位置坐标节点进行采样,计算出100组随机位置坐标下CPU和FPGA的稳态温度。随后,将计算结果用于预测模型训练和验证,从而获得最优模型以用于芯片的布局优化。

3 温度预测模型构建

3.1 芯片位置随机布局

CPU和FPGA的位置坐标不仅受到PCB尺寸和散热器尺寸限制,还需要避免二者产生位置干涉,因此,在随机采样中设定约束条件。通过将芯片中心点作为位置的参考坐标,对其横纵坐标进行限制。具体而言,假设芯片的中心点坐标为 (x_i, y_i) ,则CPU和FPGA坐标均需满足以下约束条件:

$$28 \leq x_i \leq 178, 28 \leq y_i \leq 205 \quad (1)$$

$$|x_i - x_j| \geq 42, |y_i - y_j| \geq 42 (i \neq j) \quad (2)$$

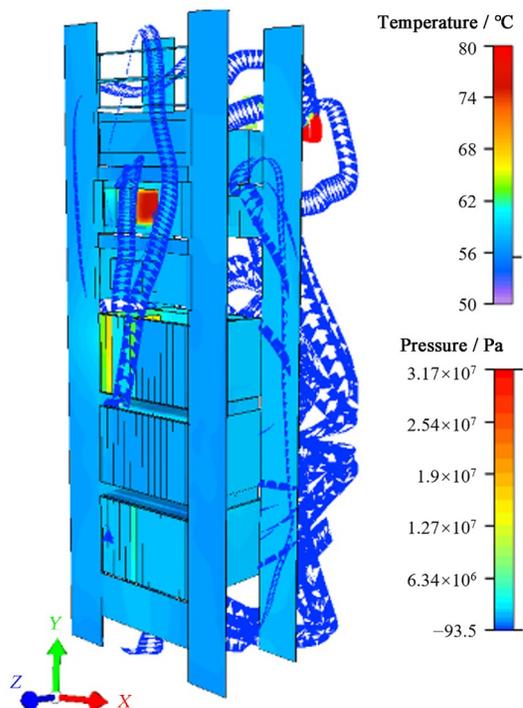


图4 机柜内部温度分布及热流特性(彩图见网络版)
Fig.4 Temperature distribution and heat flow characteristics inside the cabinet (color online)

在上述约束下,随机采样生成 100 组 CPU 和 FPGA 的位置坐标集合,并利用有限元模型进行模

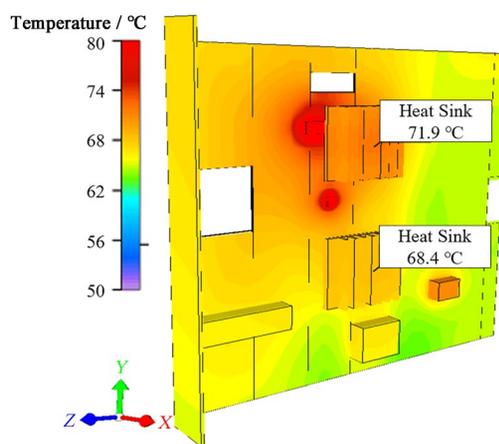


图5 CPU和FPGA表面温度云图(彩图见网络版)
Fig.5 Surface temperature contour of CPU and FPGA (color online)

拟计算,从而获得对应坐标下CPU和FPGA的稳态温度,如表2所示。由于数据集中不同特征的量级差异可能会对模型的训练过程和性能产生不利影响(例如,导致模型对量级较大的特征赋予过高权重),因此对数据集中的特征进行标准化处理。标准化将各特征值调整为均值为0、标准差为1,从而消除量级差异对模型学习过程的影响,提高模型的收敛速度和稳定性。

表2 部分样本数据
Table 2 Part of the sample data

| 序号 Number | CPU坐标 CPU coordinates | FPGA坐标 FPGA coordinates | CPU温度 $T_{CPU} / ^\circ\text{C}$ | FPGA温度 $T_{FPGA} / ^\circ\text{C}$ |
|-----------|-----------------------|-------------------------|----------------------------------|------------------------------------|
| 1 | (114.51, 69.22) | (167.63, 32.84) | 70.04 | 68.77 |
| 2 | (84.00, 132.20) | (126.56, 63.05) | 70.81 | 68.01 |
| 3 | (136.62, 48.11) | (22.74, 101.31) | 69.43 | 66.94 |
| 4 | (178.72, 182.69) | (123.22, 28.69) | 71.95 | 66.32 |
| 5 | (48.66, 56.08) | (169.60, 111.98) | 69.85 | 67.65 |
| ... | ... | ... | ... | ... |
| 100 | (140.40, 48.96) | (182.94, 153.30) | 70.00 | 69.38 |

3.2 预测模型验证

本研究将温度预测模型的预测结果作为布局优化目标,因此模型准确性对芯片布局优化的性能和可靠性有显著影响。在机器学习领域,有多种算法可用于回归预测,包括决策树、人工神经网络(Artificial Neural Network, ANN)、支持向量回归(Support Vector Regression, SVR)以及随机森林等^[17]。考虑本研究属于针对小样本的多输出回归预测问题,且样本数据非线性关系复杂,对比上述算法以确定准确的预测模型。ANN和SVR算法在工程和科研中的应用广泛。其中,ANN适用于处理非线性数据,泛化能力强^[18]。而SVR在处理小样本、高

维数据时表现更为优异。此外,为了实现多输出预测,需要将标准SVR推广到求解多维问题,即其变体M-SVR^[19]。本研究的优化目标是通过调整不同芯片位置最小化其总温度。两种算法能够同时预测多个芯片在不同布局方案下的温度变化。针对每种布局方案,通过将其芯片位置作为输入变量,从而输出多个芯片的预测温度。通过两种算法的多输出能力,能够准确捕捉芯片间复杂的热耦合关系,并在优化过程中实时调整布局,以实现芯片总温度最小。因此,在本研究中二者被用于预测模型的构建并验证对比确定最终的预测模型。

基于模拟计算得到的100组样本,采用10折交叉验证分别对ANN和M-SVR模型进行训练评估,

将均方误差(Mean Squared Error, MSE)作为损失函数和评价指标,如式(3)所示:

$$\text{MSE} = \frac{1}{n} \sum_{i=1}^n (y_i - \hat{y}_i)^2 \quad (3)$$

式中: y_i 是真实输出值; \hat{y}_i 是训练或测试数据集的预测输出。通过寻优最终得到两个模型的最优超参数,如表3所示。

表3 两种模型的最优超参数
Table 3 Optimal hyperparameters for both models

| 模型 Model | 参数值 Parameter values |
|----------|---|
| M-SVR | kernel="RBF", C=700, gamma=0.08 |
| ANN | Dense (32, activation='relu'), Dense (16, activation='relu'), Dense (2, activation='sigmoid'), optimizer=Adam(learning_rate=0.001) |

最终交叉验证结果如图6所示。可以看出,

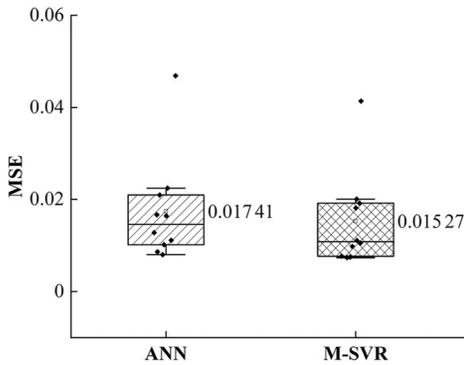


图6 10折交叉验证结果对比

Fig.6 Comparison of 10-fold cross validation results

$$\begin{aligned} v_i(t+1) &= wv_i(t) + c_1r_1[pBest_i - v_i(t)] + c_2r_2[gBest - v_i(t)] \\ x_i(t+1) &= x_i(t) + v_i(t+1) \end{aligned} \quad (4)$$

式中: $v_i(t)$ 和 $x_i(t)$ 分别表示粒子 i 在 t 时刻的速度和位置; w 是惯性权重,用于平衡全局搜索和局部搜索能力; c_1 和 c_2 是学习因子,分别表示粒子向个体极值和全局极值学习的程度; r_1 和 r_2 是 $[0, 1]$ 之间的随机数,用于增加搜索的随机性。通过多次迭代,粒子群逐渐收敛到最优解。

4.2 布局优化与结果分析

布局优化过程如图7所示。PSO用于优化M-SVR模型的预测结果,以实现布局优化达到CPU和FPGA的总温度最小。初始化一组粒子,每个粒子作为一个潜在的布局方案,并在受位置约束的多维搜索空间中随机分布。在优化过程中,每个粒子根据SVR模型的预测结果得到适应度值,进而根据式(4)迭代更新粒子的位置和速度。

每次更新确保粒子的位置满足预设的约束条

M-SVR模型MSE均值明显小于ANN,仅为0.01527。此外,在不同交叉折上的预测结果也更为集中。这表明针对芯片不同位置坐标的温度预测,M-SVR模型具有更高的准确度和稳定性。因此,本研究中M-SVR模型的表现优于ANN,故被确定为后续用于芯片布局优化的预测模型。

4 布局优化

4.1 PSO算法

当前,PSO、GA以及模拟退火(Simulated Annealing, SA)等算法被广泛用于解决各种复杂的优化问题^[20]。其中,PSO是一种基于群体智能的优化算法,模拟鸟群觅食行为来寻找全局最优解。具有全局搜索能力强、收敛速度快以及参数调整简单且实现方便等优点,使其能够高效解决复杂的优化问题^[21-22]。因此,在本研究中选取PSO算法用于CPU和FPGA的布局优化,旨在通过全局搜索避免局部最优解,高效找到最优芯片布局,从而降低芯片温度并优化热设计。

具体来说,在布局优化过程中,PSO的每个粒子代表一个可能的芯片布局解,粒子的目标是找到一个能够最小化温度并满足物理约束的最优解。为了实现这一目标,粒子的位置和速度由惯性项、个体最优项和全局最优项共同决定,其更新公式如式(4)所示:

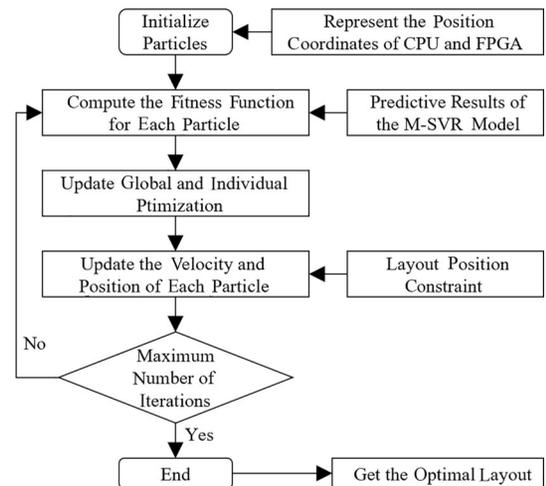


图7 基于PSO的布局优化过程流程图

Fig.7 Flowchart of PSO-based layout optimization process

件,以保证搜索过程在有效的布局范围内进行。此外,PSO 参数的设置对优化性能有重要影响。本研究基于实际优化任务和实践经验,旨在提高优化过程的收敛速度和结果的稳定性,并通过多次实验调试最终确定了最优参数配置。其中, w 设为 0.7,在平衡全局搜索和局部搜索之间表现出较好的效果; c_1 和 c_2 均设为 2,以调节粒子向个体极值和全局极值的学习速度。此外,设置 100 次迭代次数,每次迭代设置 100 个粒子进行搜索,实验证明能够在合理计算时间内获得稳定的优化效果。最终达到终止条件后,粒子逼近最优解,得到使 M-SVR 模型预测结果最小且满足位置约束的布局方案。

优化迭代结果如图 8 所示。可以看出,在第 37 次迭代时粒子搜索到最优目标值。搜索得最优 CPU 位置坐标为 (89.46, 205),FPGA 坐标为 (28, 28),在该位置坐标下,对应的 SVR 模型最小预测值为 CPU 温度 69.625 °C,FPGA 温度 65.85 °C。

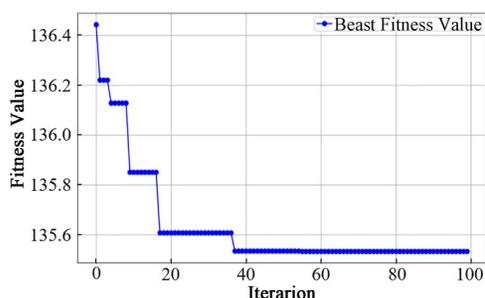


图 8 PSO 优化迭代结果
Fig.8 Result of PSO optimization iterations

4.3 优化结果验证分析

根据前述优化得到的 CPU 和 FPGA 位置坐标,重新设置上述器件在 PCB 板上的排布,具体布局如图 9 所示。随后,在环境温度为 55 °C 的条件下,对新布局进行了有限元分析,结果如图 10 所示。可以看出,经过优化布局后,CPU 表面散热器处的节点温度为 69.5 °C,而 FPGA 表面散热器处的节点温度为 65.9 °C。该计算结果与基于 M-SVR 模型预测得到的温度非常接近,从而验证了模型的准确性。表 4

为优化前后的芯片温度对比结果,经过优化布局后,CPU 和 FPGA 的稳态温度相比优化前,分别降低 2.4 °C 和 2.5 °C。10 °C 法则指出,芯片工作温度每升高 10 °C,其可靠性将降低 50%。这意味着经过布局优化后产生的近 3 °C 温降,能够有效延长 CPU 和 FPGA 的使用寿命,减少故障发生概率。此外,近 3 °C 的温降还能够有效减缓热膨胀和热应力对芯片结构的影响,从而降低因过热引发的热失效和系统崩溃风险。因此,本研究利用机器学习优化高发热器件在 PCB 板上的布局,一定程度上降低芯片运行温度,还增强模块乃至系统的可靠性和应对极端工况的能力。这一方法对于热管理要求严格的电子系统具有重要应用价值。

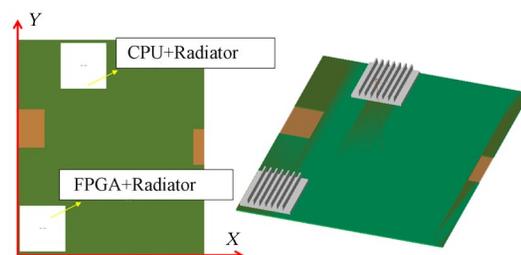


图 9 CPU 和 FPGA 的最优布局(彩图见网络版)
Fig.9 Optimal layout of CPU and FPGA (color online)

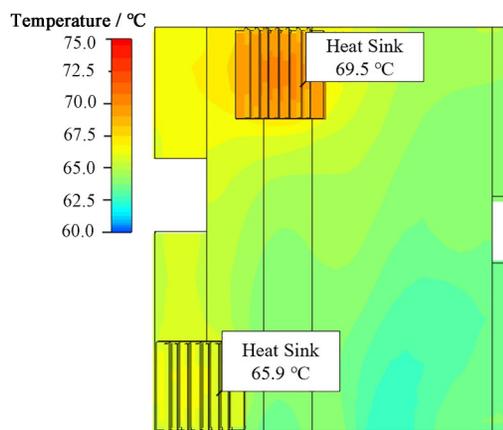


图 10 有限元分析温度分布结果(彩图见网络版)
Fig.10 Finite element analysis results temperature distribution (color online)

表 4 优化前后芯片温度对比

Table 4 Chip temperature comparison before and after optimization

| 芯片 Chip | 优化前 Temperature before optimization / °C | 优化后 Temperature after optimization / °C | 降低温度 Reduced temperature / °C |
|------------|---|--|----------------------------------|
| CPU | 71.9 | 69.5 | 2.4 |
| FPGA | 68.4 | 65.9 | 2.5 |

进一步对优化后的设备气流进行了分析,结果如图 11 所示。由于控制柜内风扇的作用带动柜内气体流动,同时结合柜内流道设计及器件的优化排

布,气流能够有效地经过芯片表面,从而带走工作过程中产生的热量。特别是经过优化布局后的 CPU 和 FPGA,其周围气流流动更为流畅,使得芯片表面

热量更容易被冷空气迅速带走,显著提高了散热效率。需要说明的是,机柜内部的风路由柜内的机箱、风扇导流板、线缆通道、支架以及其他影响风路的结构件来决定,从而使风路能够按照要求进行流动。在本研究中,仅对PCB上的芯片布局开展优化,机箱/机柜的内部风路没有发生任何改变。本研究所提出的布局优化方法,在不影响内部风路的基础上,不仅在一定程度上降低了芯片的稳态温度,还有效提升了整个系统的散热性能,进一步增强了设备的运行可靠性。

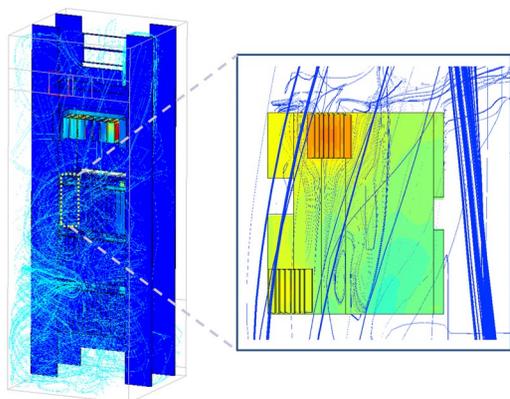


图11 优化后的设备气流分布(彩图见网络版)

Fig.11 Distribution of optimized equipment airflow (color online)

此外,根据优化分析结果可知,虽然芯片位置接近PCB边缘,但该结果遵循了PCB物理约束条件,未超出实际布线的可行范围。同时,现代PCB设计工具支持通过多层布线和过孔等技术克服边缘布线的难题,确保布线的可行性。因此,尽管芯片布局靠近边缘可能对布线带来一定挑战,但实际设计中可以通过灵活的布线方式进行调整和优化。

5 结语

本文通过环境试验结合有限元分析对核安全级DCS机柜的温度分布进行了深入研究,并利用机器学习方法实现对关键芯片的布局优化,实现芯片温升降低,得出以下结论:

- 1) 通过环境试验和有限元模拟分析,确定了55℃事故工况下DCS控制保护柜内关键芯片(CPU、FPGA)的稳态温度分布特性。
- 2) 通过对比验证ANN与M-SVR两种模型的芯片温度预测性能,表明了M-SVR对不同布局的芯片温度预测更为准确。
- 3) 采用PSO算法对芯片布局进行优化,计算得出了温升最小情况下的芯片最佳位置。经过优化布局后,CPU和FPGA的稳态温度相比优化前,分别降低2.4℃和2.5℃。

4) 有限元分析结果表明,优化后的布局使得气流更有效地流经芯片表面,提升了散热效率,从而进一步降低了设备运行温度,提升了系统的运行可靠性。

作者贡献声明 汪凡雨负责理论计算和部分实验,分析、解释数据,起草文章;王东伟负责理论计算和实验指导,文章审阅修改;陈起负责材料支持,文章审阅;严浩负责技术支持;雷敏杰负责部分实验;赵阳负责技术等支持。

参考文献

- 1 张明辉, 苟军利, 王政, 等. 兆瓦级高效紧凑型核动力系统运行特性研究[J]. 核技术, 2024, 47(2): 020601. DOI: 10.11889/j.0253-3219.2024.hjs.47.020601.
ZHANG Minghui, GOU Junli, WANG Zheng, *et al.* Operation characteristics of a megawatt nuclear power system with high efficiency and compactness[J]. Nuclear Techniques, 2024, 47(2): 020601. DOI: 10.11889/j.0253-3219.2024.hjs.47.020601.
- 2 Sun Y, Wang Q B, Li P C, *et al.* Indirect neutron radiography experiment on dummy nuclear fuel rods for pressurized water reactors at CMRR[J]. Nuclear Science and Techniques, 2024, 35(11): 189. DOI: 10.1007/s41365-024-01534-x.
- 3 刘少海, 陈永忠, 韩利锋, 等. PRP协议在反应堆仪控系统控制网络中的初步应用[J]. 核技术, 2014, 37(11): 110603. DOI: 10.11889/j.0253-3219.2014.hjs.37.110603.
LIU Shaohai, CHEN Yongzhong, HAN Lifeng, *et al.* Research on application of PRP to the control network for digital I & C of nuclear reactor[J]. Nuclear Techniques, 2014, 37(11): 110603. DOI: 10.11889/j.0253-3219.2014.hjs.37.110603.
- 4 Lall P, Pecht M G, Hakim E B. Influence of temperature on microelectronics and system reliability[M]. Boca Raton: CRC Press, 2020. DOI: 10.1201/9780138750879.
- 5 王婷. 基于数值仿真的板级电路热分析与优化设计[D]. 成都: 四川大学, 2021.
WANG Ting. Thermal analysis and optimal design of board-level circuit based on numerical simulation[D]. Chengdu: Sichuan University, 2021.
- 6 Joo Goh T, Seetharamu K N, Quadir G A, *et al.* Thermal investigations of microelectronic chip with non-uniform power distribution: temperature prediction and thermal placement design optimization[J]. Microelectronics International, 2004, 21(3): 29 - 43. DOI: 10.1108/13565360410549701.
- 7 Dang H, Zhang Q, Lu Y, *et al.* Optimizing the heat source

- layout of chips using bionic method: Reduction of junction temperature[J]. *International Journal of Heat and Mass Transfer*, 2022, **197**: 123321. DOI: 10.1016/j.ijheatmasstransfer.2022.123321.
- 8 Nan G, Xie Z H, Guan X N, *et al.* Constructal design for the layout of multi-chip module based on thermal-flow-stress coupling calculation[J]. *Microelectronics Reliability*, 2021, **127**: 114417. DOI: 10.1016/j.microrel.2021.114417.
- 9 Hong L Z, Gong H L, Ji H J, *et al.* Optimizing near-carbon-free nuclear energy systems: advances in reactor operation digital twin through hybrid machine learning algorithms for parameter identification and state estimation[J]. *Nuclear Science and Techniques*, 2024, **35** (8): 135. DOI: 10.1007/s41365-024-01494-2.
- 10 Gong H L, Li H, Xiao D H, *et al.* Reactor field reconstruction from sparse and movable sensors using Voronoi tessellation-assisted convolutional neural networks[J]. *Nuclear Science and Techniques*, 2024, **35** (5): 43. DOI: 10.1007/s41365-024-01400-w.
- 11 Mathew V K, Hotta T K. Experimental investigation of substrate board orientation effect on the optimal distribution of IC chips under forced convection[J]. *Experimental Heat Transfer*, 2021, **34**(6): 564 – 585. DOI: 10.1080/08916152.2020.1793827.
- 12 王彤, 刘紫静, 赵鹏程, 等. 基于 BP 神经网络的高通量铅铋反应堆中子通量最大化设计方法研究[J]. *核技术*, 2024, **47**(10): 100602. DOI: 10.11889/j.0253-3219.2024.hjs.47.100602.
WANG Tong, LIU Zijing, ZHAO Pengcheng, *et al.* Design method of high-flux lead-bismuth cooled reactor neutron flux maximization based on BP neural network [J]. *Nuclear Techniques*, 2024, **47**(10): 100602. DOI: 10.11889/j.0253-3219.2024.hjs.47.100602.
- 13 Otaki D, Nonaka H, Yamada N. Thermal design optimization of electronic circuit board layout with transient heating chips by using Bayesian optimization and thermal network model[J]. *International Journal of Heat and Mass Transfer*, 2022, **184**: 122263. DOI: 10.1016/j.ijheatmasstransfer.2021.122263.
- 14 Park S J, Bae B, Kim J, *et al.* Application of machine learning for optimization of 3-D integrated circuits and systems[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2017, **25**(6): 1856 – 1865. DOI: 10.1109/TVLSI.2017.2656843.
- 15 Wang C, Vafai K. Heat transfer enhancement for 3D chip thermal simulation and prediction[J]. *Applied Thermal Engineering*, 2024, **236**: 121499. DOI: 10.1016/j.applthermaleng.2023.121499.
- 16 Wang F Y, Wang D W, Deng Q, *et al.* Investigation on the thermal characteristics of electronic system and prediction of chip temperature by machine learning[J]. *Nuclear Engineering and Technology*, 2025, **57**(1): 103159. DOI: 10.1016/j.net.2024.08.028.
- 17 Sekeroglu B, Ever Y K, Dimililer K, *et al.* Comparative evaluation and comprehensive analysis of machine learning models for regression problems[J]. *Data Intelligence*, 2022, **4**(3): 620 – 652. DOI: 10.1162/dint_a_00155.
- 18 Agatonovic-Kustrin S, Beresford R. Basic concepts of artificial neural network (ANN) modeling and its application in pharmaceutical research[J]. *Journal of Pharmaceutical and Biomedical Analysis*, 2000, **22**(5): 717 – 727. DOI: 10.1016/S0731-7085(99)00272-1.
- 19 Chen X Y, Xiao M Z, Kang D W, *et al.* Prediction of geometric characteristics of melt track based on direct laser deposition using M-SVR algorithm[J]. *Materials*, 2021, **14**(23): 7221. DOI: 10.3390/ma14237221.
- 20 Singh A. An overview of the optimization modelling applications[J]. *Journal of Hydrology*, 2012, **466**: 167 – 182. DOI: 10.1016/j.jhydrol.2012.08.004.
- 21 Gad A G. Particle swarm optimization algorithm and its applications: a systematic review[J]. *Archives of Computational Methods in Engineering*, 2022, **29**(5): 2531 – 2561. DOI: 10.1007/s11831-021-09694-4.
- 22 张志文, 刘伯威, 张继园, 等. 麻雀搜索算法-粒子群算法与快速扩展随机树算法协同优化的智能车辆路径规划[J]. *中国机械工程*, 2024, **35**(6): 993 – 999, 1009.
ZHANG Zhiwen, LIU Bowei, ZHANG Jiyuan, *et al.* Cooperative optimization of intelligent vehicle path planning based on PSO-SSA and RRT[J]. *China Mechanical Engineering*, 2024, **35**(6): 993 – 999, 1009.