

具有宽电源电压的CMOS电压基准设计*

李强^{1,2} 杨媛^{1*} 邢文彬¹ 邵思琪¹ 张国良¹ 王婷婷¹ 赵博³

(¹ 西安理工大学 自动化与信息工程学院, 西安, 710048) (² 包头师范学院 物理科学与技术学院, 内蒙古, 包头, 014030) (³ 中国广核新能源控股有限公司, 北京, 10070)

2024-03-06 收稿, 2024-04-29 收改稿

摘要: 传统CMOS电压基准的输出电压随电源电压的变化较大, 为了满足电压基准的精度要求, 传统CMOS电压基准的电源电压工作范围就会受到限制。本文提出了一种宽电源电压CMOS电压基准电路, 通过减小电压基准的偏置电流随电源电压的变化, 提高电压基准输出电压的精度。此外, 电压基准电路未使用运算放大电路和双极型晶体管, 缩小了芯片面积。所提出的电压基准采用0.18 μm CMOS工艺进行流片, 芯片面积仅为0.026 mm^2 。仿真和测试结果表明: 当电源电压从1.8 V至5 V变化, 电压基准的输出电压变化了约0.176%/V。当温度从-25~125°C范围内变化, 输出电压的温度系数约为 $82.78 \times 10^{-6} \text{ V/}^\circ\text{C}$ 。电源噪声的频率为1 kHz时, 输出电压的电源抑制比为-60 dB。

关键词: CMOS电压基准; 宽电源电压; 低功耗**中图分类号:** TN43 **文献标识码:** A **文章编号:** 1000-3819(2024)05-0455-06

A CMOS Voltage Reference with Wide Power Supply

LI Qiang^{1,2} YANG Yuan¹ XING Wenbin¹ SHAO Siqi¹ ZHANG Guoliang¹WANG Tingting¹ ZHAO Bo³

(¹ Department of Electronic Engineering, Xi'an University of Technology, Xi'an, 710048, CHN)

(² School of Physical Science and Technology, Baotou Teachers' College, Baotou, Neimenggu, 014030, CHN)

(³ China General Nuclear Power Corporation, Beijing, 10070, CHN)

Abstract: The output voltage of conventional CMOS voltage references varies greatly with the supply voltage, and in order to meet the accuracy requirements, the supply voltage range of conventional CMOS voltage references is limited. In this paper, a CMOS voltage reference with wide supply voltage was proposed. The output voltage accuracy of the voltage reference was improved by reducing the variation of the bias current. In addition, operational amplifier circuits and bipolar transistors were not used in the voltage reference circuit, which reduced the chip area. The proposed voltage reference has been fabricated using a 0.18 μm CMOS process and the die size is 0.026 mm^2 . The simulated and measured results show that the output voltage of the voltage reference varies about 0.176%/V as the supply voltage changes from 1.8 V to 5 V. When the temperature varies from -25°C to 125°C, the temperature coefficient of the output voltage is about $82.78 \times 10^{-6} \text{ V/}^\circ\text{C}$. The power supply rejection ratio of the output voltage is -60 dB when the frequency of the power supply noise is 1 kHz.

Key words: CMOS voltage reference; wide power supply voltage; low power consumption

* 基金项目: 国家自然科学基金资助项目(62174134); 西安市重点产业链关键核心技术攻关项目(23LLRH0044); 包头师范学院科研项目(BSYKJ2023-ZY07)

** 联系作者: E-mail: yangyuan@xaut.edu.cn

引言

电压基准电路是大多数模拟和混合信号片上系统的重要单元。由于它不受电源电压、工艺参数以及环境温度变化的影响,被广泛用于电源管理芯片、模数转换器、线性稳压器和存储器等,为芯片提供稳定的基准电压^[1-2]。

传统的电压基准电路通过将具有负温度系数的基极-发射极电压(V_{BE})与正温度系数的基极-发射极电压差(ΔV_{BE})以适当的权重相加,得到具有零温度系数的输出电压^[3-5]。但其结构包含运算放大器以及双极结型晶体管,导致电压基准的面积和功耗较大。Wang 等^[6]提出的电压基准采用两个串行连接的不同阈值 NMOS 晶体管构成,这两个晶体管均工作在亚阈值区。虽然降低了功耗,但输出电压的温度系数和芯片面积较大,且电路结构比较复杂。Huang 等在传统带隙电路的基础上,通过使用具有温度补偿的电流源来降低基准电压的温度系数,同时使用伪级联的电流镜和线性灵敏度增强电路提高电流镜的精度^[7]。该结构有效降低了带隙基准电路的功耗,但是由于使用了三极管和大量的电阻,导致面积较大。Ka 等提出了一种基于 NMOS 和 PMOS 栅极-源极电压加权的 CMOS 电压基准电路,且使用少量电阻,因此,面积和功耗较低^[8]。但输出电压随电源电压的变化较大,该结构不适用于宽电压范围和高电源抑制比的应用场合^[9]。

针对上述文献中的不足,本文提出了一种宽电源电压低功耗 CMOS 电压基准,利用 NMOS 和 PMOS 管阈值电压及迁移率随温度的变化,得到 NMOS 和 PMOS 之间的栅极-源极电压加权差,从而产生具有零温度系数基准电压,在具有宽的电源电压范围下兼顾了功耗和面积等性能。

1 传统的电压基准电路

图 1 为传统的电压基准产生电路^[7],该电路由电流偏置电路和核心电路两部分构成。电流偏置电路由 PMOS(M_1 、 M_2)、NMOS(M_3 、 M_4)及电阻 R_B 组成,产生的基准电流为 I_B 。因此, I_B 可表示为:

$$I_B = \frac{2M}{\mu_p C_{ox} R_B^2} \left[\frac{1}{\sqrt{(W/L)_{M2}}} - \frac{1}{\sqrt{(W/L)_{M1}}} \right]^2 \quad (1)$$

由式(1)可以看出,基准电流 I_B 可以通过调节 R_B 或改变 M_1 和 M_2 的宽长比(W/L)进行调节。当考虑 MOS 管的沟道长度调制效应时, I_B 会随电源电压 V_{DD} 的增加而增大。

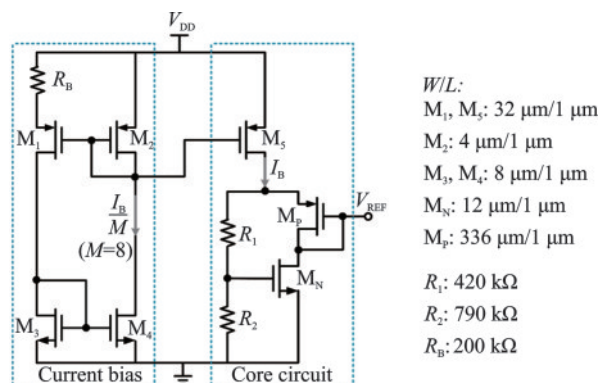


图1 传统的电压基准电路

Fig.1 Conventional voltage reference circuit

核心电路由偏置电流源(M_5)、分压电阻(R_1 和 R_2)以及 MOS 管(M_N 和 M_P) 构成,其输出电压为 V_{REF} 。因此, V_{REF} 可表示为:

$$V_{REF} = (1 + R_1/R_2) V_{GSN} - |V_{GSP}| \quad (2)$$

其中 V_{GSN} 和 V_{GSP} 分别为 M_N 和 M_P 的栅-源电压。采用图 1 中的器件参数, V_{REF} 可获得较低的温度系数。

图 2 所示为基准电压 V_{REF} 随偏置电流 I_B 变化的原理图。由基尔霍夫电流和电压定律可知,当偏置电流 I_B 变化 ΔI_B 时,基准电压 V_{REF} 的变化 ΔV_{REF} 可表示为:

$$\Delta V_{REF} = \Delta I_B \frac{(R_1 + R_2)/R_2 - G_{MN}/G_{MP}}{1/R_2 + G_{MN}} \quad (3)$$

其中 G_{MN} 和 G_{MP} 分别为 M_N 和 M_P 的跨导。由式(3)可以看出,当 $(R_1 + R_2)/R_2 = G_{MN}/G_{MP}$ 时, V_{REF} 不随 I_B 发生变化。为了减小 V_{REF} 随温度的变化,通常 $(R_1 + R_2)/R_2 = G_{MN}/G_{MP}$ 无法满足。因此,传统电压基准的输出电压会随电源电压变化,且这种变化会随器件沟道长度的减小而变得更加明显。

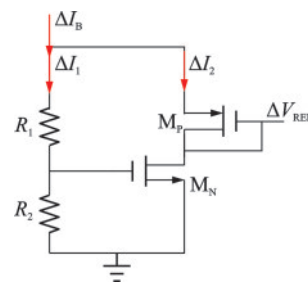


图2 V_{REF} 随 I_B 变化的原理图

Fig.2 Schematic of V_{REF} varies with I_B

图3是传统电压基准电路的 I_B 和 V_{REF} 随电源电压 V_{DD} 变化的仿真结果。从仿真结果可以看出,当 V_{DD} 从1.8 V到5 V变化, I_B 从616 nA变化到684 nA,变化了68 nA。由此引起 V_{REF} 从698.26 mV变化到716.87 mV,变化了18.61 mV。这样的电压基准可能无法满足高精度电路应用的需求。

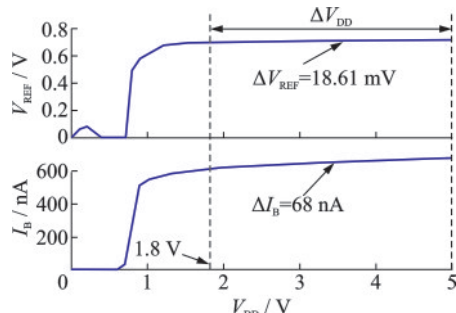


图3 I_B 和 V_{REF} 随 V_{DD} 变化的仿真

Fig.3 Simulation of the variation of I_B and V_{REF} with V_{DD}

2 改进的电压基准电路

针对电压基准的输出电压随电源电压变化较大的问题,本文提出了改进的电压基准电路,如图4所示。该电路主要包含三部分:启动电路、电流偏置电路和核心电路。为了测试,在电压基准的输出增加了一级具有一定驱动能力的缓冲器。启动电路由PMOS(M_1)、NMOS(M_2 和 M_3)以及电阻(R_3 和 R_4)组成。电流偏置电路由NMOS(M_5 、 M_8 和 M_9)、PMOS(M_4 、 M_6 和 M_7)以及电阻(R_B)构成。 M_5 使得 M_8 和 M_9 的漏源电压相等,因此 M_6 和 M_7 的电流几乎相等,从而降低 V_{DD} 对基准电流 I_B 的影响。核心电路由NMOS(M_N)、PMOS(M_P)、电流源(M_{10})以及电阻(R_1 和 R_2)组成。当电源 V_{DD} 上电时, M_1 和 M_2 处于关断状态,而 M_3 处于导通状态。 M_4 的栅极电压 V_B 被拉低,从而使电流偏置电路的输出电流 I_B 逐渐增加至稳定的输出值。 M_{10} 为核心电路提供稳定的电流源,从而使核心电路输出稳定的基准电压 V_{REF} 。此时, M_1 和 M_2 导通, M_3 关断,电压基准电路完成启动。由于 R_1 和 R_2 的阻值较大,因此流过 M_N 和 M_P 的电流约等于 I_B 。

改进型电压基准电路的 V_{REF} 可表示为:

$$V_{REF} = \left(1 + \frac{R_1}{R_2}\right) \left[V_{thn} + \sqrt{\frac{2I_B}{\mu_n C_{ox} (W/L)_{MN}}} \right] - \left[|V_{thp}| + \sqrt{\frac{2I_B}{\mu_p C_{ox} (W/L)_{MP}}} \right] \quad (4)$$

其中 V_{thn} 和 V_{thp} 分别为 M_N 和 M_P 的阈值电压, μ_n 和 μ_p 分别为 M_N 和 M_P 的载流子迁移率。

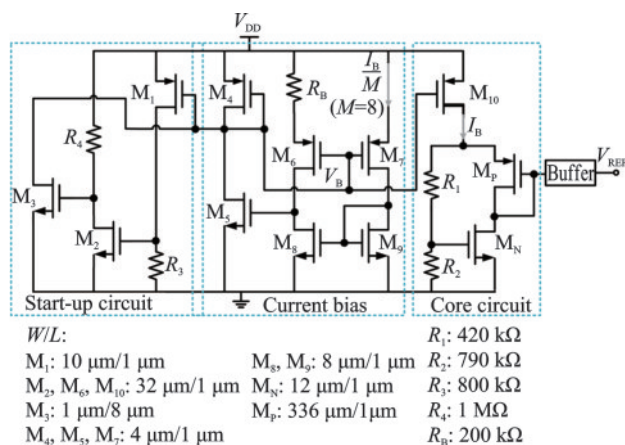


图4 本文的改进型电压基准电路

Fig.4 Improved voltage reference circuit of this work

当温度为 T_0 时,基准电流 I_B 可表示为:

$$I_{B,T_0} = \frac{2M}{\mu_{p,T_0} C_{ox} R_B^2} \left[\frac{1}{\sqrt{(W/L)_{M7}}} - \frac{1}{\sqrt{(W/L)_{M6}}} \right]^2 \quad (5)$$

其中 M 为比例系数。

MOS管阈值电压和迁移率的温度特性可表示为:

$$V_{thn,T} = V_{thn,T_0} - \theta_{vthn}(T - T_0) \quad (6)$$

$$V_{thp,T} = V_{thp,T_0} - \theta_{vthp}(T - T_0) \quad (7)$$

$$\mu_{n,T} = \mu_{n,T_0} \left(\frac{T}{T_0} \right)^{-\theta_{\mu n}} \quad (8)$$

$$\mu_{p,T} = \mu_{p,T_0} \left(\frac{T}{T_0} \right)^{-\theta_{\mu p}} \quad (9)$$

其中 θ_{vthn} 和 θ_{vthp} 分别为 V_{thn} 和 V_{thp} 的温度系数, $\theta_{\mu n}$ 和 $\theta_{\mu p}$ 分别为 μ_n 和 μ_p 的温度系数。

把式(6)-(9)代入式(4),然后将式(4)对温度 T 求导可得 V_{REF} 的温度系数为:

$$\frac{\partial V_{REF}}{\partial T} = \left[\theta_{vthp} - \left(1 + \frac{R_1}{R_2}\right) \theta_{vthn} \right] + \left[\left(1 + \frac{R_1}{R_2}\right) \times \sqrt{\frac{I_B}{2\mu_{n,T_0} C_{ox} (W/L)_{MN}}} \frac{\theta_{\mu n}}{T_0} \left(\frac{T}{T_0}\right)^{-\theta_{\mu n}-1} - \sqrt{\frac{I_B}{2\mu_{p,T_0} C_{ox} (W/L)_{MP}}} \frac{\theta_{\mu p}}{T_0} \left(\frac{T}{T_0}\right)^{-\theta_{\mu p}-1} \right] \quad (10)$$

由式(10)可知,基准电压 V_{REF} 随温度的变化由两部分决定。一部分是由阈值电压随温度变化引入的线性项,另一部分是由迁移率随温度变化产生的非线性项。当 $(\partial V_{REF}/\partial T)|_{T=T_0}=0$ 时,可由上述两

部分得出:

$$R_1/R_2 = \theta_{vthp}/\theta_{vthn} - 1 \quad (11)$$

$$\sqrt{\frac{(W/L)_{MP}}{(W/L)_{MN}}} = \frac{\theta_{vthn}}{\theta_{vthp}} \frac{\theta_{\mu p}}{\theta_{\mu n}} \sqrt{\frac{\mu_{n,T_0}}{\mu_{p,T_0}}} \left(\frac{T}{T_0}\right)^{\theta_{\mu n} - \theta_{\mu p}} \quad (12)$$

式(11)和(12)表明,通过设置 R_1/R_2 和 $(W/L)_{MP}/(W/L)_{MN}$ 的值可使 V_{REF} 的温度系数在温度 T_i 处为零。依据式(11)和(12)的关系,再结合软件仿真,可得到优化的器件参数,如图4所示。

图5是本文提出的改进型电压基准与传统的电压基准的仿真结果对比。可以看出,当电源电压从1.8 V至5 V变化时,传统电压基准的 I_B 变化68 nA,而改进型电压基准的 I_B 变化1 nA;传统电压基准的 V_{REF} 变化18.61 mV,而改进型电压基准的 V_{REF} 变化1.44 mV。由此可见,本文提出的改进型电压基准电路降低了输出电压 V_{REF} 随电源电压的变化。

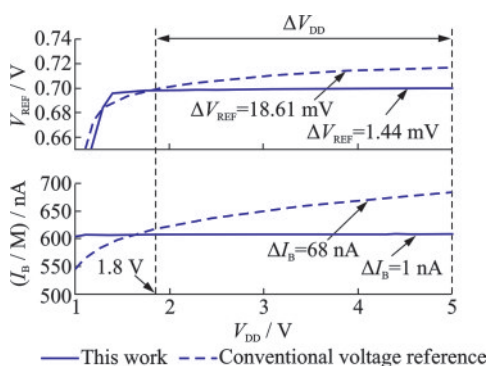


图5 改进型电压基准和传统电压基准的仿真

Fig.5 Simulation of the improved voltage reference and conventional voltage reference

图6是改进型电压基准电路的电源抑制比($PSPP$)仿真结果。仿真条件为:电源电压为5 V,电源噪声频率范围为1 Hz~1 GHz。从仿真结果可以看出,频率为1 kHz处的电源抑制比为-60 dB,频率为10 kHz时的电源抑制比为-42 dB。

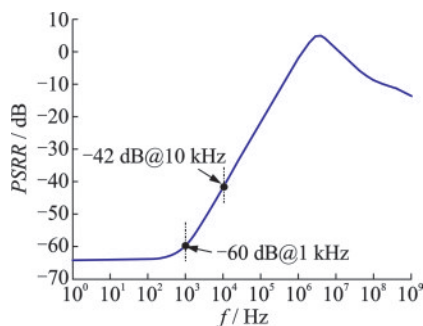


图6 电源抑制比仿真

Fig.6 Simulation of the power supply rejection ratio

3 测试结果与分析

本文提出的改进型电压基准电路采用0.18 μm CMOS工艺进行流片。芯片的显微照片如图7所示,芯片面积为0.026 mm²。电压基准芯片的电源电压范围为1.8~5.0 V,输出电压为700 mV,静态电流为21.3 μA(含缓冲器的静态电流约5 μA)。

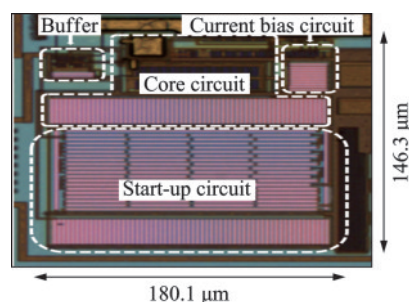


图7 芯片显微照片

Fig.7 Chip micrograph

图8是电压基准电路的启动测试结果。测试条件为:电源电压 V_{DD} 从0 V上升到4 V,上升速率为0.06 V/ms。当 V_{DD} 上升至0.6 V时, V_{REF} 开始启动。经过5.3 ms后, V_{REF} 输出稳定的电压712 mV。

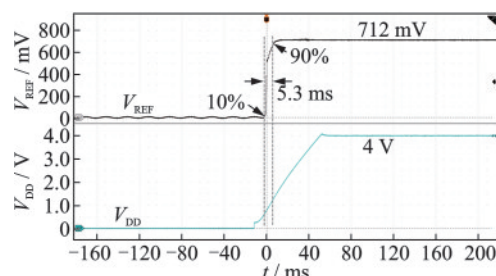


图8 启动性能测试

Fig.8 Measurement of the start-up performance

图9是 V_{REF} 的温度特性测试结果。测试的温度范围为-25~125℃,三颗芯片输出电压的温度系数分别为 $82.78 \times 10^{-6} \text{ V/}^\circ\text{C}$ 、 $66.25 \times 10^{-6} \text{ V/}^\circ\text{C}$ 和 $104.67 \times 10^{-6} \text{ V/}^\circ\text{C}$ 。由于该芯片没有使用修调工艺,因此不同芯片的输出电压会有一定的差异。

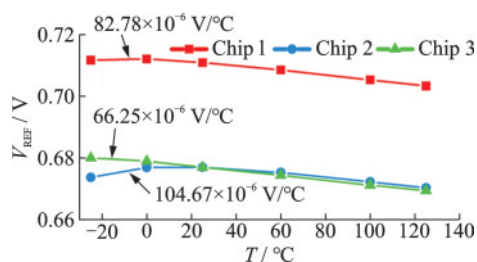


图9 V_{REF} 的温度特性测试

Fig.9 Measurement of the temperature characteristics of V_{REF}

图 10 为 V_{REF} 随电源电压 V_{DD} 变化的测试结果。可以得出,当 V_{DD} 从 1.8 V 至 5 V 变化时,三颗芯片的 V_{REF} 随 V_{DD} 的变化率分别为 0.176%/V,0.23%/V 和 0.138%/V。因此,本文提出的改进型电压基准电路可有效降低输出电压随电源电压的变化。此外,当电源电压高于 3 V 时, V_{REF} 表现出了非线性特性。该非线性特性可能是因为本文使用 3.3 V 的 I/O 在核心电路或者缓冲器中引入失调电流,从而导致测得的 V_{REF} 在高于 3 V 的电源情况下有下降的趋势。在后续的研究中,可以通过优化电路和采用新工艺来减小非线性变化。

表 1 为本文的改进型电压基准与相关文献中的

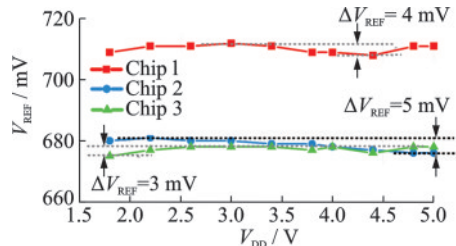


图 10 V_{REF} 随 V_{DD} 变化的测试

Fig.10 Measurement of the V_{REF} variation with V_{DD}

电压基准对比。从表中可以看出,本文提出的电压基准具有宽的电压变化范围和小的芯片面积。由于本文的电压基准电路没有使用修调技术,因此温漂系数和线性调整率略大一些。

表 1 本文电压基准与相关报道的性能比较

Tab.1 Comparison of the proposed voltage reference with related reports

Ref.	[1]	[3]	[7]	This work
Process	180 nm CMOS	45 nm CMOS	180 nm deep N-well	180 nm CMOS
V_{DD}/V	3.2-3.7	1.05	2.0-5.0	1.8-5.0
$T/^{\circ}C$	-25-125	-40-120	-45-125	-25-125
Operating current/ μA	409.00	15.12	0.04	21.30
Output range/V	2.14	0.50	1.20	0.70
Temperature coefficient/ $(\times 10^{-6}/^{\circ}C)$	1.557	24.400	32.700	82.780
Line regulation rate/ $(\%/V)$	0.0146	0.1500	0.0580	0.1760
Power supply rejection ratio/dB	-56.5@1 kHz	-60.0@1 kHz	-85.0@100 Hz	-60.0@1 kHz
Chip area/ mm^2	0.2560	0.0798	0.0630	0.0260

4 结 论

本文提出了一种改进型的电压基准电路,与传统电压基准电路相比,具有宽的电源电压范围和小的芯片面积。电压基准电路输出电压 700 mV,静态电流 21.3 μA (含缓冲器的静态电流约 5 μA)。测试结果表明:当电源电压从 1.8 V 至 5 V 变化,电压基准的输出变化了约 0.176%/V。在 -25~125 $^{\circ}C$ 温度范围内输出电压的温漂系数约 82.78×10^{-6} V/ $^{\circ}C$ 。当电源噪声的频率为 1 kHz 时,电源抑制比为 -60 dB。因此,本文的改进型电压基准电路可满足宽电源电压和低功耗应用的需求。

参 考 文 献

[1] Huang S L, Li M D, Li H, et al. A sub-1 ppm/ $^{\circ}C$ bandgap voltage reference with high-order temperature compensation in 0.18- μm CMOS process [J]. IEEE

Transactions on Circuits and Systems I: Regular Papers, 2022, 69(4): 1408-1416.
[2] Liu N Q, Geiger L R, Chen D. Sub-ppm/ $^{\circ}C$ bandgap references with natural basis expansion for curvature cancellation[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2021, 68(9): 3551-3561.
[3] Nagulapalli R, Palani R K, and Bhagavatula S. A 24.4 ppm/ $^{\circ}C$ voltage mode bandgap reference with a 1.05 V supply[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2021, 68(4): 1088-1092.
[4] 刘小妮, 刘斌, 张志浩, 等. 一种高电源电压抑制比的带隙基准电压源设计[J]. 固体电子学研究与进展, 2021, 41(3): 217-222.
[5] Chen K, Petruzzi L, Hulfachor R, et al. A 1.16-V 5.8-to-13.5-ppm/ $^{\circ}C$ curvature-compensated CMOS bandgap reference circuit with a shared offset-cancellation method for internal amplifiers[J]. IEEE Journal of Solid-state Circuits, 2021, 56(1): 267-276.
[6] Wang L D, Zhan C C. A 0.7-V 28-nW CMOS

subthreshold voltage and current reference in one simple circuit[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2019, 66(9): 3457-3466.

- [7] Huang W, Liu L, and Zhu Z. A sub-200 nW all-in-one bandgap voltage and current reference without amplifiers [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2021, 68(1): 121-125.
- [8] Leung K N, Mok P K T. A CMOS voltage reference based on weighted ΔV_{GS} for CMOS low-dropout linear regulators [J]. IEEE Journal of Solid-state Circuits, 2003, 38(1): 146-150.
- [9] 肖皓洋, 罗萍, 杨朋博, 等. 一种高电源抑制比 LDO [J]. 微电子学, 2020, 50(1): 60-64.



李 强 (LI Qiang) 男, 1984 年生, 内蒙古包头人, 2007 年获包头师范学院物理学学士学位, 2010 年获西安理工大学微电子学和固体电子学硕士学位, 现在西安理工大学攻读电子工程博士学位。研究方向为电源管理芯片、宽禁带半导体驱动和保护技术。



杨 媛 (YANG Yuan) 女, 1974 年生, 陕西西安人, 西安理工大学教授。研究方向为数模拟混合集成电路设计、轨道电路系统设计、大功率 IGBT 和宽禁带半导体的栅极驱动和保护技术。

(上接第 405 页)

- [18] Abdo I, Gomez C, Wang C, et al. A bi-directional 300-GHz-band phased-array transceiver in 65-nm CMOS with outphasing transmitting mode and LO emission cancellation [J]. IEEE Journal of Solid-state Circuits, 2022, 57(8): 2292-2308.
- [19] Jalili H, Momeni O. A 0.34-THz wideband wide-angle 2-D steering phased array in 0.13- μm SiGe BiCMOS [J]. IEEE Journal of Solid-state Circuits, 2019, 54(9): 2449-2461.
- [20] Yang Y, Gurbuz O D, Rebeiz G M. An eight-element 370-410-GHz phased-array transmitter in 45-nm CMOS SOI with peak EIRP of 8-8.5 dBm [J]. IEEE Transactions on Microwave Theory and Techniques, 2016, 64(12): 4241-4249.
- [21] Deng X, Li Y, Li J, et al. A 320-GHz 1×4 fully integrated phased array transmitter using 0.13- μm SiGe BiCMOS technology [J]. IEEE Transactions on Tera-

hertz Science and Technology, 2015, 5(6): 930-940.

- [22] Shin W, Ku B H, Inac O, et al. A 108-114 GHz 4×4 wafer-scale phased array transmitter with high-efficiency on-chip antennas [J]. IEEE Journal of Solid-state Circuits, 2013, 48(9): 2041-2055.
- [23] Zhang J C, Dai B L, Meng X G, et al. 24.2 A scalable 134-to-141 GHz 16-element CMOS 2D $\lambda/2$ -spaced phased array [C]. 2024 IEEE International Solid-state Circuits Conference. San Francisco: IEEE, 2024: 414-416.



张季聪 (ZHANG Jicong) 男, 1998 年生, 山东济宁人, 2020 年本科毕业于电子科技大学, 目前于该校攻读博士学位。主要研究方向包括太赫兹有源相控阵芯片、新型太赫兹无源器件以及太赫兹高速无线通信前端等。

(上接第 449 页)

- [13] 韩郑生. 抗辐射集成电路概论[M]. 北京:清华大学出版社, 2011.
- [14] 夏晓娟, 郝梦良, 丁玉婷. 超低静态电流 LDO 的电路设计[J]. 电子器件, 2020, 44(4): 830-836.
- [15] 申梦园, 刘云涛, 杨璐. 一款高电源抑制比的 LDO 的设计[J]. 信息通信, 2020, 207(3): 43-45.
- [16] 徐佳丽, 杨阳, 黄文刚. 一种 0.6 μm SOI 抗辐射运算放大器的版图设计[J]. 微电子学, 2013, 44(3): 337-340.
- [17] 高武. 抗辐射集成电路设计理论与设计[M]. 北京:清华大学出版社, 2018.

- [18] 米丹, 左玲玲. 体硅 CMOS 集成电路抗辐射加固设计技术[J]. 电子与封装, 2016, 16(9): 40-43.



邹文英 (ZOU Wenying) 女, 1978 年生, 湖北黄冈人, 本科, 高级工程师, 主要从事大规模及抗辐射集成电路设计