



一款用于多媒体处理的异构多核系统芯片的可测试性设计

刘辉聪^{①②}, 孟海波^①, 李华伟^{①*}, 邓家超^{①②}, 李晓维^①

① 计算机体系结构国家重点实验室, 中国科学院计算技术研究所, 北京 100190

② 中国科学院大学计算机与控制学院, 北京 100049

* 通信作者. E-mail: lihuawei@ict.ac.cn

收稿日期: 2014-04-29; 接受日期: 2014-08-14

国家自然科学基金 (批准号: 61176040, 61204047) 和国家重点基础研究发展计划 (973) (批准号: 2011CB302501) 资助项目

摘要 随着集成电路工艺的发展, 系统芯片 (SoC) 集成已成为超大规模集成电路的主流设计方法. SoC 设计具有强调自顶向下设计、突出设计重用性、重视低功耗的特点, 给集成电路的可测试性设计带来了严峻的挑战. 本文针对一款用于多媒体处理的异构多核系统芯片 DPU-m, 提出了一套完整的可测试性设计方案, 支持 3 种工作模式: 功能模式、存储器内建自测试模式以及扫描测试模式, 并进行了设计实现和评估. 针对逻辑电路的可测试性设计, 采用自顶向下的模块化设计思想, 提出并实现了一种分布式与多路选择器相结合的测试访问机制, 实验结果表明, DPU-m 逻辑电路单固定型故障的测试覆盖率为 98.58%, 满足设计方要求; 针对实速时延测试的需求, 设计并实现了基于片上时钟生成器的时钟控制单元, 可在片上支持不同时钟域、6 种时钟频率的实速时延测试; 针对存储器电路的自测试, 设计并实现了串并行结合的存储器内建自测试结构, 在最大测试功耗的约束下有效地减少了测试时间; 进一步设计了顶层测试结果输出电路, 满足了设计方要求的诊断分辨率, 若以 100 MHz 的频率进行测试, 测试时间为 14 ms.

关键词 可测试性设计 测试访问机制 测试调度 片上时钟控制单元 存储器内建自测试

1 引言

随着集成电路工艺的发展, 芯片上集成的晶体管数量日益增多, 芯片的设计越来越复杂; 与此同时, 科技的发展和市场的竞争使得芯片开发者必须追求更短的上市时间和更高的性能, 系统芯片 SoC (system-on-chip)^[1] 集成已成为超大规模集成电路的主流设计方法.

与传统 ASIC 的设计方法相比, SoC 设计具有如下特点: 强调自顶向下设计、突出设计重用性、重视低功耗^[2~5]. SoC 集成设计方式的确迎合了市场的需求, 降低了系统的设计难度, 但同时也给 SoC 的测试^[6] 带来了严峻的挑战. 从宏观的角度来看, 造成该问题的原因如下^[7]: (1) 从 SoC 设计者的角度而言, 获得的 IP 核往往是从其他厂商购买而来, 而非自行设计, IP 核供应商一般不提供有关 IP 核实现的具体信息. 因此, 对于 SoC 设计者而言, IP 核成为了测试中的黑盒, 无法结合系统情况对其进行可测试性设计等一系列测试优化工作, 测试覆盖率和测试时间都势必受到影响; (2) IP 核的形式和

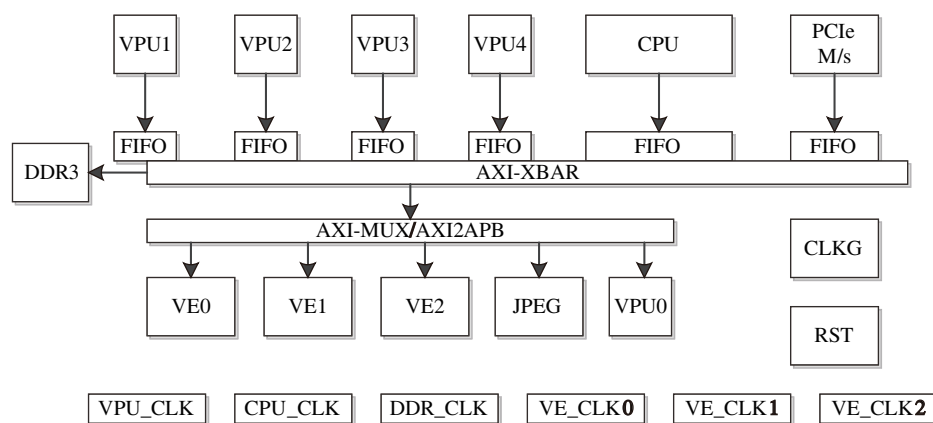


图 1 DPU-m 芯片拓扑结构

Figure 1 The topology of DPU-m

功能多种多样, 存在多种功能和特性的电路. 在传统测试中, 针对不同电路的特性学术界和工业界给出了不同的解决方案, 如扫描测试、内建自测试、边界扫描测试等技术. 但是对于 SoC 这样的复杂环境, 在工程上实现支持多种测试方案和高故障覆盖率的可测试性设计结构变得极为困难. (3) 集成电路测试的资源极为有限. 如今 ATE(automatic test equipment) 的发展越来越跟不上集成电路飞速扩大的规模, 测试端口数目不足、通道深度不够以及时钟频率较低等问题对 SoC 的测试环境都是极为不利的. 虽然芯片的生产成本在不断降低, 但是芯片的测试成本并没有随之降低, 在最近几年里反而有增加的趋势, 预计在未来几年两种成本将持平 [8].

DPU-m 芯片是一款由中国科学院计算技术研究所研发的用于多媒体处理的异构多核系统芯片. 片上包括一个通用处理器核和多个视频加速处理器核, 具有数据处理能力高、功耗低等特点, 可应用于三屏网络多媒体转换、实时监控等领域. DPU-m 芯片片上集成了 CPU、VPU、PCIe 等多个模块, 启动方式为 SPI 启动, 其总体结构如图 1 所示.

由于 DPU-m 芯片片上包括 110 万个触发器、700 多块 RAM, 设计规模大, 复杂度高, 导致可测试性设计面临很大的挑战. 技术挑战主要表现为: (1) 如何在测试功耗的约束下 [9], 合理地规划测试调度流程, 降低测试成本, 同时保证测试质量; (2) 如何利用片上时钟生成单元提供的快速时钟完成低成本的实速测试; (3) 如何在测试功耗的约束下, 以较小的成本完成存储器测试. 最后, 无论是 DPU-m 设计本身还是本文借助的商业设计工具都已经非常复杂, 工程中存在各种不可预期的设计问题和工具问题, 如何保证可测试性设计周期的可控性, 降低工程实践风险, 也是需要关注的问题. 为了达到这些目标, 本文对该款芯片进行了可测试性设计和测试向量生成工作.

2 SoC 可测试性设计体系结构

自从学术界提出能够简化测试访问和测试应用的 SoC 嵌入式内核的模块化测试, 工业界就对它抱有足够的重视, 并且在设计中越来越多地使用了该方案 [10~13]. 该方案中最主要的 3 个概念是: 测试外壳 (test wrapper)^[14]、测试访问机制 TAM (test access mechanism) 和测试调度. 为了便于完成嵌入式芯核的模块化测试, 该模块必须要从周围的逻辑中分立出来, 同时必须要保证从 SoC 的 IO 端口能进行测试访问. 测试外壳用来将嵌入式芯核从其他逻辑中隔离出来, 测试访问机制用来在 SoC 引脚

表 1 DPU-m 芯片触发器数量表
Table 1 The number of registers in DPU-m

Module	Number of registers (k)	Number of modules	Sum of registers (k)
CPU	33	1	33
VPU	155	5	775
VE	28	3	84
DDR3	144	1	144
PCIe	45	1	45
JPEG	14	1	14
APB	3.3	1	3.3
AXI4X4	1.3	1	1.3
AXI6X1	1.2	1	1.2
Sum			1146

和待测核之间传输测试向量和测试响应, 测试调度的主要目的是尽量降低测试的时间开销.

由于现代集成电路系统中往往包含了多个独立的芯核 (如 CPU、VPU、memory 等), 所以在对 SoC 芯片进行测试时, 需要进行模块化的测试. 为了实现这种模块化的测试, 需要将测试激励数据从芯片外部传输到芯片内部, 并将测试响应数据从芯片内部传输到芯片外部进行分析, 测试访问机制 (TAM) 用来完成此功能. 下面介绍 3 种基本的测试访问结构 [15].

基于多路选择器的测试访问结构 [16,17] 是一种分时复用的结构, 所有待测芯核进行串行测试, 同时为了最小化测试成本, 设计者应该尽可能多地使用测试带宽, 以达到减少扫描链长度的目的. 另外一种常见的测试访问机制为菊花链结构, 在该结构中每个核的扫描链与另外一个核的扫描链首尾相连形成一个较长的扫描链, 同时为了减少有效扫描链的长度, 在每个核中引入旁路逻辑, 通过选择器控制使用内部的扫描链或旁路触发器. 第三种常见的测试访问机制为分布式结构, 在该结构中每个芯核同时获得各自的扫描链, 所以芯片顶层扫描链的数量至少为芯核的数量. 该结构的有效性依赖于扫描端口的分配方式, 经过该测试访问结构的数据量等于触发器的数量乘以测试向量数, 所以如果分配给每个核的测试端口数量正比于每个核测试所需要的数据量时, 扫描带宽得到合理的分配. 为了有效地利用扫描带宽, 在每个芯核内部尽量使用相同长度的扫描链, 这使得每个核之间的扫描链长度不一样. 上述三种结构有各自的优缺点, 因此上述结构的组合形式应用于实际的系统中. 例如, 测试总线结构采用了多路选择器结构和分布式结构 [18]; 测试轨道结构采用了菊花链结构和分布式结构 [19].

3 DPU-m 芯片逻辑电路可测试性设计

DPU-m 芯片是一款用于多媒体处理的异构多核系统芯片, 片上集成了多个 IP 核, 包括一个通用处理器核, 5 个视频处理器、一个 PCIe 核、一个 DDR3 控制器核、3 个视频预处理和后处理核等 15 个核. 芯片内部集成了 110 多万个触发器, 每个模块内部具体的触发器数量如表 1 所示; 芯片内部包括 6 个时钟, 分别为: CPU_CLK 频率 700 MHz, DDR_CLK 频率 400 MHz, VE_CLK0、VE_CLK1、VE_CLK2 频率均为 300 MHz, VPU_CLK 频率 300 MHz; 芯片拟采用 40 nm 的工艺流片. 鉴于该芯片的流片工艺先进, 工作频率较高, 本文需要对该芯片进行固定型故障和时延故障的测试生成.

表 2 VPU 模块压缩率、覆盖率、测试向量数量关系表

Table 2 The correlativity of test compression ratio, test coverage and the number of test patterns in VPU

Scan chain length	SI/SO	Scan chains	Compression ratio	Test coverage (%)	Test patterns
100	40	1505	37.6	99.32	18303
100	35	1505	43.0	99.32	18185
100	30	1505	50.2	99.32	18345
100	25	1505	60.2	99.32	18894
100	20	1505	75.3	99.31	20055

表 3 DDR3 模块压缩率、覆盖率、测试向量数量关系表

Table 3 The correlativity of test compression ratio, test coverage and the number of test patterns in DDR3

Scan chain length	SI/SO	Scan chains	Compression ratio	Test coverage (%)	Test patterns
100	40	1781	43.8	94.75	12082
100	35	1781	50.0	94.77	13565
100	30	1781	58.4	94.75	17587
100	25	1781	71.2	94.75	16590
100	20	1781	89.1	94.75	17749
100	15	1781	118.7	94.76	21406
100	10	1781	178.1	94.76	30878

DPU-m 芯片采用自顶向下模块化的设计策略, 该设计方法既可以提高芯片设计的可控性, 同时也可以提高后端物理设计的周期可控性. 同时, DPU-m 芯片逻辑电路的可测试性设计也采用模块化自顶向下的设计策略. 采用模块化的可测试性设计策略可以给该芯片设计带来很多好处: (1) 降低测试数据量, 降低测试成本. 根据 ITRS2011 的数据显示^[20], 在现代 SoC 设计中采用层次化和压缩设计可以大幅度得降低测试数据量的需求; (2) 与后端布局布线的流程兼容, 从而保证可测试性设计的周期; (3) 降低对服务器内存大小和性能的需求, 减少扫描链插入的时间; (4) 由于在模块级插入扫描链, 每次插入的时间比较短, 因此提高了可测试性设计的可调试性.

3.1 模块级覆盖率评估

本文采用 Synopsys 公司的 Design Compiler 工具实现模块级的扫描结构设计^[21]. 由于 DPU-m 芯片内部各个模块包含的触发器数量不同, 芯片顶层最多可以提供的扫描端口数量是 40 对, 而工具可以提供 10X-100X 的测试压缩比, 因此本文评估了各个模块测试压缩比与测试覆盖率、测试向量数的关系, 具体的数据如表 2 至表 7 所示. 表中第一列代表内部短链的长度, 第二列表示外部扫描端口数量, 第三列表示插入扫描链后内部扫描链的数量, 第四列代表扫描压缩率, 第五列为得到的测试覆盖率, 第六列表示生成的测试向量数量. 从这些表中可以观察到: 随着扫描压缩比的增加, 每个模块的测试覆盖率基本保证不变, 而测试向量数即测试时间会随之增加. 表中的数据将作为后续策划规划的依据, 在后续的测试规划中, 对于较小的模块, 采用尽量高的测试压缩率^[22], 对于较大的模块, 选择测试时间较短的测试压缩率.

表 4 PCIe 模块压缩率、覆盖率、测试向量数量关系表

Table 4 The correlativity of test compression ratio, test coverage and the number of test patterns in PCIe

Scan chain length	SI/SO	Scan chains	Compression ratio	Test coverage (%)	Test patterns
100	40	429	10.73	95.32	3767
100	35	429	12.26	95.32	4032
100	30	429	14.30	95.32	4409
100	25	429	17.16	95.33	4348
100	20	429	21.45	95.51	4552
100	15	429	28.60	95.30	5512
100	10	429	42.90	95.28	6668

表 5 CPU 模块压缩率、覆盖率、测试向量数量关系表

Table 5 The correlativity of test compression ratio, test coverage and the number of test patterns in CPU

Scan chain length	SI/SO	Scan chains	Compression ratio	Test coverage (%)	Test patterns
100	40	305	7.6	91.19	2233
100	35	305	8.7	91.20	2180
100	30	305	10.2	91.19	2100
100	25	305	12.2	91.17	2230
100	20	305	15.3	91.19	2384
100	15	305	20.3	91.18	2515
100	10	305	30.5	91.13	2964

表 6 JPEG 模块压缩率、覆盖率、测试向量数量关系表

Table 6 The correlativity of test compression ratio, test coverage and the number of test patterns in JPEG

Scan chain length	SI/SO	Scan chains	Compression ratio	Test coverage (%)	Test patterns
100	30	276	9	97.17	941
100	25	276	11	97.16	966
100	20	276	14	97.16	860
100	15	276	18	97.16	1092
100	10	276	28	97.16	1263

3.2 DPU-m 芯片顶层测试结构

DPU-m 芯片逻辑电路的可测试性设计采用模块化自顶向下的设计方法. DPU-m 顶层测试结构需要设计一种有效的测试访问结构将在测试仪上存储的测试激励施加到每个芯核, 并且将每个芯核产生的测试响应传输到测试仪; 同时该测试访问结构必须能够保证测试质量, 同时尽可能节约测试成本; 并且要与现在的商业设计工具兼容, 保证 DFT 周期的可控性, 降低 DFT 设计风险.

针对 DPU-m 的结构和规模, 本文提出了采用基于多路选择器与分布式结合的测试访问机制, 结

表 7 VE 模块压缩率、覆盖率、测试向量数量关系表

Table 7 The correlativity of test compression ratio, test coverage and the number of test patterns in VE

Scan chain length	SI/SO	Scan chains	Compression ratio	Test coverage (%)	Test patterns
100	40	131	3.30	98.81	1589
100	35	131	3.70	98.79	1576
100	30	131	4.40	98.79	1544
100	25	131	5.20	98.79	1598
100	20	131	6.55	98.79	1602
100	15	131	8.70	98.79	1616
100	10	131	13.10	98.77	1717
100	8	131	16.40	98.73	1763

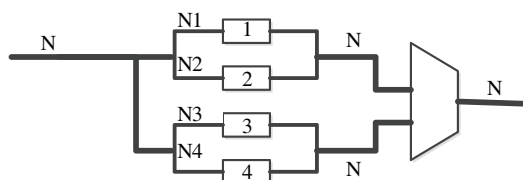


图 2 基于多路选择器与分布式结合的测试访问机制

Figure 2 The distributed and multiplexed test access mechanism

构如图 2 所示. 将全局的测试分为不同的测试会话, 测试会话与测试会话之间采用基于多路选择器的测试访问机制, 各个测试会话之间串行测试, 降低对扫描端口数量的要求, 同时降低测试功耗; 测试会话内部采用分布式的测试访问机制, 同一个测试会话内的待测试模块并行测试, 降低测试时间即测试成本, 同时降低布局布线的开销. 由于每个测试会话内的测试模块并行测试, 所以每个测试会话的测试时间取决于其中测试时间最长的模块, 而每个模块内部扫描链的长度都相同, 所以测试时间也就取决于测试向量数量. 测试会话与测试会话之间串行测试, 所以整个芯片的测试时间是所有测试会话的测试时间之和.

确认了顶层的测试访问机制后, 需要解决的问题是测试功耗和测试引脚数量约束下的测试调度问题, 目标是保证测试质量, 降低测试成本. 该问题的求解步骤分为两步, 第一步是获得每个功能模块内部测试结构、测试数据、测试时间、测试功耗等数据; 第二部在第一步的基础上, 将测试调度问题抽象为测试功耗约束和测试引脚约束下的测试时间优化问题, 得到优化的测试调度方案.

测试调度整体需要考虑的因素有 3 个: 每个模块的测试时间、测试功耗和模块间的互联关系. 3.1 小节已评估得到每个模块的测试时间, 该数据将用于本节的测试调度的优化. 每个测试会话内的模块并行测试, 所以在进行测试调度时应将测试时间近似相等的模块放到一个测试会话中; 本文粗略地估计将测试功耗的大小正比于模块的大小. 由于该芯片大部分的面积被 VPU 模块和 DDR3 模块占据, 全局共有 5 个 VPU 和一个 DDR3, DDR3 的大小近似等于一个 VPU 的大小, 所以整个芯片工作时的功耗可以粗略估计为 6 个 VPU 工作时的功耗. 同时, 由于芯片测试时会产生大量的翻转导致测试功耗大概为功能功耗的 2~3 倍. 因此, 为了满足测试功耗的约束, 最多是将两个大模块进行并行测试, 即最多将两个大模块放到一个测试会话中; 另外考虑到本文没有在每个测试模块外添加测试外壳, 因

表 8 DPU-m 芯片测试调度表
Table 8 The test scheduling of DMU-m

select_mode[2:0]	scan_si/scan_so[39:0]	Module
000	scan_si/scan_so[0][19:0]	VPU0
000	scan_si/scan_so[0][39:20]	DDR3
001	scan_si/scan_so[1][19:0]	VPU1
001	scan_si/scan_so[1][39:20]	VPU2
010	scan_si/scan_so[2][19:0]	VPU3
010	scan_si/scan_so[2][39:20]	VPU4
011	scan_si/scan_so[3][8:0]	VE0
011	scan_si/scan_so [3][17:9]	VE1
011	scan_si/scan_so [3][26:18]	VE2
011	scan_si/scan_so [3][34:27]	JPEG
011	scan_si/scan_so [3][39:35]	AXI.6x1
100	scan_si/scan_so[4][9:0]	CPU
100	scan_si/scan_so[4][28:10]	PCIe
100	scan_si/scan_so[4][33:29]	AXI.4x4
100	scan_si/scan_so[4][39:34]	APB

此模块与模块间的逻辑无法测试, 因此在测试调度时本文考虑模块间的互联关系, 将通信频繁的模块放到一个测试会话内. 最终得到的测试调度结果如表 8 所示, select_mode 信号是测试会话选择信号.

DPU-m 芯片可分为 3 种工作模式: 功能模式、MBIST 模式和扫描测试模式. 功能模式是芯片正常工作时的活动方式, 此时所有的测试逻辑将不起作用, 芯片将完成具体的工作内容; MBIST 模式是存储器测试模式, 具体的内容将在下一节介绍; 扫描测试模式是逻辑电路测试模式, 即本节介绍的内容. 芯片顶层的模式控制真值表如表 9 所示. TESTMODE_n 信号是全局测试模式选择信号, 低电平有效, 当该信号无效时芯片处在功能模式下, 当信号有效时芯片处在测试模式下. BISTMODE 信号高电平有效, 当 BISTMODE 信号有效时芯片处在存储器内建自测试模式, 当 BISTMODE 信号无效时芯片处在扫描测试阶段. 而具体处在扫描测试的哪个阶段由 SelectMode、AT_SPEED、COMPRESS 和 SCAN_EN 信号值决定, 详细工作模式选择如表 9 所示.

3.3 DPU-m 芯片片上时钟控制

DPU-m 芯片片上时钟控制的整体结构如图 3 所示, CLK_G 模块是片上时钟生成模块, 用来产生芯片工作的快速时钟; OCC controller 是片上时钟控制模块, 根据控制信号值选择不同的时钟源驱动逻辑电路; DPUm_Core 是芯片的逻辑电路部分; REF_CLK 是 CLK_G 模块生成快速时钟的参考时钟, 产生 6 个不同的快速时钟; clock_chain 是时钟链, 用来控制 OCC controller 产生的实速测试波形, 在生成测试向量的过程中 ATPG 算法会根据故障检测的需求生成 clock_chain 中的值; clock_chain_si 和 clock_chain_so 是时钟链的输入输出信号, clock_chain_si 的值由 ATE 驱动, 在 DPU-m 的设计中 clock_chain 是一条单独的扫描链, 不与其他扫描链串联; ATE_CLK 是测试仪提供的慢速时钟; OC-CBYPASS 信号用来区分芯片进行实速测试还是非实速测试; ScanEnable 信号是扫描使能信号; Test-

表 9 DPU-m 芯片工作模式选择真值表

Table 9 The control truth table of DPU-m

TESTMODE_n	BISTMODE	SelectMode[2:0]	At_SPEED	COMPRESS	SCAN_EN	Mode
1	x	x	x	x	x	Function mode
0	1	x	x	x	x	MBIST
0	0	000/001/010/ 011/100/101	0	0	0/1	Scan mode
0	0	000/001/010/ 011/100/101	0	1	0/1	Compression scan mode
0	0	000/001/010/ 011/100/101	1	0	0/1	At-speed scan mode
0	0	000/001/010/ 011/100/101	1	1	0/1	At-speed compression scan mode

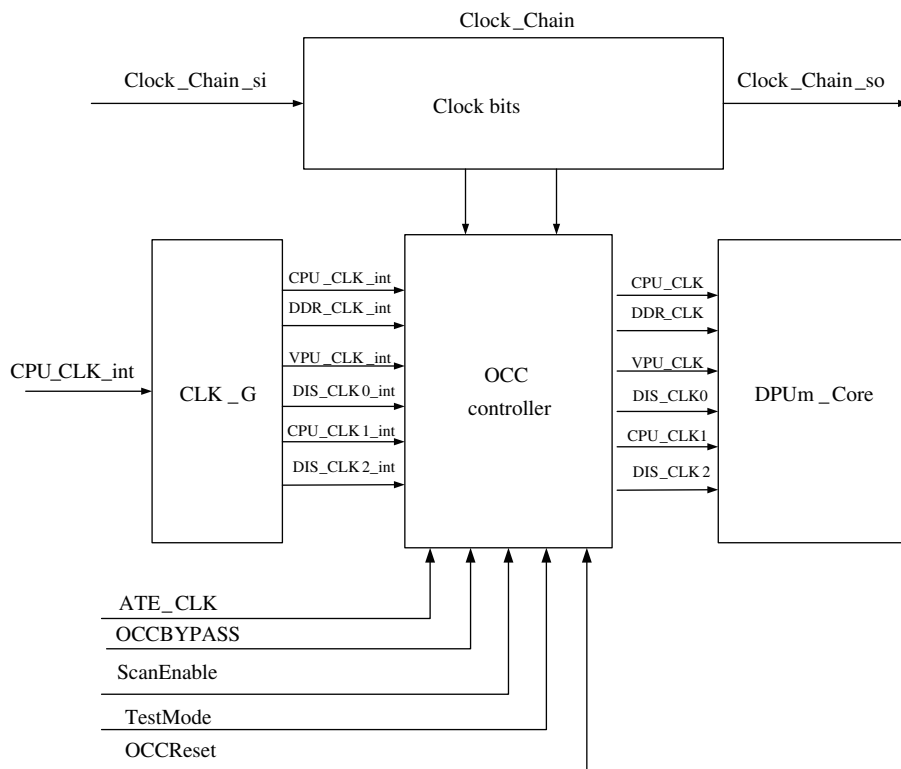


图 3 DPU-m 芯片片上时钟控制结构图

Figure 3 The OCC structure of DPU-m

Mode 信号用模式选择信号; OCCReset 信号用来对 OCC controller 逻辑进行复位. 因此, DPU-m 芯片时钟控制单元的工作方式如下: (1) 当 TestMode 信号无效时, 芯片处于工作模式, OCC controller 选择 CLK_G 模块产生的快速时钟作为逻辑电路的工作时钟; (2) 当 TestMode 信号有效, OCCBypass 信

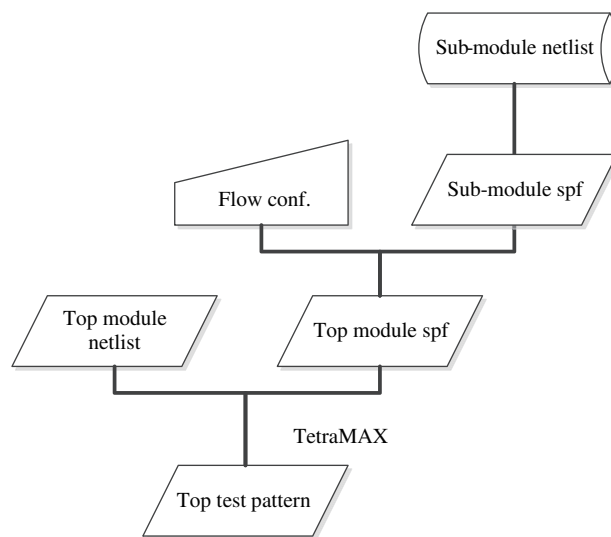


图 4 DPU-m 芯片的测试向量生成流程

Figure 4 The flow of test pattern generation of DPU-m

号无效时, 芯片处在非实速测试模式, OCC controller 选择 ATE 提供的快速时钟作为逻辑电路的测试时钟; (3) 当 TestMode 信号有效, OCCBypass 信号有效, SCAN_EN 信号有效时, 芯片处在实速测试的扫描移位模式, OCC controller 选择 ATE 提供的时钟作为逻辑电路的测试时钟; (4) 当 TestMode 信号有效, OCCBypass 信号有效, SCAN_EN 信号无效时, 芯片处在实速测试的扫描捕获模式, OCC controller 选择 CLK_G 模块产生的快速时钟作为逻辑电路的测试时钟. 上述介绍的 4 种工作模式与 3.2 小节介绍的 DPU-m 芯片工作模式控制表是对应的.

3.4 DPU-m 芯片顶层测试向量生成流程

DPU-m 芯片逻辑电路可测试性设计采用自底向上模块化的设计方法, 通过 Design Compile 工具在每个模块内部独立得完成扫描结构的插入. 在每个模块的测试协议文件中端口的定义都是在模块级定义的, 因此在完成每个模块扫描链插入后生成的测试协议文件不能在用于顶层测试向量的生成. 因此 DPU-m 芯片的测试向量生成流程需要三步, 如图 4 所示: (1) 使用 Design Compiler 工具在每个模块内部插入扫描设计, 生成子模块的测试协议; (2) 编写配置文件, 使用工具 spfgen.pl 读入配置文件和子模块的测试协议, 输出顶层测试协议; (3) 使用 Synopsys 公司的 TetraMax 工具读入顶层网表文件和顶层测试协议进行顶层测试向量生成^[23].

DPU-m 芯片针对每个测试会话生成测试向量的流程如下: (1) 在压缩实速测试模式下生成跳变故障的测试向量, 如果测试覆盖率超过 85%则进入第三阶段, 否则进入第二阶段; (2) 在非压缩实速测试模式下生成跳变型故障的测试向量; (3) 将故障模型设置为固定型故障, 用前两步生成的跳变型故障的测试向量做固定型故障的故障模拟, 写出模拟后的故障字典; (4) 读入第三步得到的故障字典, 在压缩非实速模式下生成固定型故障的测试向量, 写出故障字典; (5) 读入第四步得到的故障字典, 在非压缩非实速模式下生成固定型故障的测试向量. 由于针对跳变型故障生成的测试向量可以检测到 90%多的固定型故障, 所以上述测试向量生成流程与独立对两种故障进行测试向量生成相比可以减少测试向量数量, 节约测试成本.

表 10 测试会话的测试覆盖率

Table 10 The test coverage of test sessions

Test_ Session	Module	Test coverage of transition faults (%)	Test patterns of transition faults	Test coverage of stuck-at faults in compression mode (%)	Test patterns of stuck-at faults in compression mode	Test coverage of stuck-at faults in non-compression mode (%)	Test patterns of stuck-at faults in non-compression mode
0	DDR3	77.46	43694	96.52	16267	96.63	517
1	VPU0						
	VPU1	85	33974	99.38	13635	99.48	683
	VPU2						
2	VPU3	85	34200	99.39	11877	99.49	634
	VPU4						
	VE0						
	VE1						
3	VE2	85	9076	97.65	669	97.76	38
	JPEG						
	AXI6X1						
	PCIe						
4	CPU	85	12017	98.04	1691	98.14	16
	APB						
	AXI4X4						

3.5 实验结果

DPU-m 芯片逻辑电路可测试性设计采用自顶向下模块化的设计方法. 针对模块化可测试性设计方法, 本文提出了实现基于多路选择器和分布式结合的测试访问机制, 同时根据每个模块扫描测试结果评估, 进行合理的测试会话划分, 将全局划分为 5 个测试会话. 每个测试会话的测试覆盖率如表 10 所示, 测试会话 1-4 的跳变故障的覆盖率都到达预期的 85%, 而测试会话 0 的跳变型故障的测试覆盖率为 77.46%, 导致测试会话 0 覆盖率较低的原因为: (1) DDR3 模块内部含有的存储器周围时序较紧张, 所以 DDR3 模块的片上存储器没有进行旁路逻辑的设计, 而本文采用的 LOC 的实速测试方法最多只支持 4 拍的捕获, 所以存储器周围部分逻辑的跳变故障检测不到; (2) DDR3 模块的输入输出端口数量很多, 与 DDR3 通信较多模块很多, 但是由于 DDR3 自身已经占用 20 根扫描输入输出, 所以能与 DDR3 放到一个测试会话中的只有一个 VPU, 导致 DDR3 模块的其他输入输出成为不可控制和不可观测, 测试覆盖率随之降低. 5 个测试会话固定型故障的测试覆盖率分别为 96.63%, 99.48%, 99.49%, 97.76%, 98.14%. 得到每个测试会话的固定型故障的测试覆盖率后, 本文对全局的单固定型测试覆盖率进行评估, 评估结果为 98.58%.

4 DPU-m 芯片片上存储器的内建自测试设计

DPU-m SoC 芯片片上集成了多个 IP 核, 而其中通用处理器、视频处理器 VPU、视频处理增强单

表 11 DPU-m 芯片片上存储器数量表

Table 11 The number of RAMs in DPU-m

Module	RAMs	Number of modules	Sum of RAMs
CPU	31	1	31
VPU	113	5	339
VE	47	3	141
PCIe	15	1	15
JPEG	7	1	7
Sum			759

元 VE、PCIe 模块、JPEG 模块和 DDR3 模块内部都含有片上存储器, 并且片上存储器都独立存在于上述模块的某个子模块中, 所在子模块不存在其他的逻辑电路, 具体的存储器数量如表 11 所示, 总共有 759 个存储器需要进行存储器内建自测试. DDR3 模块虽然也含有片上存储器, 但是由于 DDR3 存储器周围的时序比较紧张, 经与设计前端人员讨论后决定 DDR3 片上存储器不做内建自测试.

测试调度机制 DPU-m 芯片片上含有 759 个存储器, 如果将所有的存储器进行并行测试将带来过高的测试功耗, 有可能将待测芯片烧毁; 如果将所有的存储器进行串行测试又将带来过长的测试时间. 如果所有存储器的内建自测试由一个共同的控制器控制, 将给芯片带来过高的布局布线开销; 而如果每个存储器都有各自的控制器又将给芯片带来过高的面积开销. 在上述两点讨论的基础上, 本文对 DPU-m 芯片的片上存储器采用串并行结合的测试调度机制. 将 759 个存储器分成不同的测试组, 每个测试组内的存储器串行测试, 由同一个控制器控制; 测试组之间并行测试. 为了降低总的测试时间, 同时满足芯片功耗的限制, 本文评估每个控制器正常工作时的功耗, 在工作频率为 100 MHz 的情况下每个控制器的工作功耗大概为 0.005 W, 估算布局布线后的功耗为 0.01 W, 芯片可以承受的最大功耗为 3 W 左右, 因此整个芯片可以接受的最大的测试组是 300 个. 由于并行测试的测试时间取决于最长测试组的测试时间, 因此应将存储器均衡分配到每个测试组; 并且应该将物理上放到一起布局布线的存储器放到同一个测试组中, 减少布局布线开销. 经与后端设计组讨论, 逻辑上在同一个功能模块的存储器物理布局也放到一起, 因此在进行测试调度时将逻辑上在同一个模块的存储器放到同一个测试组中.

视频处理器 VPU 内部共有 11 个模块包含存储器, 并且其中某个模块内部含有几个较大的存储器, 如果将这些存储器与其他存储器放到同一个测试组将大大增加测试时间, 因此将这些存储器单独拿出来, 分别建立一个对应的测试组; 另外在视频处理器 VPU 包含 4 个只读存储器, 只读存储器不能与其他的存储器共享同一个测试控制器, 所以也需要为每个只读存储器分配一个对应的测试组; 最后在整个视频处理器 VPU 内共分配了 25 个测试组, 最长测试组控制的存储器是一个字长为 8192 的单个存储器. 视频处理增强单元 VE 中有 5 个模块包括存储器, 并且每个模块中都不存在较大的存储器, 因此在视频处理增强单元中分配了 5 个测试组. 通用处理器 CPU 中有一个子模块包括处理器, 因此在通用处理器 CPU 中分配了一个测试组. JPEG 模块有一个子模块包括存储器, 因此在 JPEG 模块分配了一个测试组. PCIe 模块有一个子模块包括存储器, 因此在 PCIe 模块分配了一个测试组. 在 DPU-m 芯片上视频处理增强 VE 实例化 3 次, 视频处理模块实例化 5 次, 因此在 DPU-m 芯片片上共分配了 143 个测试组, 对应 143 个内建自测试控制器.

实验结果 DPU-m 芯片片上存储器内建自测试采用串并行结合的测试方法, 全局共生成了143 个

表 12 DPU-m 芯片测试电路面积开销

Table 12 The area overhead of test designs of DPU-m

Whole gates in DPU-M	Test controller	MBIST	Sum of DFT	Ratio
8366123	1930	567271	569201	6.80%

控制器, 143 个控制器的输出经过逻辑操作后形成 11 个 test_done 和 11 个 fail_h 信号输出, 显示测试结果. 片上可随机访问存储器 RAM 采用 March2 的测试算法^[24,25], 可检测到的故障类型为: 地址译码故障 (AF)、固定型故障 (SAF)、跳变故障 (TF)、开路故障 (SOF)、Cfin 和 Cfid. 另外, 本文在测试算法的执行过程设计了不同的数据背景, 因此可以检测到部分状态耦合故障 CFst. 并且针对写使能映射功能设计了专门的测试算法检测写使能信号上的故障. 若以 100 MHz 的频率进行测试, 测试时间为 14 ms.

最后对 DPU-m 芯片中用于测试的面积开销进行评估, 主要分为测试控制器和内建自测试两部分. 一般情况下, 扫描设计带来的面积开销 (包括扫描触发器及其带来的连线开销) 在 10% 以内. 因为扫描设计与设计综合紧耦合, 并与布局布线相关, 所以没有计算在下面的测试专用电路开销之内. 本文统计了整个芯片、测试控制器和内建自测试部分的门的数量, 数据表明测试专用电路的面积开销占比约为 6.80%, 如表 12 所示.

5 总结

本文针对一款用于多媒体处理的异构多核系统芯片 DPU-m, 提出了一套完整的可测试性设计方案, 支持 3 种工作模式: 功能模式、存储器内建自测试模式以及扫描测试模式, 并进行了设计实现和评估. 针对逻辑电路的可测试性设计, 采用自顶向下的模块化设计思想, 提出并实现了一种分布式与多路选择器相结合的测试访问机制, 实验结果表明, DPU-m 逻辑电路单固定型故障的测试覆盖率为 98.58%, 满足设计方要求; 针对实速时延测试的需求, 设计并实现了基于片上时钟生成器的时钟控制单元, 可在片上支持不同时钟域、6 种时钟频率的实速时延测试; 针对存储器电路的自测试, 设计并实现了串并行结合的存储器内建自测试结构, 在最大测试功耗的约束下有效地减少了测试时间; 进一步设计了顶层测试结果输出电路, 满足了设计方要求的诊断分辨率, 若以 100 MHz 的频率进行测试, 测试时间为 14 ms.

参考文献

- 1 Rabaey J M, Chandrakasan A, Nikolic B. Digital Integrated Circuits-A Design Perspective. New Jersey: Prentice-Hall, 2003
- 2 Parulkar I, Anandakumar S, Agarwal G, et al. DFX of a 3rd Generation, 16-core/32-thread UltraSPARCTM CMT Microprocessor. In: Proceedings of International Test Conference, Santa Clara, 2008. 1-10
- 3 Makar S, Altinis T, Patkar N, et al. Testing of Vega2, a chip multi-processor with spare processors. In: Proceedings of International Test Conference, Santa Clara, 2007. 1-10
- 4 Wood T, Giles G, Kiszely C, et al. The test features of the quad-core AMD opteron microprocessor. In: Proceedings of International Test Conference, Santa Clara, 2008. 1-10
- 5 Molyneaux R, Ziaja T, Kim H, et al. Design for testability features of the SUN microsystems niagara2 CMP_CMT SPARC chip. In: Proceedings of International Test Conference, 2007. 1-8

- 6 Jha N K, Gupta S. Testing of Digital Systems. Cambridge: Cambridge University Press, 2003
- 7 Zorian Y. Test requirements for embedded core-based systems and IEEE P1500. In: Proceedings of International Test Conference, Washington, 1997. 191–199
- 8 The international technology roadmap for semiconductors (ITRS). Semiconductor Industry Association, 2001
- 9 Keating M, Flynn D, Aitken R, et al. Low Power Methodology Manual: For System on Chip Design. Berlin: Springer, 2007
- 10 Zorian Y, Marinissen E J, Dey S. Testing embedded-core based system chips. In: Proceedings of International Test Conference, Washington, 1999. 52–60
- 11 Kong L N. Design for testability for Godson-T multi-core processor. Dissertation for Master Degree. Beijing: Institute of Computing Technology, Chinese Academy of Sciences, 2010 [孔鲁宁. Godson-T 16 核处理器的可测试性设计. 硕士学位论文. 北京: 中国科学院计算技术研究所, 2010]
- 12 Qi Z, Liu H, Li X, et al. A scalable scan architecture for Godson-3 multicore microprocessor. In: Proceedings of Asian Test Symposium, Taichung, 2009. 219–224
- 13 Wang D, Fan X, Fu X, et al. The design-for-testability features of a general purpose microprocessor. In: Proceedings of International Test Conference, 2007
- 14 DaSilva F. IEEE Standard Testability Method for Embedded Core-based Integrated Circuits. IEEE Std 1500TM-2005. 2005
- 15 Aerts J, Marinissen E J. Scan chain design for test time reduction in core-based ICs. In: Proceedings of International Test Conference, Washington, 1998. 448–457
- 16 Sharma M, Dutta A, Cheng W T, et al. A novel test access mechanism for failure diagnosis of multiple isolated identical cores. In: Proceedings of International Test Conference, Anaheim, 2011. 1–9
- 17 Chi C C, Wu C W, Li J F. A low-cost and scalable test architecture for multi-core chips. In: Proceedings of European Test Symposiums, Praha, 2010. 30–35
- 18 Marinissen E J, Arendsen R, Bos G, et al. A structured and scalable mechanism for test access to embedded reusable cores. In: Proceedings of International Test Conference, Washington, 1998. 284–293
- 19 Varma P, Bhatia S. A structured test re-use methodology for core-based system chips. In: Proceedings of International Test Conference, Washington, 1998. 294–302
- 20 The International Technology Roadmap for Semiconductors (ITRS). Semiconductor Industry Association, 2011
- 21 SYNOPSYS. Design Compiler User Guide Version 2012.06, 2012
- 22 SYNOPSYS. DFTMAX Compression Backgrounder Version 2012.12, 2012
- 23 SYNOPSYS. TetraMAX ATPG User Guide Version 2012.06, 2012
- 24 Wang D. Research on embedded memory diagnosis and self-repair methodologies. Dissertation for Ph.D. Degree. Beijing: Institute of Computing Technology, Chinese Academy of Sciences, 2009 [王达. 嵌入式 RAM 的故障诊断与自修复方法及电路设计. 博士学位论文. 北京: 中国科学院计算技术研究所, 2009]
- 25 SYNOPSYS. MBISTArchitect Process Guide Version 2006.06, 2006

Design-for-testability for a heterogeneous multi-core system-on-chip on multimedia processing

LIU HuiCong^{1,2}, MENG HaiBo¹, LI HuaWei^{1*}, DENG JiaChao^{1,2} & LI XiaoWei¹

1 State Key Laboratory of Computer Architecture, Institute of Computing Technology, Chinese Academy of Sciences, Beijing 100190, China;

2 School of Computer and Control Engineering, University of Chinese Academy of Sciences, Beijing 100049, China

*E-mail: lihuawei@ict.ac.cn

Abstract With the development of integrated circuit technology, system-on-chip (SoC) integration has become the mainstream method of VLSI design. SoC design usually has three features: emphasis on top-down design, outstanding design reusability, and need of low-power facilities, which brings great challenges to design for testability (DFT). This paper proposes a complete DFT scheme for a heterogeneous multi-core system-on-chip on multimedia processing, DPU-m. The proposed DFT scheme supports three operation modes: function mode, memory built-in self-test mode (BIST) and scan test mode. This thesis uses a top-down and modular design method for the DFT of DPU-m logic circuit. It proposes and implements a distributed and multiplexed test access mechanism; Experimental results show that test coverage of the single stuck-at fault for DPU-m logic circuit is 98.58%, which meets the requirements of the designer. In order to meet the need of at-speed testing, this thesis designs and implements an on-chip clock controller based on an on-chip clock generator, which supports at-speed testing of different clock domains. This thesis designs and implements a serial and parallel combined BIST structure for the on-chip memory, which meets the constraints of test power and reduces test time. Then, this thesis designs and implements the test results' output circuit, with a memory diagnostic resolution meeting the requirements of the designer; the results show that the test time for memories is 14 ms at the test frequency of 100 MHz.

Keywords design for testability, test access mechanism, test scheduling, on-chip clock controller, memory built-in self-test



LIU HuiCong was born in 1988. She received the master degree in computer architecture from the Institute of Computing Technology (ICT), Chinese Academy of Sciences (CAS), Beijing, China, in 2014. Her research interests include SoC DFT architecture, TAM and Test Schedule.

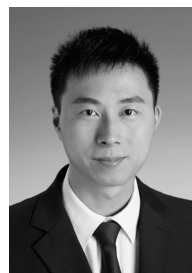


MENG HaiBo was born in 1980. He received the Ph.D. degree in computer architecture from the Chinese Academy of Sciences (CAS), Beijing, China, in 2008. Currently, he is a Senior Engineer at Institute of Computing Technology. His research interests include energy-efficient processor design, hardware specialization and implementation, and emerging technologies and applications. His current research focuses on co-optimizing processor and memory power management in over-provisioned systems. Dr. MENG is a member of CCF.



LI HuaWei was born in 1974. She received the Ph.D. degree in computer science from the Institute of Computing Technology (ICT), Chinese Academy of Sciences (CAS), Beijing, China, in 2001. Currently, she is a Professor at ICT, CAS. Her research interests include VLSI/SOC testing, design verification, design for reliability and fault/error tolerant computing. Prof. Li is a senior member of IEEE, and

senior member of China Computer Federation (CCF). She has served as Secretary General of CCF Technical Committee on Fault-Tolerant Computing since 2008. She also serves as member of the editorial board of Journal of Computer-Aided Design and Computer Graphics, and Journal of Computer Research and Development.



DENG JiaChao was born in 1989. He is a postgraduate student in computer architecture from the Institute of Computing Technology (ICT), Chinese Academy of Sciences (CAS), Beijing, China. His research interests include Mbist, hardware neural network.