



32 nm 及其以下技术节点 CMOS 技术中的新工艺及新结构器件

王阳元*, 张兴, 刘晓彦, 康晋锋, 黄如

北京大学微电子学研究院, 北京 100871

* E-mail: yyw@ime.pku.edu.cn

收稿日期: 2008-03-12; 接受日期: 2008-04-09

摘要 32 nm 及其以下技术节点的发展需要从器件结构、加工技术以及材料选用等各个方面进行创新, 其中金属栅/高 k 栅介质的新型栅结构, 以应变硅为代表的沟道迁移率增强技术, 以及以 FinFET 为代表的新型非平面 MOSFET 结构均成为 32 nm 及其以下技术节点的候选技术. 将对金属栅/高 k 栅介质等适用于 32 nm 及其以下技术节点的研究进展加以论述.

关键词

集成电路
纳米尺度
金属栅/高 k 栅介质
超薄体
SOI
器件
准弹道输运

集成电路发明 50 年来的发展是技术推动和市场牵引相结合的结果. 50 年的发展史实质上是一部科学技术创新并将它转化为生产力的历史. 目前, 国际上技术处于前沿的 Intel 公司已研制成功将 45 nm 技术用于 CPU 开发并逐步产业化. 2006 年宣布完成的 45 nm CPU 开发, 采用了高 k 和金属栅, 用 193 nm 曝光和干法刻蚀, 与 65 nm 技术相比, Intel 的 45 nm 技术可以将晶体管集成密度提高约 2 倍, 晶体管的开关功耗降低 30%, 开关速度提高 20%, 源漏泄漏功耗降低 5 倍, 栅泄漏功耗降低 10 倍. 根据 ITRS roadmap 预测^[1], 传统的 MOS 器件在采用新结构、引入新材料的前提下能够发展到 2020 年的 14 nm 技术代, 其物理沟道长度为 6 nm, 光刻栅长度为 9 nm. 据国际电子器件会议报道^[2], 2003 年, 由 NEC 公司发布了目前国际上尺寸最小的体硅平面 MOS 器件, 通过采用缓变晕结构 (steep HALO) 沟道工程、横向源漏结控制等工艺, 完成栅长为 5 nm、沟道长度达到 4 nm 的器件. 该器件的转移特性和输出特性中虽然漏致势垒降低 (DIBL) 效应比较严重, 但还是基本反映出了栅控特性.

历史的发展往往有惊人的相似之处. 1900 年, Planck 提出了量子理论, 1905 和 1915 年, Einstein 分别提出狭义相对论和广义相对论, 从而揭示了微观世界物理的基本规律, 其后, 由 Heisenberg 和 Schrödinger 建立了量子力学体系. 20 世纪 30 年代建立的现代物理学成为现代电

子信息技术革命的基础,也是集成电路科学技术发展的理论基础. 21 世纪将是微电子技术走向纳米电子的时代,预计 21 世纪 30 年代将引发信息科学技术革命性的变革.

如果说 20 世纪 30 年代微电子科学技术的理论基础是量子论与能带论,技术的驱动力是小型化,从而导致 1947 年晶体管的发明和 1958 年集成电路的发明;那么 21 世纪 30 年代纳米科学技术和纳米电子学理论将是信息科学技术的理论基础,而技术驱动力在于低功耗、高性能和系统集成,纳米工艺和 SOC(system on chip, 集成系统芯片)将是最活跃的两个领域.

纳米器件中短沟效应、强场效应、量子效应、寄生效应、参数涨落等对器件泄漏电流、亚阈斜率、开态电流等性能的影响愈来愈突出,进而严重影响到电路的速度和功耗等方面的性能. 器件进一步缩小受到来自于器件结构、材料以及工作机制等诸多方面的严重限制. 常规的体硅 CMOS 技术不再适用,必须针对功耗、密度、性能提高、工艺集成等方面的问题,在器件结构、材料选用、加工技术以及器件机制等方面寻求突破.

图 1 给出了器件尺寸进入纳米尺度后所面临的主要问题和困难,主要集中在栅、沟道/衬底、源漏等部分.

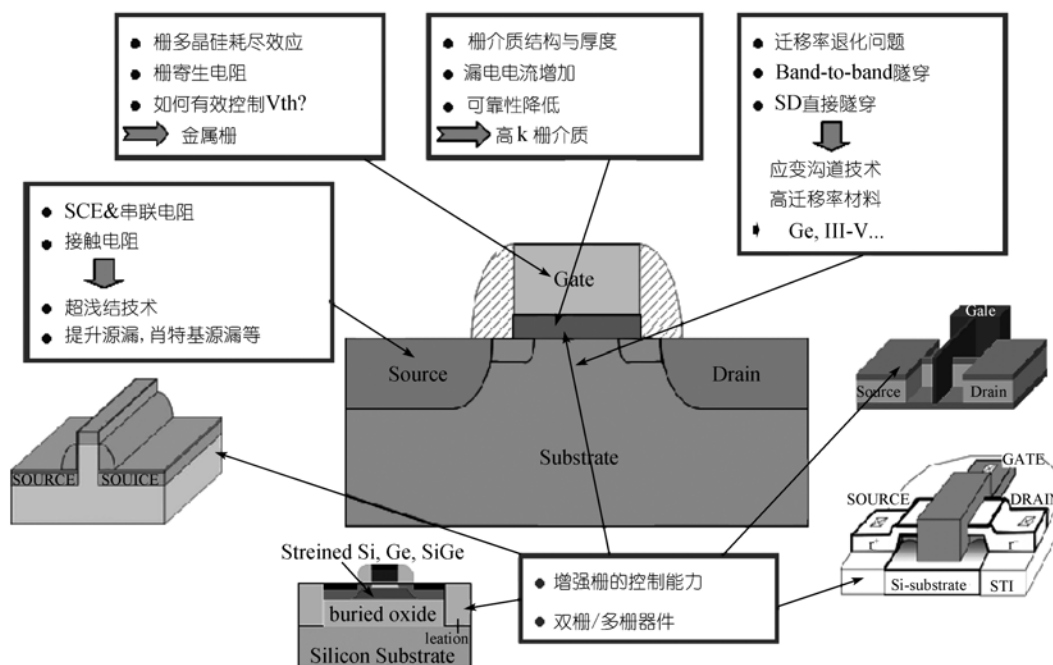


图 1 MOSFET 器件遇到的挑战

在栅介质方面,随着器件尺寸不断减小,为有效抑制短沟效应,提高栅控能力,栅氧化层厚度需要持续减薄,然而,超薄栅氧厚度使隧穿泄漏电流指数增加,功耗增加,而且器件的可靠性问题更为突出;氧化层陷阱和界面陷阱会引起显著的界面散射和库仑散射等,降低载流子迁移率;栅穿通问题则影响 PMOSFET 阈值电压的稳定性;此外,薄栅氧化层带来的强场效应会导致明显的反型层量子化和迁移率退化以及隧穿电流.

在栅电极方面,多晶硅栅耗尽效应(poly depletion effect, PDE)会引起等效栅氧厚度增加,在小尺寸器件中表现更为明显,导致短沟效应严重,栅控能力下降;此外,栅长减小会引起寄生多晶硅栅电阻增加,降低器件开态电流。

在沟道/衬底方面,器件栅长减小导致严重的短沟效应、漏致势垒降低(DIBL)效应等,器件的亚阈特性恶化,泄漏电流和静态功耗增加。虽然体硅器件可以通过调整沟道区的杂质分布(如采用逆向掺杂分布和 HALO 注入)来改进这一问题,但是由此会带来较大的带带隧穿电流和可靠性问题。随着器件尺寸减小,沟道区掺杂涨落引起明显的器件特性涨落,对电路性能有较大影响。此外,由于寄生效应的影响,器件驱动电流不按比例增加,沟道区载流子迁移率有待进一步提高,以保证相应的器件性能。

在源漏区方面,为了抑制短沟效应,源漏延伸区的结深需要减小,超浅结工艺技术成为研发的一个热点问题。另一方面,源漏区寄生串联电阻的影响随着尺寸缩小而增大,对器件驱动电流增加有较大影响,需要在深源漏区采用合适的硅化物工艺降低电阻。

针对这些问题,人们从新材料、新工艺(新型栅/栅介质材料、沟道工程、源漏工程)以及新器件结构等方面提出了一些可能的解决方案。

新材料工艺方面主要包括引入高介电常数(high-k)栅介质、金属栅电极来解决上述栅结构中存在的问题;采用应变沟道技术来提高载流子迁移率,有效提高器件的电流驱动能力;采用硅化物源漏、Schottky 源漏以及无栅覆盖源漏结构来减小源漏寄生串联电阻或覆盖电容,以提高器件性能。

在新器件结构方面,国际上相关研究十分活跃,ITRS(international technology roadmap of semiconductor)在 2001 年第 1 次增加了新结构器件方面的内容。目前提出的新器件包括有超薄体(UTB) SOI (silicon on insulator) MOS 器件、平面双栅、FinFET、垂直双栅、三栅、 Ω 栅以及围栅器件等,但最终谁将胜出还不明朗。大的趋势将是新型单栅器件先进入应用,在接近 Roadmap 末端的技术代将可能采用双栅/多栅器件。采用新的器件结构,可以放宽器件特征尺寸缩小后对工艺技术的要求,扩大器件参数的选取范围,而且易于实现多方面性能对器件参数要求的矛盾折中,获得更好的器件性能。

而目前 32 nm 及其以下技术节点的发展需要从器件结构、加工技术以及材料选用等各个方面进行创新,其中金属栅/高 k 栅介质的新型栅结构,以应变硅为代表的沟道迁移率增强技术,以及以 FinFET 为代表的新型非平面 MOSFET 结构均成为 32 nm 及其以下技术节点的候选技术。本文将在我们在金属栅/高 k 栅介质等适于 32 nm 及其以下技术节点的研究进展加以论述。

1 适于 32 nm 及其以下技术节点金属栅/高 k 栅介质结构与集成工艺

CMOS 器件中,随着沟道长度的缩小,为抑制短沟效应,提高器件性能, SiO_2 栅介质层的厚度(称为栅介质等效氧化层厚度 EOT)需要相应缩小。当集成电路技术发展到达 50 nm 技术节点以后, SiO_2 (或 SiON)栅介质的厚度(EOT)需要缩小到 1 nm 以下。对 $\text{EOT} < 1$ nm 的 SiO_2 (或 SiON)栅介质层,由于显著的直接隧穿效应导致的不可接受的高泄漏电流和高功耗,无法满足技术的需求,故需要寻求新的解决方案。新型高 k 栅介质研究就是在这种情形下提出的。所谓

的高 k 介质材料是指其相对介电常数(k 值)大于 SiO_2 , 即 $k > 3.9$ 的介质材料. 根据 EOT 的定义, 在相同的 EOT 下, 介质层的物理厚度随 k 值的增加而增加, 因此, 采用高 k 栅介质替代 SiO_2 (或 SiON)后, 可有效增加栅介质层的物理厚度, 进而显著减小栅介质层的直接隧穿效应. 研究表明, 采用新型高 k 介质材料替代传统的 SiO_2 (或 SiON)栅介质材料后可显著降低栅泄漏电流. 此外, 在利用高 k 栅介质材料替代 SiO_2 (或 SiON)的同时, 采用金属栅材料替代多晶硅材料, 一方面可以消除多晶硅耗尽效应, 另一方面还可以解决高 k 栅介质材料与多晶硅栅之间的兼容性问题, 抑制引入高 k 栅介质材料后, CMOS 器件性能的退化.

要实现金属栅/高 k 栅介质材料在 CMOS 技术中的应用, 必须要解决将金属栅和高 k 栅介质等新材料引入到集成电路技术中所面临的材料基础、材料和工艺兼容、新材料的工艺集成等问题. 自 1998 年起开始了高 k 栅介质和金属栅技术研究, 先后经历了材料基础问题研究和材料与工艺兼容性问题研究阶段, 以及工艺集成技术解决方案和可靠性评估等研究阶段. 目前在 45 nm 技术节点的大生产工艺中已经使用了 Hf 基高 k 栅介质材料和金属栅.

1.1 高性能超薄 HfN/HfO_2 (EOT < 1 nm) 栅结构 MOSFET 器件^[3]

利用首次提出的 HfN/HfO_2 栅结构与高温后退火工艺相结合的工艺技术, 制备了具有高迁移率和高可靠性的超薄 HfN/HfO_2 (EOT < 1 nm) 栅结构的 NMOSFET 器件^[3]. 该技术的关键在于采用具有极高热稳定的 HfN/HfO_2 栅结构和高 k 栅介质高温后退火工艺. 原位淀积的高 k 栅介质层中通常存在高的体缺陷电荷密度, 由此导致高 k 栅介质 MOSFET 器件的迁移率低和可靠性差; 利用高温后退火过程可有效减小高 k 栅介质中的体缺陷密度, 但高温后退火工艺往往导致高 k 栅介质层 EOT 的显著增加, 难以取得 EOT < 1 nm 的结果. 在我们的工艺中, 提出了具有极高热稳定的 HfN/HfO_2 栅结构, 采用该结构后, 即使经过 950℃ 的高温后退火工艺过程, HfO_2 高 k 栅介质层仍可取得 EOT < 1 nm 的结果(如图 2 所示). 同时, 由于在 HfO_2 高 k 栅介质层淀积后经历了 950℃ 高温后退火过程, 体缺陷电荷密度显著减小, 从而使得器件可靠性和电子沟道迁移率得到显著提高. 图 3 示出了所制备的 NMOSFET 器件的沟道电子有效迁移率与国际同期发表的相关结果的比较. 结果显示, 我们的器件沟道电子有效迁移率显著高于国际同类器件的指标.

1.2 金属栅/高 k 栅介质结构与集成工艺兼容性^[4]

在目前提出的各种技术解决方案中, 同时实现高迁移率、高可靠性、低 EOT 还面临严峻的技术挑战. 研究结果显示, 利用具有极高热稳定性的 HfN/HfO_2 栅结构结合牺牲栅技术, 有可能是解决这一技术挑战的途径之一. 图 4 为该工艺方法的示意图^[4].

图 5 和 6 分别示出牺牲栅工艺对高 k 栅介质 MOS 器件 C-V 和 I-V 特性的影响. 结果显示, 牺牲栅工艺对 MOS 器件电学性能是无损的, 同时, 可以获得亚 1 nm 的 EOT 和高的可靠性. 通过对利用 HfN/HfO_2 栅结构结合牺牲栅技术制备的双金属栅 MOS 器件的 C-V 曲线比较, 结果显示, 利用该技术可实现 0.8 eV 的功函数调制. 实验显示, HfN 的功函数约为 4.7 eV, 因此可得知所制备的 NMOS 和 PMOS 器件金属栅的功函数分别为 4.2 eV 和 5.0 eV^[4].

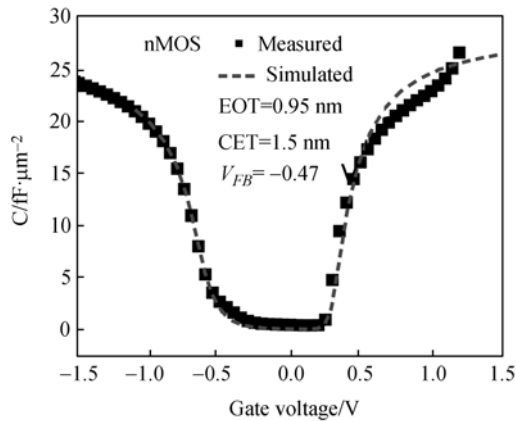


图2 所制备的NMOSFET的C-V特性曲线. 基于C-V特性曲线提取的等效氧化层厚度EOT=0.95 nm

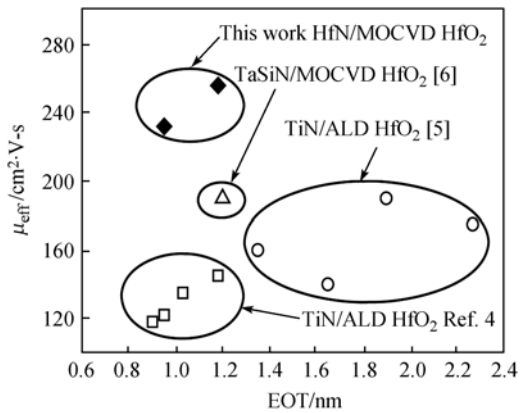


图3 制备的EOT<1 nm的NMOSFET的有效电子迁移率与国际上同类器件比较. 结果显示, 该器件具有显著高的电子有效迁移率

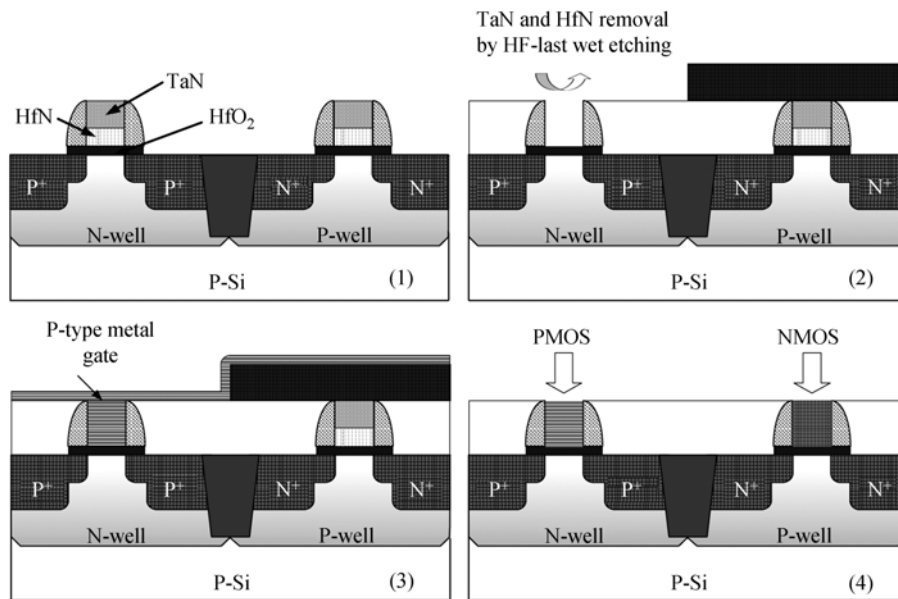


图4 基于HfN/HfO₂栅结构和牺牲栅技术的双金属栅/高k栅介质CMOS集成工艺示意图

1.3 金属栅/高k栅介质的可靠性^[7,8]

与传统的SiO₂或SiON栅介质器件类似, 应力感应的漏电流效应(SILC)和时变击穿(TDDB)及正负衬偏温度应力引起的阈值电压不稳定性(PBTI和NBTI)效应, 都是研究的重要课题. 由于高k栅介质与Si衬底之间不可避免地存在一界面层, 因此, 高k栅介质结构的击穿通常与高

k 层和界面层的击穿相关, TDDB 特征比 SiO_2 基的栅介质更为复杂, 分别表现出应力极性和大小依赖的特性, 传统的 SiO_2 基的栅介质击穿的器件寿命预测模型将不再适用, 需要发展新的寿命预测模型表征高 k 栅介质的击穿和寿命特征。

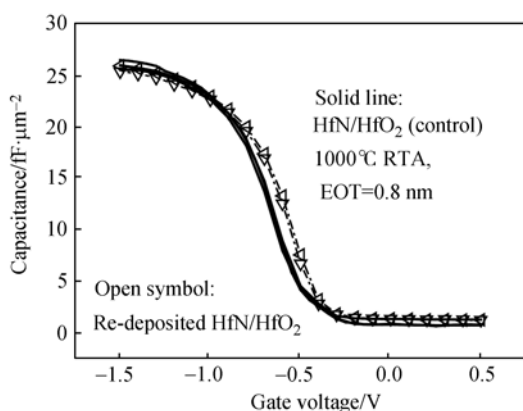


图5 牺牲栅工艺对高 k 栅介质 MOS 器件 C-V 特性的影响

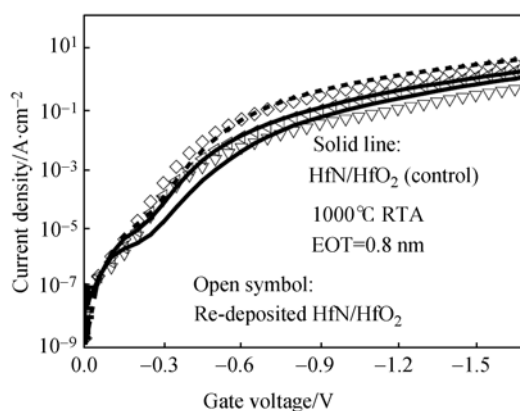


图6 牺牲栅工艺对高 k 栅介质 MOS 器件 I-V 特性的影响

图 7 和 8 分别示出在 PMOSFET 和 NMOSFET 器件中实验测量的 NBTI 和 PBTI 数据与所谓的界面反应-扩散模型 $\Delta V(t) = \Delta V_{\max} \cdot (1 - \exp(-(t/\tau_0)^\beta))$ 的结果比较^[7]。拟合提取的 β 值分别为 0.25 和 0.5, 分别对应于中性原子和负一价离子的产生和扩散情形。其中 NBTI 效应, 可用 H 原子的产生-扩散模型解释(如图 9 所示): 在负偏压应力作用下, 从 Si 衬底注入的空穴诱导了 Si 衬底界面 Si-H 键断裂化学反应的发生, 由此 Si^+ 陷阱在 Si 衬底界面积累, 而断裂出来的 H 以中性原子的形态向介质层内部进行扩散, 由此导致了 NBTI 的发生。而对 NMOSFET 中的 PBTI 效应, 则可用 O^- 离子的产生-扩散模型解释(如图 10 所示): 在正偏压应力作用下, 从 Si 衬底注入的电子诱导了界面层中 Si-O 键断裂化学反应的发生, 由此 Si^+ 陷阱在 Si 衬底界面积累, 而断裂出来的 O^- 离子向介质层内部进行扩散, 这种 Si^+ 陷阱的界面积累和 O^- 离子的扩散导致了 PBTI 的发生^[8]。

2 适于集成的新结构器件——新型准 SOI MOS 器件

超薄体(UTB) SOI 器件是一种基于 SOI 衬底的 MOS 器件, 硅膜厚度很薄, 可以有效抑制短沟效应, 切断漏电途径, 降低关态泄漏电流, 获得理想的亚阈斜率, 半导体技术发展蓝图 ITRS 将超薄体 SOI 器件作为非传统新型器件的第 1 种可能进入应用的器件结构。但是, 如果为了实现良好的栅控能力, UTB SOI 器件需要非常薄的硅膜, 一般硅膜厚度要求小于 1/4 的栅长, 这不仅对工艺提出苛刻的要求, 而且超薄硅膜会导致迁移率降低、阈值电压增大以及性能涨落增大等问题, 严重降低器件的性能。另一方面, 自热效应、漏端通过埋层对沟道区的耦合作用和阈值调节都是 UTB SOI MOSFET 存在的潜在问题^[9~11]。

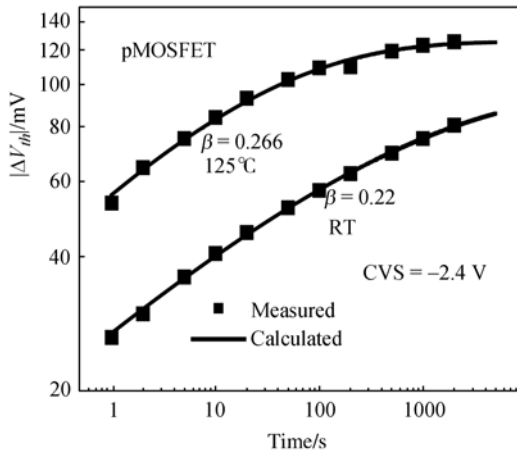


图 7 PMOSFET 器件中实验测量的 NBTI 特征与所谓的界面反应-扩散模型结果比较. 拟合提取的 $\beta=0.25$ ^[5]

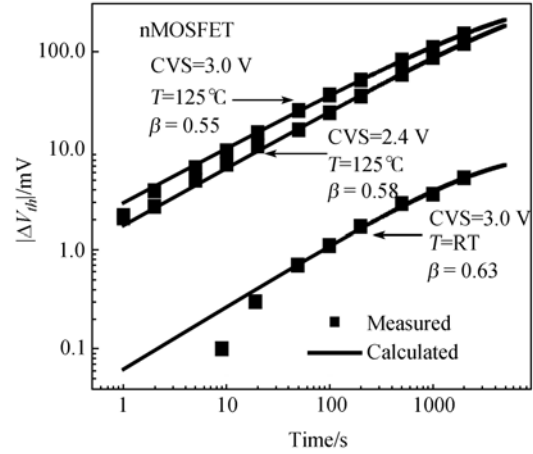


图 8 NMOSFET 器件中实验测量的 PBTI 特征与所谓的界面反应-扩散模型结果比较. 拟合提取的 $\beta=0.5$ ^[6]

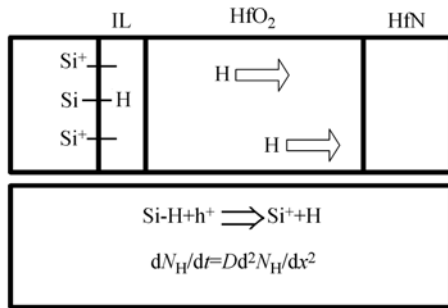


图 9 Si 界面的发生的 Si-H 键反应断裂和 H 原子产生-扩散模型示意图^[7]

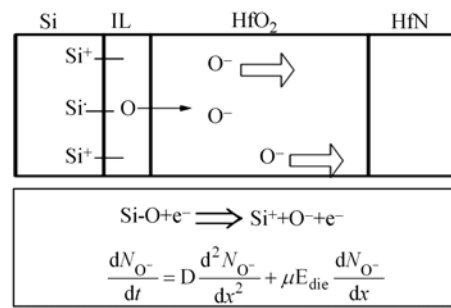


图 10 发生在界面层的 Si-O 键反应断裂和 O⁻ 离子产生-扩散模型示意图^[7,8]

针对这些问题, 我们首次提出了新型准 SOI 器件结构, 可以有效改进 UTB SOI MOS 器件存在的问题^[5,12]. 该器件结合了 SOI 器件和体硅器件的优点, 同时克服了两者的不足, 是一种很有潜力的器件结构. 图 11 给出了准 SOI MOSFET 的结构示意图, 可见器件的源漏区被局域“L-型”绝缘层所包围, 源漏区没有被绝缘体所包围的部分充当了源漏延伸区的作用, 这样可以不采用复杂的超浅结和提升源漏工艺即可很好地抑制短沟效应; 尤其与提升源漏或凹陷沟道结构相比, 该器件引入的下陷源漏结构可以显著低寄生电容和电阻, 可进一步改善速度. 另一方面, 由于这种器件结构消除了 UTB SOI MOSFET 沟道区下面的埋层, 体和衬底直接连通, 可以得到和体硅器件相同的散热能力, 改进了器件的自热效应; 而且仍可通过体硅掺杂工程有效调节阈值电压, 解决了 UTB SOI MOSFET 的阈值调节问题. 另外, UTB SOI MOSFET 硅膜减薄会使埋层二维电场共享效应明显, DIBL 效应影响增大, 而准 SOI 器件中可同时通过源漏区“L-型”绝缘层和衬底高掺杂更为有效地抑制短沟效应. 由于衬底和源漏区之间氧化层的隔离,

可消除传统器件中高掺杂引起的带带隧穿电流. 此外, 不存在超薄硅膜所带来的工艺复杂问题以及引起的载流子迁移率退化问题.

我们提出了完全兼容的基于下陷源漏区二步刻蚀技术工艺集成技术来实现新型准 SOI 器件. STI 隔离工艺完成后, 进行沟道阈值注入, 生长栅氧化层, 淀积多晶硅, 然后淀积氮化硅层和氧化层作为硬掩膜来保护后续刻蚀和氧化工艺对栅结构层的影响. 光刻栅后, 形成氧化层侧墙, 然后进行源漏延伸区注入, 通过 ICP 各向异性刻蚀源漏区, 淀积和刻蚀形成氮化硅侧墙保护源漏延伸区不在后续形成“L-型”绝缘层过程中被氧化, 接着再用 ICP 刻蚀源漏硅区, 利用低温湿氧氧化在源漏区周围形成源漏“L-型”绝缘层. 然后湿法去除氮化硅侧墙, 淀积多晶硅填充源漏凹陷区, 通过化学机械抛光技术平坦化, 湿法腐蚀多晶硅, 进行源漏区注入和快速热退火, 最后进行低氧、开接触孔和金属引线等后续工艺.

图 12 给出了制备得到的沟道长度为 70 nm 的准 SOI 器件结构的 SEM 剖面图. 从图中可以清楚地看到准 SOI MOSFET 器件源漏区有大约 40 nm 厚的“L-型”氧化层包围, 可以有效抑制漏致势垒降低效应, 并且有效减小源漏区与沟道区的电荷共享. 同时, 没有氧化的源漏区与沟道很好的连接形成了器件的等效源漏延伸区. 图 13 给出了制备得到的栅长 90 nm、沟长小于 60nm 的准 SOI 器件的转移特性曲线和输出特性曲线. 可见器件的电流开关比高达 5.7×10^8 , 器件具有很好的短沟特性, 具有很好的亚阈特性, 显示出在高速和低功耗领域的很大潜力. 由于独特的器件结构特点, 准 SOI 器件为纳米硅基高性能低功耗集成电路的设计提供了优选器件结构.

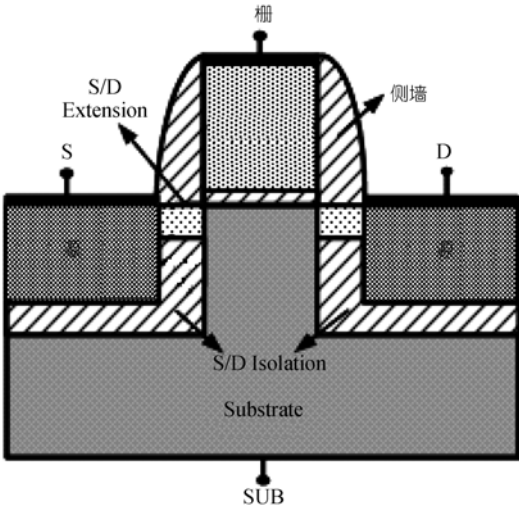


图 11 准 SOI MOSFET 器件结构示意图

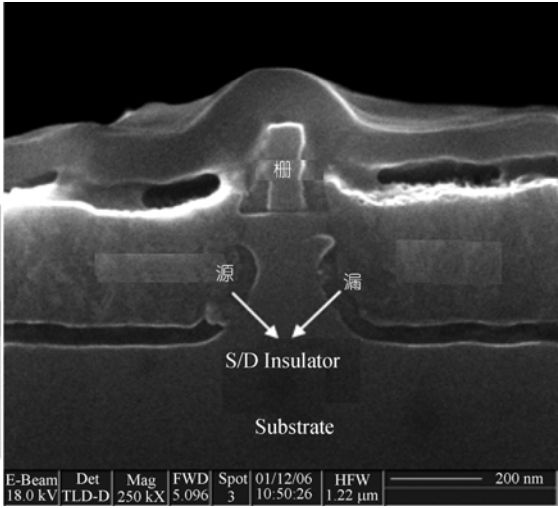


图 12 研制出的源漏区“L-型”绝缘层形成的 SEM 剖面结构图

3 纳米尺度 MOSFET 中的准弹道输运

在纳米尺度的器件中, 载流子输运由原来的漂移扩散转变为准弹道输运. 在长沟器件中,

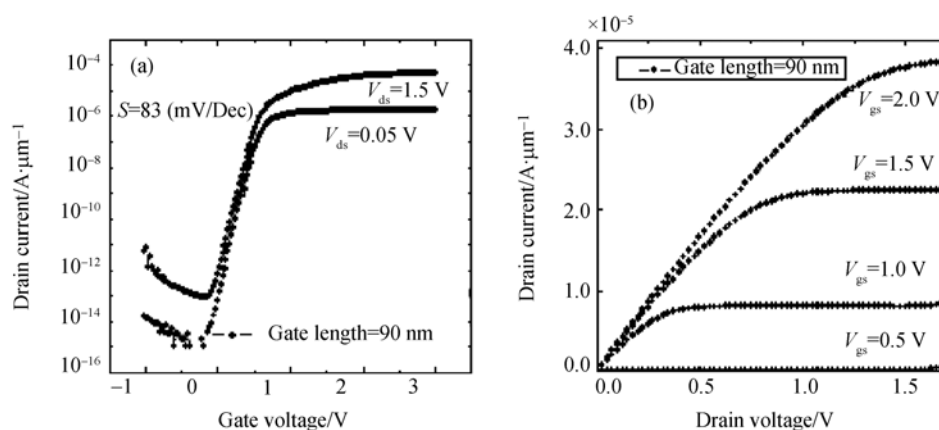


图 13 实验测得的 90 nm 栅长准 SOI MOSFET 转移特性和输出特性曲线

随着沟道长度的缩短, 载流子渡越沟道时间接近甚至小于其平均自由时间, 实际载流子在经过沟道时受到的散射也将大大减少, 载流子在沟道内输运已属于准弹道输运. 如果器件尺寸进一步缩小, 使得载流子渡越沟道的时间远小于散射时间, 此时的器件将实现弹道输运. 实验^[6]和模拟^[13~16]结果表明, 在器件沟长小于 30 nm 的情形下, 准弹道输运将会非常显著. 准弹道输运和亚微米器件中的非稳态输运不同, 非稳态输运一般是指强场下的高能载流子输运行为, 在这种情下载流子的输运已不仅仅只由此时此地的特性来决定, 而是依赖于邻近时间和空间上的情形, 且分布函数和平衡分布有较大的偏离. 通常非稳态输运仍然是散射支配的, 考虑在某一时刻施加一很强的电场, 在载流子由初始的平衡分布到最后的分布需要经过一定的时间弛豫. 一般情形下, 动量弛豫时间小于能量弛豫时间, 载流子在开始时将获得比该电场下对应的速度更大的漂移速度, 随后下降到和该电场对应的速度值, 这就是时间上的速度过冲现象. 如果研究的是空间上不均匀分布的高场下的载流子输运, 也会出现空间上的速度过冲现象. 而准弹道输运主要是指载流子渡越器件过程中受到的散射次数较少, 从而显现出的一些新的现象. 而对于准弹道输运的研究尚未深入, 为此研究纳米尺度下器件的准弹道输运特性对于建立器件模型和优化器件的设计具有重要作用.

另一方面, 随着沟道尺寸的不断缩小, 虽然准弹道输运支配了器件的电学特性, 但是由于超薄体和双栅等新器件结构的应用, 实际的器件沟道内的散射并不会完全消失, 而且界面粗糙散射可能还会因为电场的增强而更加显著, 从而极大的降低器件的特性. 为此界面粗糙散射对于纳米尺度的新结构器件的特性及其建模有着重要的影响. 通过求解界面粗糙散射矩阵元建立界面散射模型并利用基于求解量子 Boltzmanm 方程的 Monte-Carlo 器件模拟程序, 我们研究了晶格散射和界面粗糙散射等多种散射机制对新结构 MOSFET 特性的影响^[16~19].

3.1 亚 50 nm MOSFET 中不同散射机制对器件特性的影响

利用基于求解量子 Boltzmanm 方程的 Monte-Carlo 器件模拟程序研究了沟长 20 nm UTB MOSFET 中晶格散射和表面粗糙散射等对器件特性的影响. 图 14 给出了 4 种不同情形的模拟

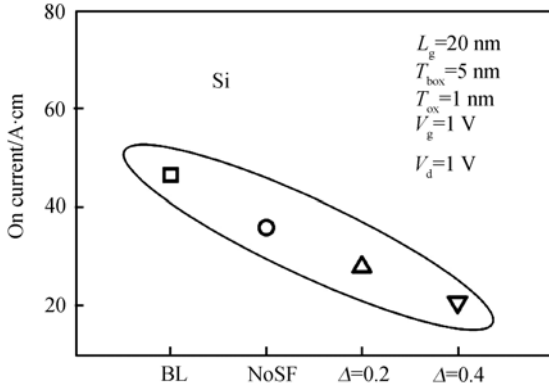


图 14 各种散射情形对输出电流的影响

结果对比, 其中 BL 代表了完全的弹道运输, 也就是模拟中关掉了沟道中的所有散射类型. NoSF 则表示界面是完全光滑的情形, 模拟中计入了晶格散射和电离杂质散射. $\Delta=0.2$ 和 $\Delta=0.4$ 代表了两种不同的界面粗糙情形, 模拟中在计入了晶格散射和电离杂质散射的基础上又计入了不同程度的界面粗糙散射, Δ 越大界面越粗糙. 对比 BL 和 NoSF 的情形, 电流从 46 A/cm 减小到 35 A/cm, 电流的减小正好说明了晶格散射等影响的程度, 即在沟长 20 nm 的 UTB MOSFET 中, 光滑表面条件下, 载流子仍然受到了晶格等的散射, 其开态电流为弹道运输情形下的 76%, 忽略散射将高估特性约 25%. 而界面散射将进一步引起开态电流的减小, 在中等粗糙的界面条件下 ($\Delta=0.2$), 其开态电流为弹道运输情形下的 52%, 即界面粗糙将进一步引起 24% 的开态电流降低. 界面越粗糙, 这种降低越显著, 当 $\Delta=0.4$ 时, 界面粗糙将使开态电流额外降低 32%. 由此可见, 界面问题在纳米尺度的 MOSFET 中至关重要.

3.2 界面粗糙对器件特性的影响

通过求解界面粗糙散射矩阵元建立界面散射模型, 并利用基于求解量子 Boltzmann 方程的 Monte-Carlo 器件模拟程序, 模拟了沟长 20 nm UTB MOSFET 中的准弹道运输特性, 对比了不同界面粗糙程度对载流子运输和器件特性的影响. 器件中源端势垒峰值处速度和漏端峰值速度适于图 15(a) 所示. 源端势垒峰值处速度和电流的关系基本上为一经过零点的直线, 而漏端峰值速度和电流基本为线性关系, 但并不经过零点. 源端势垒峰值处速度和电流的关系基本上为一经过零点的直线, 正好表明源端势垒峰值处电荷密度基本不变. 模拟结果了源端势垒峰值处速度比漏端的峰值速度有更加重要的影响. 同时, 也说明了器件中的载流子浓度分布的情形. 图 15(b) 给出了源端势垒峰值处速度和漏端峰值速度和界面粗糙的关系. 界面粗糙对源端势垒峰值处速度的影响明显要比对漏端峰值速度的影响大. 当界面粗糙 Δ 由 0.0 增加到 0.4 时, 源端势垒峰值处速度有 40% 的减小, 而漏端峰值速度则只有 22%.

图 16 示出了反散射系数和界面粗糙散射及沟长的关系. 在漏压为 1V 的情形下, 对比两种界面粗糙情形, $\Delta=0$ 和 $\Delta=0.2$. 可以看出, 随着界面粗糙的变大, 反散射系数明显变大; 随着沟道长度的减小, 反散射系数明显变小. 10 nm 沟长器件中, 如果忽略界面粗糙散射, 反散射系数只有 0.1 左右. 而在 20 nm 沟长器件中, 忽略界面粗糙散射情形, 反散射系数约为 0.16. 沟长小的情形下, 界面粗糙散射的影响较小; 沟长大的情形下, 界面粗糙的影响较大. 同时由模拟结果可见, 在漏压较小的情形下, 器件的反散射系数较大, 此时主要是因为从漏到源的流仍可以和从源到漏的流相比拟; 但是在漏压较大的情形下, 器件的反散射系数变小, 这主要是因为此时从漏到源的流基本可以忽略.

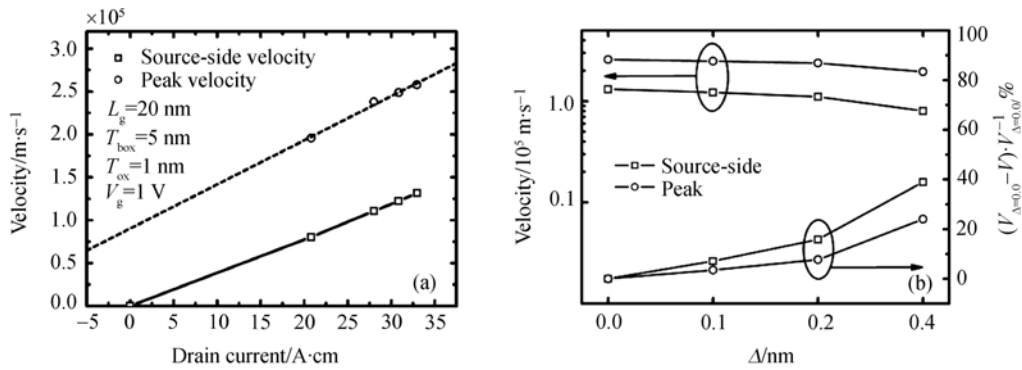


图 15 源端势垒峰值处速度和漏端峰值速度和电流、界面粗糙的关系

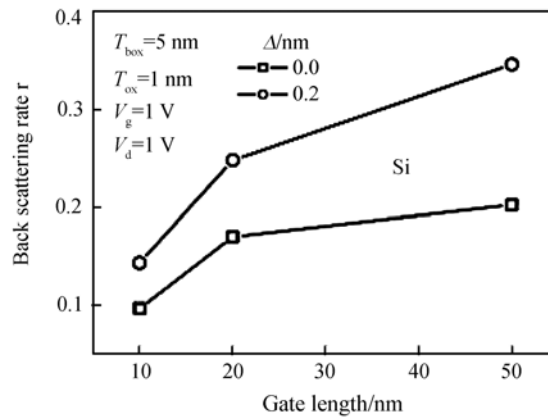


图 16 反散射系数和界面粗糙散射及沟长的关系

4 结论

硅基 CMOS 技术, 包括经典与非经典的 CMOS 集成电路将在 21 世纪上半叶特别是 2030 年前后仍将是主流技术. 其中为解决传统(经典)CMOS 器件与电路遇到的各种困难而提出的包括新结构、新材料和新工艺的我们称之为非经典的 CMOS 器件与电路将在小于 45 nm 节点以后逐步发挥作用, 在工业生产中逐步被采用. 但是不管是哪种结构, 哪种材料与工艺, 从产业经济效益考虑, 必将首先采用与现行硅基 CMOS 技术相兼容, 变化最小, 成本最低, 可靠性最好, 成品率最高, 总而言之是性能/价格比最好的技术. 数以万亿美元投入的集成电路产业有着顽强的生命力, 但是不管从哪个角度来看, 纳米集成电路或称之为纳米集成系统(Nano SOC)的时代已经来临. 目前正是“群雄纷起”的时代, 科技角逐是集成电路发明以来最活跃的时期.

参考文献

- 1 The International Technology Roadmap for Semiconductors (ITRS) Roadmap. ITRS roadmap, 2006. <http://public.itrs.net/>
- 2 Wakabayashi H, Yamagami S, Ikezawa N, et al. Sub-10-nm planar-bulk-CMOS devices using lateral junction control. In: International Electron Devices Meeting (IEDM) Tech Dig. New York: IEEE, 2003. 989—991
- 3 Kang J F, Yu H Y, Ren C, et al. Improved electrical and reliability characteristics of HfN/HfO₂ gated nMOSFET with 0.95 nm EOT fabricated using a gate-first process. IEEE Electron Dev Lett, 2005, 4(26): 237—239 [\[DOI\]](#)
- 4 Kang J F, Ren C, Yu H Y, et al. A novel dual-metal gate integration process for sub-1nm EOT HfO₂ CMOS devices. In: 2004 International Conference on Solid State Devices and Materials (SSDM 2004). Tokyo, 2004, 15—17
- 5 Tian Y, Xiao H, Huang R, et al. Quasi-SOI MOSFET—a promising bulk device candidate for extremely scaled era. IEEE Trans Electron Dev, 2007, 53(7): 1784—1788 [\[DOI\]](#)
- 6 Timp G, Bude J, Bourdelle K K, et al. The ballistic nano-transistor. IEDM Tech Dig, 1999: 55—58
- 7 Kang J F, Yu H Y, Ren C, et al. Scalability and reliability characteristics of CVD HfO₂ gate dielectrics with HfN electrodes for advanced CMOS applications. J Electrochemical Soc, 2007, 154: H927—H932
- 8 Sa N, Kang J F, Yang H, et al. Mechanism of positive-bias temperature instability in sub-1 nm TaN/HfN/HfO₂ gate stack with low preexisting traps. IEEE Electron Dev Lett, 2005, 26(9): 610—612 [\[DOI\]](#)
- 9 Choi Y K, Ha D, King T J, et al. Nanoscale ultrathin body PMOSFETs with raised selective germanium source/drain. IEEE Electron Dev Lett, 2001, 22(9): 447—448 [\[DOI\]](#)
- 10 Uchida K, Koga J, Takagi S I. Experimental study on carrier transport mechanisms in double- and single-gate ultrathin-body MOSFETs—coulomb scattering, volume inversion, and δ TSOI-induced scattering. In: IEDM. New York: IEEE, 2003. 33.5.1—33.5.4
- 11 Ren Z, Hegde S, Doris B, et al. An experimental study on transport issues and electrostatics of ultrathin body SOI pMOSFETs. IEEE Electron Dev Lett, 2002, 23(10): 609—611 [\[DOI\]](#)
- 12 Tian Y, Huang R, Zhang X, et al. A novel nanoscaled device concept:quasi-SOI MOSFET to eliminate the potential weaknesses of UTB SOI MOSFET. IEEE Trans Electron Dev, 2005, 52(4): 561—568 [\[DOI\]](#)
- 13 Natori K. Ballistic metal-oxide-semiconductor field effect transistor. J Appl Phys, 1994, 76(8): 4879—4890
- 14 Palestri P, Esseni D, Eminent S, et al. Understanding quasi-ballistic transport in nano-MOSFETs: part I-scattering in the channel and in the drain. IEEE Trans Electron Dev, 2005, 52(12): 2727—2732 [\[DOI\]](#)
- 15 Eminent S, Esseni E, Palestri P, et al. Understanding quasi-ballistic transport in nano-MOSFETs: part II-technology scaling along the ITRS. IEEE Trans Electron Dev, 2005, 52(12): 2736—2743 [\[DOI\]](#)
- 16 Lundstrom M. Elementary scattering theory of the Si MOSFET. IEEE Electron Dev Lett, 1997, 18(7): 361—363 [\[DOI\]](#)
- 17 Xia Z L, Du G, Liu X Y, et al. Effect of surface roughness on quasi-ballistic transport in nano-scale Ge and Si double-gate MOSFETs. In: The 8th International Conference on Solid-State and Integrated Circuit Technology. New York: IEEE, 2006. 152—154
- 18 Du G, Liu X Y, Xia Z L, et al. Monte Carlo simulation of p and n channel GOI MOSFETs by solving quantum boltzmann equation. IEEE Trans Electron Dev, 2005, 52(10): 2258—2264 [\[DOI\]](#)
- 19 Xia X L, Du G, Liu X Y, et al. Carrier effective mobilities in germanium MOSFET inversion layer investigated by Monte Carlo simulation. Solid-State Electron, 2005, 49(12): 1942—1946 [\[DOI\]](#)