

# Al<sub>2</sub>O<sub>3</sub> 绝缘栅 SiC MIS 结构基本特性的研究

刘莉<sup>①</sup>, 杨银堂<sup>①</sup>, 马晓华<sup>②</sup><sup>①</sup> 西安电子科技大学微电子学院, 教育部宽禁带半导体材料与器件重点实验室, 西安 710071;<sup>②</sup> 西安电子科技大学技术物理学院, 西安 710071

E-mail: liuli@mail.xidian.edu.cn

2010-12-03 收稿, 2011-01-19 接受

西安电子科技大学 2010 年校内基本科研业务费资助项目(K50510250008)

**摘要** 采用原子层淀积(ALD)方法在 4H-SiC(0001)8°N-/N+外延层上制备了超薄(~4 nm)Al<sub>2</sub>O<sub>3</sub> 绝缘栅高介电常数 SiC MIS 电容. 通过对 Al<sub>2</sub>O<sub>3</sub> 介质膜以及 Al<sub>2</sub>O<sub>3</sub>/SiC 界面微结构和电学特性分析表明, 实验所得 Al<sub>2</sub>O<sub>3</sub> 介质膜具有较好的体特性和界面特性, Al<sub>2</sub>O<sub>3</sub> 薄膜的击穿电场为 25 MV/cm, 并且在可以接受的界面态密度( $2 \times 10^{13} \text{ cm}^{-2}$ )下具有较小的栅泄漏电流(8 MV/cm 电场下漏电流密度为  $1 \times 10^{-3} \text{ A/cm}^{-2}$ ). 电流-电压测试分析表明, 在 FN 隧穿条件下, SiC/Al<sub>2</sub>O<sub>3</sub> 之间的势垒高度为 1.4 eV, 已达到制作 SiC MISFET 器件的要求. 同时, 在整个栅压区域也受 Frenkel-Poole 和 Schottky 机制的共同影响.

## 关键词

Al<sub>2</sub>O<sub>3</sub>  
SiC MIS 电容  
栅泄漏电流  
C-V 特性

SiC 具有独特的物理、化学及电学特性, 是在高温、高频、大功率及抗辐射等极端应用领域极具发展潜力的半导体材料. 同其他宽禁带半导体材料相比, 它是唯一能通过热氧化方式形成具有稳定电化学性能的本征 SiO<sub>2</sub> 绝缘层的宽禁带半导体材料. SiC 功率 MOSFET 器件的最佳工作状态与栅介质层体特性及绝缘层/半导体界面特性紧密相关. SiO<sub>2</sub>/SiC 界面高界面态密度导致沟道有效迁移率降低以及开关速度变慢、栅泄漏电流增大以及阈值电压和低频  $1/f$  噪声增加. 虽然近年在制备高质量 SiC MOS 界面的工艺方面做了不少探索, 但 SiO<sub>2</sub>/SiC 界面态密度仍比 SiO<sub>2</sub>/Si 高至少一个数量级<sup>[1,2]</sup>. 同时, 与 SiO<sub>2</sub>/Si 界面相比, SiO<sub>2</sub>/SiC 界面较低的势垒会导致在高温条件下热 SiO<sub>2</sub> 中漏电流增大从而加速了氧化层的失效<sup>[3]</sup>, 这一问题严重限制了 SiC CMOS 器件和电路的高温应用. 因此, 如何通过改善工艺提高 MOS 器件栅介质界面和体特性成为 SiC 材料在功率 MOSFET 应用中首先需要解决的问题. 为提高 SiC MOS 器件在高场条件下应用的可靠性, 已采用高 K 栅介质材料替代 SiO<sub>2</sub>, 制备 SiC MIS 器件改善功率 MISFET 的性能. Al<sub>2</sub>O<sub>3</sub>

高 K 介质材料因具有大禁带宽度(9 eV)、高介电常数( $\kappa \sim 10$ )、高击穿电场(5~10 MV/cm)及很好的热稳定性(在 1000 °C 高温下仍保持无定型)而备受瞩目<sup>[4-6]</sup>, 与其他栅介质材料如氧化 Ta<sub>2</sub>Si<sup>[7]</sup>, SiO<sub>2</sub>/TiO<sub>2</sub><sup>[8]</sup>, Gd<sub>2</sub>O<sub>3</sub><sup>[9]</sup>, SiO<sub>2</sub>/HfO<sub>2</sub><sup>[10]</sup>, AlN<sup>[11]</sup>, Si<sub>3</sub>N<sub>4</sub><sup>[12]</sup>以及 SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub><sup>[8]</sup>相比, 无定形 Al<sub>2</sub>O<sub>3</sub> 的  $J-E$  特性已经接近理想 SiC 衬底上热 SiO<sub>2</sub> 的特性. 其引入可以提高介质层的有效厚度, 改善栅介质膜的击穿特性, 并且能够减小栅极向累积区注入电子的可能性<sup>[13]</sup>.

本实验采用 ALD 方法在 4H-SiC(0001)8°N-/N+外延层上制备了超薄(~4 nm)Al<sub>2</sub>O<sub>3</sub> 高介电常数 SiC MIS 电容结构. 室温高频 C-V 测试得到 Al<sub>2</sub>O<sub>3</sub>/SiC 界面的有效电荷密度为  $2 \times 10^{13} \text{ cm}^{-2}$ ;  $J-E$  测试分析表明, Al<sub>2</sub>O<sub>3</sub> 薄膜的击穿电场为 25 MV/cm, 在 FN 隧穿条件下, 得到 SiC/Al<sub>2</sub>O<sub>3</sub> 之间的势垒高度为 1.4 eV, 已达到制作 MIS 器件对栅特性要求. 同时, 栅泄漏电流还受到 PF 机制和 SE 机制的共同作用.

## 1 实验

实验采用 Cree 公司 N+/N-(0001)4H-SiC 外延片

为原材料, 外延层氮掺杂浓度为  $4 \times 10^{15} \text{ cm}^{-3}$ , 衬底为氮重掺杂  $1 \times 10^{18} \text{ cm}^{-3}$ . 实验步骤如下: 首先, RCA 标准工艺清洗, 然后采用 ALD 方法淀积  $\text{Al}_2\text{O}_3$  厚度为 4 nm 左右, 最后通过剥离工艺形成栅电极, 栅金属为 Ti(23 Å)/Au(45 Å), 背面欧姆接触. 实验测试图形为两种, 环形电容: 内环直径 175  $\mu\text{m}$ , 外环直径 330  $\mu\text{m}$ ; 方形电容: 边长 77  $\mu\text{m}$ . 室温下  $I$ - $V$  特性测试采用 HP4156B 进行,  $C$ - $V$  测试采用 Keithley 590  $C$ - $V$  分析仪进行.

## 2 结果与讨论

### 2.1 $\text{Al}_2\text{O}_3$ 膜和 $\text{Al}_2\text{O}_3/\text{SiC}$ 界面微结构分析

图 1 给出了用 Axis Ultra X 射线光电子谱仪对制备出的  $\text{Al}_2\text{O}_3$  膜的相结构和结合状态进行分析的测试曲线和拟合曲线, X 射线类型为 Al Ka(1486.6 eV), X 射线功率为 150 W, 真空度为  $10^{-9}$  Torr(1 Torr=133 Pa). 从图 1(a)总谱图可以看出, 从薄膜表面一直到 SiC 基板, 存在 Al2p, N1s, O1s, Si2p, Si2s 元素, 浓度

比分别为 24.45%, 6.16%, 59.76%, 4.78%, 4.85%. 从图 1(b)Al2p XPS 的测试结果看出, Al2p 的峰值键合能为 74.6 eV, 与标准  $\text{Al}_2\text{O}_3$  的 X 光电子峰值一致, 因此, 在所生长的介质薄膜中 Al 以  $\text{Al}_2\text{O}_3$  的形式存在. 从图 1(c)Si2p 的 XPS 能谱图的拟合和测试图比较可以看出, Si 2p 以两种相结构存在: SiC 和  $\text{SiO}_2$ , 存在  $\text{SiO}_2$  的原因是因为在生长  $\text{Al}_2\text{O}_3$  过程中对基板加热导致有微量的  $\text{SiO}_2$  形成.

图 2 给出了栅金属/ $\text{Al}_2\text{O}_3$ /SiC 界面 HRTEM 图像. 从图中可以看出, 生长的  $\text{Al}_2\text{O}_3$  膜厚度不是很均匀, 从 2.6 nm 到 3 nm 不等, 这是由 ALD 方法自身所造成的, 但是在整个片子上膜厚度都控制在纳米量级. 另外, 从图 2(b)还可以看出,  $\text{Al}_2\text{O}_3/\text{SiC}$  界面为突变界面, 界面分界线很清晰, 过渡层厚度约为 1 nm, 已接近在相同工艺条件下  $\text{Al}_2\text{O}_3/\text{Si}$  界面层厚度<sup>[14]</sup>.

### 2.2 SiC MIS 电容高频 $C$ - $V$ 特性分析

对 MIS 结构进行高频  $C$ - $V$  测试(图 3)并与理想情况下的  $C$ - $V$  曲线进行比较, 可以得到其平带电压为 8

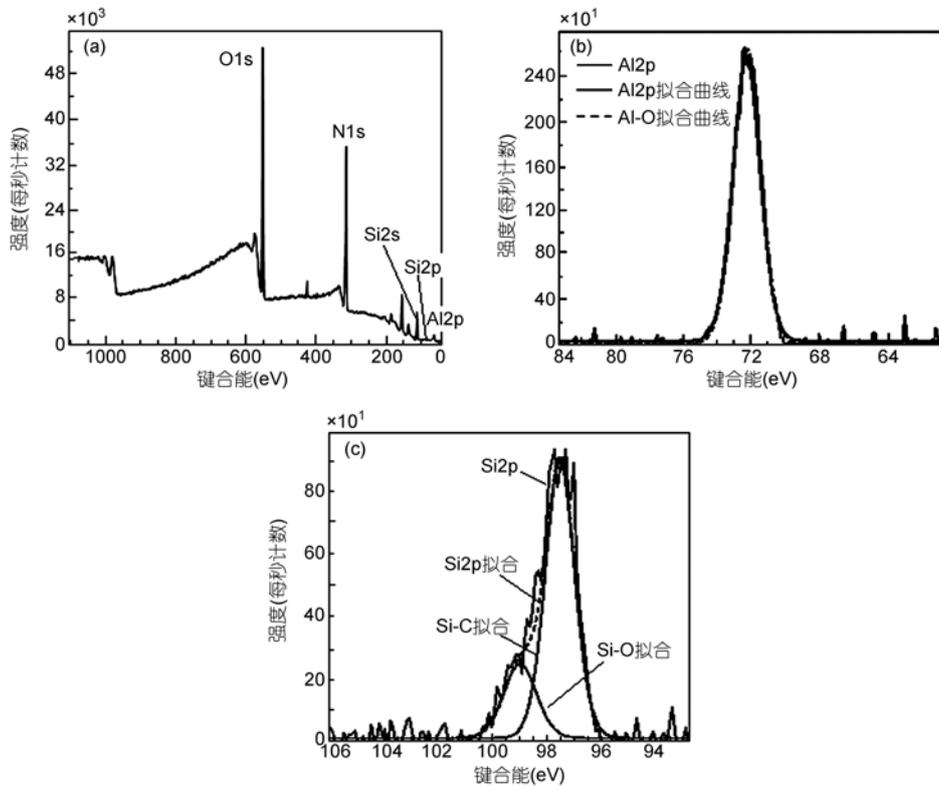


图 1 4H-SiC 外延层 ALD 生长  $\text{Al}_2\text{O}_3$  后 XPS 谱  
(a) 总 XPS 能谱; (b) Al2p XPS 谱; (c) Si2p XPS 谱

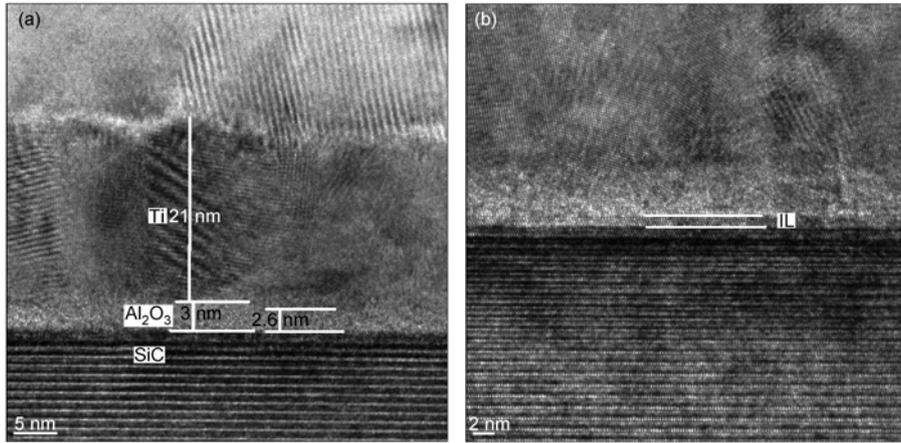


图2 栅金属/Al<sub>2</sub>O<sub>3</sub>/SiC界面 HRTEM 图像  
(a) 各层 HRTEM 图像; (b) Al<sub>2</sub>O<sub>3</sub>/SiC 界面 HRTEM 图像

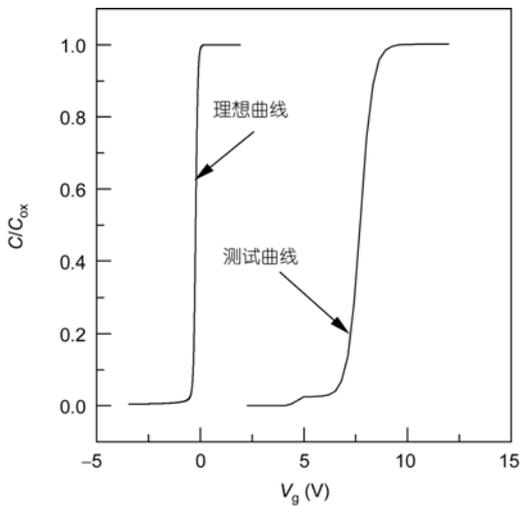


图3 10 kHz 高频 C-V 曲线比较

V, 对界面态密度求解简单如下.

根据平带电压与界面电荷之间的关系:

$$V_{fb} = V_{fb}^* - \frac{Q_{ox}}{C_{ox}} \quad (1)$$

而理想平带电压为

$$V_{fb}^* = -\frac{W_m - W_s}{q} \quad (2)$$

SiC 材料的功函数为

$$W_s = \chi + E_g / 2 - (kT / q) \ln(N_d / n_i) \quad (3)$$

在(1)~(3)式中,  $\chi$  为 SiC 的电子亲和势(4 eV),  $N_d$  为外延层浓度( $4 \times 10^{15} \text{ cm}^{-3}$ ),  $n_i$  为本征载流子浓度( $3.0 \times 10^{-7} \text{ cm}^{-3}$ ),  $W_m$  为栅金属 Ti 的功函数(3.8 eV),  $E_g$  为 4H-SiC 材料的禁带宽度(3.0 eV).

通过联立求解(1)~(3)式就可以求得理想状态下平带电压为-0.38 V, Al<sub>2</sub>O<sub>3</sub>/SiC 界面固定电荷密度和已陷落的电荷密度约为  $2 \times 10^{13} \text{ cm}^{-2}$ .

对方形电容进行 10 kHz 下 C-V 特性重复扫描, 得到其滞后曲线如图 4 所示, 扫描从-15 V 到+15 V 再返回到-15 V. 从图中可以看出, C-V 特性的滞后约为 40 mV 左右, 其滞回特性不明显, 这说明 Al<sub>2</sub>O<sub>3</sub> 栅介质中的体陷阱电荷很少, 因此扫描时将有很少的电子被陷阱俘获, 说明本次实验 Al<sub>2</sub>O<sub>3</sub> 栅介质质量较好.

### 2.3 Al<sub>2</sub>O<sub>3</sub> 栅介质的泄漏电流运输机制

栅氧化层的泄漏电流运输机制有很多种<sup>[15]</sup>, 常见的电流运输机制有 Fowler-Nordheim 隧穿、直接隧

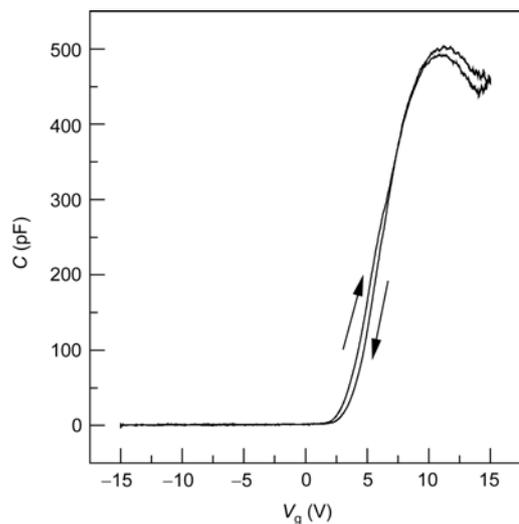


图4 10 kHz C-V 特性滞后曲线

穿、Schottky 发射、Frenkel-Poole 发射等. 此外, 空间电荷限制电流、离子输运电流和欧姆输运电流, 在一些条件下也会成为产生泄漏电流的主要因素. 直接隧穿与氧化层厚度有密切关系, 对于  $\text{SiO}_2$  介质, 厚度小于 2 nm 时直接隧穿现象较为明显. 由于  $\text{Al}_2\text{O}_3$  介电常数比  $\text{SiO}_2$  大, 因此根据计算当  $\text{Al}_2\text{O}_3$  栅介质膜厚度小于 5 nm 时必须考虑栅介质电流的直接隧穿<sup>[4,16]</sup>. 选取具有代表性的方形电容和环形电容的电压-电流曲线进行数据拟合分析.

根据 Frenkel-Poole 发射电流公式, 如果泄漏电流由 Frenkel-Poole 发射导致, 那么  $\ln(J/E)-E^{1/2}$  应该满足正比例关系; 同样, 如果  $\ln J-E^{1/2}$  满足正比例关系, 则栅泄漏电流服从 Schottky 发射. 对方形电容和环形电容的栅泄漏电流, 按照 Frenkel-Poole 发射机制以及 Schottky 发射机制进行拟合分别如图 5 和 6 所示. 从图中可以看出, 无论在电子衬底注入(正栅压)还是电子栅注入(负栅压)情形下, 电流-电压关系与 Schottky 发射和 Frenkel-Poole 发射都可以较好地符合, 因此在正负栅偏压下的栅泄漏电流则是这两种电流机制共同作用的结果.

对方形 MIS 电容结构进行  $J-E$  测试拟合如图 7 所示. 从图中可以看出, 在高达 8 MV/cm 电场下栅泄漏电流密度仅为  $1 \times 10^{-3} \text{ A/cm}^2$ , 此数值可与文献[8]给出的数值相比拟, 而此电场应力比其他高 K 材料如 AlN,  $\text{HfO}_2$ ,  $\text{SiO}_2/\text{HfO}_2$ ,  $\text{Gd}_2\text{O}_3$  高很多<sup>[7-12]</sup>. 当电场  $E < 3 \text{ MV}$  时, 即栅压  $V_{\text{ox}} < 1.2 \text{ V}$  (半导体材料的体电势为 1.3 V)时, 介质膜导带底部比半导体导带底高时, 直接隧穿开始起作用<sup>[17]</sup>. 当电场大于 25 MV/cm

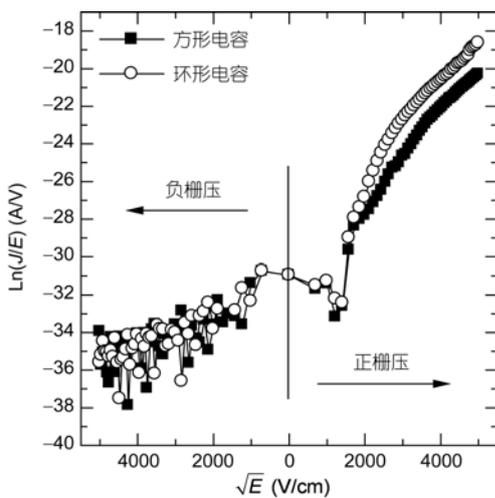


图 5 泄漏电流也可与 Frenkel-Poole 发射机制基本相符合

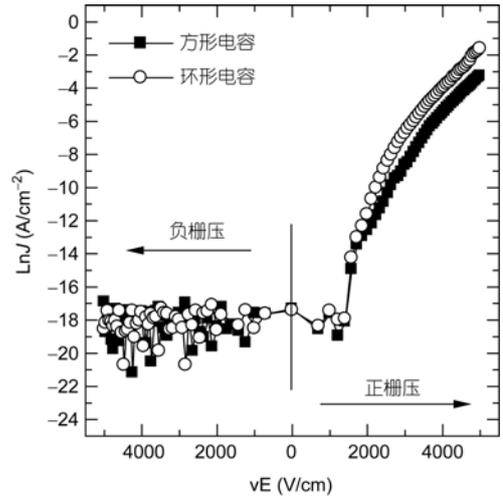


图 6 泄漏电流也可与 Schottky 发射机制基本相符合

时, MIS 电容栅介质击穿, 当电场在 3~25 MV/cm 时, 图 7(a)中电流呈指数增加, 在图 7(b)中基本满足线性关系, 此时 Fowler-Nordheim 隧穿电流起主导作用, 根据 FN 隧穿公式:

$$J = AE^2 \exp(-B/E), \quad (4)$$

其中

$$A = \left( \frac{q^3}{8\pi h} \right) \left( \frac{m_{\text{SiC}}}{m_{\text{ox}}} \right) \left( \frac{1}{\phi_b} \right) = 1.54 \times 10^{-6} \left( \frac{m}{m_{\text{ox}}} \right) \left( \frac{1}{\phi_b} \right) (\text{A/V}^2), \quad (5)$$

$$B = 8\pi (2m_{\text{ox}})^{1/2} \phi_b^{3/2} / 3hq = 6.83 \times 10^7 \left( \frac{m_{\text{ox}}}{m} \right)^{1/2} \phi_b^{3/2} (\text{V/cm}). \quad (6)$$

在(4)~(6)式中  $J$  为电流密度, 单位  $\text{A/cm}^2$ ,  $E$  为栅介质有效电场强度,  $E = V_{\text{ox}}/t_{\text{ox}}$ ,  $t_{\text{ox}}$  为栅介质层物理厚度,  $q$  为电子电荷,  $m_{\text{SiC}}$  和  $m_{\text{ox}}$  分别为 SiC 和  $\text{Al}_2\text{O}_3$  中有效电子质量,  $m_{\text{ox}}$  为 0.11  $m$ <sup>[10]</sup>,  $m$  为自由电子质量,  $\phi_b$  为  $\text{Al}_2\text{O}_3/\text{SiC}$  势垒高度.

通过对栅电场在 3~25 MV/cm 之间  $\ln(J/E^2) \sim 1/E$  曲线的斜率进行拟合并根据(6)式的计算, 可以得到  $\text{Al}_2\text{O}_3/\text{SiC}$  势垒高度约为 1.4 eV. 对环形电容有类似的结果存在.

### 3 结论

采用 ALD 方法在 N 型 4H-SiC 同质外延层上制备了超薄高 K 绝缘栅介质  $\text{Al}_2\text{O}_3/\text{SiC}$  MIS 电容结构,

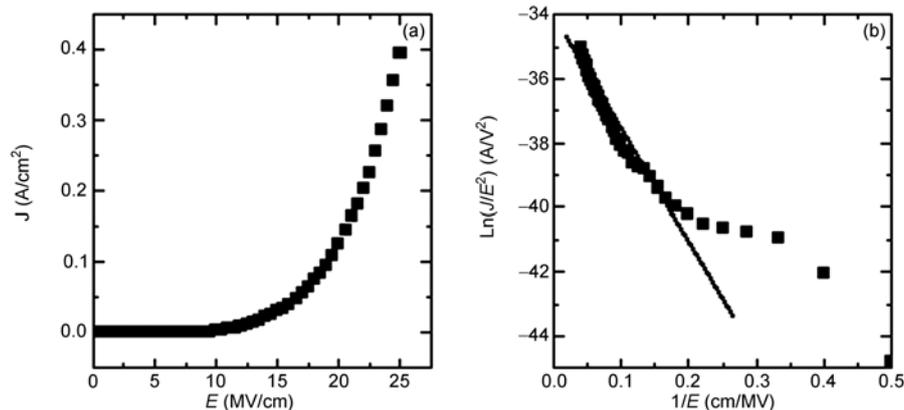


图7 方形电容  $J \sim E$ (a)和  $\ln(J/E^2) \sim 1/E$ (b)曲线

微结构分析以及电学特性测试分析表明: 所得  $\text{Al}_2\text{O}_3$  介质膜具有良好的体特性, 并且与  $\text{SiC}$  衬底之间具有良好的界面特性,  $\text{Al}_2\text{O}_3$  膜的击穿电场为 25 MV/cm,  $\text{Al}_2\text{O}_3/\text{SiC}$  界面电荷密度为  $2 \times 10^{13} \text{ cm}^{-2}$ ; 在 8 MV/cm

电场下漏电流密度为  $1 \times 10^{-3} \text{ A/cm}^{-2}$ 。同时, 栅介质膜泄漏电流受多种机制影响, 在 FN 隧穿条件下,  $\text{SiC}/\text{Al}_2\text{O}_3$  之间的势垒高度为 1.4 eV, 已达到制作  $\text{SiC}$  MISFET 器件的要求。

**致谢** 感谢复旦大学张卫和孙清清老师在材料生长方面提供的帮助; 感谢上海埃文斯材料理化分析中心何永强、刘炎所提供 HRTEM 和 EDX 测试分析。

参考文献

- 1 Deák P, Knaup J M, Hornos T, et al. The mechanism of defect creation and passivation at the SiC/SiO<sub>2</sub> interface. *J Phys D: Appl Phys*, 2007, 40: 6242–6253
- 2 Dang H L, Gudipati R, Liu Y, et al. Carbon clusters as possible defects in the SiC-SiO<sub>2</sub> interface. *J Comput Theor Nanosci*, 2009, 6: 1305–1310
- 3 Puthenkovilakam R, Chang J P. An accurate determination of barrier heights at the HfO<sub>2</sub>/Si interfaces. *J Appl Phys*, 2004, 96: 2701–2705
- 4 Tanner C M, Perng Y C. Electrical performance of Al<sub>2</sub>O<sub>3</sub> gate dielectric films deposited by atomic layer deposition on 4H-SiC. *Appl Phys Lett*, 2007, 91: 203510
- 5 Kuan Y C, Jeong H M. Analysis of current conduction mechanisms in atomic-layer-deposited Al<sub>2</sub>O<sub>3</sub> gate on 4H silicon carbide. *Appl Phys Lett*, 2007, 90: H69–H71
- 6 Kumta A, Rusli, Xia J H. Breakdown phenomena of Al-based high-*k* dielectric/SiO<sub>2</sub> stack on 4H-SiC. *Appl Phys Lett*, 2009, 94: 233505
- 7 Perez-Tomas A, Godignon P, Montserrat J. Ta<sub>2</sub>Si short time thermal oxidized layers in N<sub>2</sub>O and O<sub>2</sub> to form high-*k* gate dielectric on SiC. *Appl Surf Sci*, 2006, 253: 1741–1744
- 8 Mahapatra R, Chakraborty A K, Poollamai N. Leakage current and charge trapping behavior in TiO<sub>2</sub>/SiO<sub>2</sub> high-*K* gate dielectric stack on 4H-SiC substrate. *J Vac Sci Technol B*, 2007, 25: 217–223
- 9 Fissel A, Czernohorsky M, Osten H J. Characterization of crystalline rare-earth oxide high-*K* dielectrics grown by molecular beam epitaxy on silicon carbide. *J Vac Sci Technol B*, 2006, 24: 2115–2118
- 10 Afanas'ev V V, Stesmans A, Chen F. HfO<sub>2</sub>-based insulating stacks on 4H-SiC (0001). *Appl Phys Lett*, 2003, 82: 922–925
- 11 Wolborski M, Rosen D, Hallen A. Aluminium nitrided deposition on 4H-SiC by means of physical vapour deposition. *Thin Solid Films*, 2006, 515: 456–459
- 12 Lipkin L A, Palmour J W. Insulator investigation on SiC for improved reliability. *IEEE Trans ED*, 1999, 46: 525–532
- 13 Usman M, Hallén A. Toward the understanding of stacked Al-based high-*k* dielectrics for passivation of 4H-SiC devices. *J Electrochem Soc*, 2011, 158: H75–H79
- 14 徐敏, 张卫, 孙清清. Si 衬底上原子层淀积 Al<sub>2</sub>O<sub>3</sub> 薄膜的界面层抑制. 见: 第六届全国表面工程学术会议, 2006. 474–477

- 15 Sze S M, Kwok K N G. *Physics of Semiconductor Devices*. 3rd ed. New York: John Wiley & Sons Inc, 2006
- 16 Khairurrijal, Mizubayashi W. Analytic model of direct tunnel current through ultrathin gate oxides. *Appl Phys Lett*, 2000, 77: 3580–3585
- 17 Register L F, Rosenbaum E, Yang K. Analytic model for direct tunneling current in polycrystalline silicon-gate metal-oxide-semiconductor devices. *Appl Phys Lett*, 1999, 74: 457–460

## Fundamental characteristics of SiC MIS structure with Al<sub>2</sub>O<sub>3</sub> as gate dielectric

LIU Li<sup>1</sup>, YANG YinTang<sup>1</sup> & MA XiaoHua<sup>2</sup>

<sup>1</sup> Key Laboratory of Wide Band Gap Semiconductor Materials and Devices of Ministry of Education, School of Microelectronics, Xidian University, Xi'an 710071, China;

<sup>2</sup> School of Technical Physics, Xidian University, Xi'an 710071, China

SiC MIS structure with ultra-thin Al<sub>2</sub>O<sub>3</sub> as gate dielectric deposited by atomic layer deposition (ALD) on epitaxial layer of 4H-SiC(0001)8°N-/N+ substrate is fabricated. The microstructure and electrical characteristics analysis on the film and Al<sub>2</sub>O<sub>3</sub>/SiC interface has shown that Al<sub>2</sub>O<sub>3</sub> deposited has a good bulk characteristics and a good quality between Al<sub>2</sub>O<sub>3</sub> and SiC. The breakdown electrical field of Al<sub>2</sub>O<sub>3</sub> film is 25 MV/cm; the MIS capacitor has a fairly low gate leakage current (current density of  $1 \times 10^{-3}$  A/cm<sup>-2</sup> with a electric field of 8 MV/cm) under acceptable interface effective charge ( $2 \times 10^{13}$  cm<sup>-2</sup>). Current-voltage measurement and analysis has shown that when the gate leakage current mechanism is dominated by FN tunneling, the barrier height of SiC/Al<sub>2</sub>O<sub>3</sub> is 1.4 eV, which can meet the requirement of SiC MISFET devices. Besides this, the gate leakage current is co-influenced by both of Frenkel-Poole mechanism and Schottky emission.

**Al<sub>2</sub>O<sub>3</sub>, SiC MIS capacitor, gate leakage current, C-V characteristics**

doi: 10.1360/972010-2249