



功率半导体器件与功率集成技术的发展现状及展望

孙伟锋^{①*}, 张波^②, 肖胜安^③, 苏巍^④, 成建兵^⑤

① 东南大学国家 ASIC 工程技术研究中心, 南京 210096

② 电子科技大学电子薄膜与集成器件国家重点实验室, 成都 610054

③ 上海华虹 NEC 电子有限公司, 上海 201206

④ 无锡华润上华半导体有限公司, 无锡 214061

⑤ 南京邮电大学电子科学与工程学院, 南京 210003

* 通信作者. E-mail: swffrog@seu.edu.cn

收稿日期: 2012-08-11; 接受日期: 2012-08-28

摘要 功率半导体技术是半导体领域的重要研究内容之一, 主要应用于现代电子系统的功率处理单元, 是当今消费类电子、工业控制和国防装备等领域中的关键技术之一. 本文概要介绍了功率半导体器件与集成技术的特点和应用范围, 阐述了功率半导体器件与集成技术的发展现状和趋势, 给出了未来技术发展路线图, 最后梳理了未来技术发展的若干问题.

关键词 功率半导体器件 功率集成技术 技术路线图

1 引言

40 多年来, 半导体技术沿着摩尔定律的路线不断缩小芯片特征尺寸, 然而目前半导体技术已经发展到一个瓶颈: 随着线宽的越来越小, 制造成本成指数上升; 而且随着线宽接近纳米尺度, 量子效应越来越明显, 同时芯片的泄漏电流也越来越大. 因此半导体技术的发展必须考虑“后摩尔时代”问题. 2005 年国际半导体技术发展路线图 (international technology roadmap for semiconductors, 简称 ITRS) 提出了超越摩尔定律 (more than Moore) 的概念^[1], 如图 1 所示, 功率半导体器件和功率集成技术在 more than Moore 中扮演十分重要的角色, 主要用于现代电子系统中的变频、变压、变流、功率放大、功率管理等功率处理电路, 也是当今消费类电子、工业控制和国防装备等领域中的关键技术之一.

功率半导体器件 (power semiconductor devices) 是进行功率处理的半导体器件. 根据载流子的不同, 功率半导体器件分为两类, 一类为双极型功率半导体器件; 另一类为单极功率半导体器件. 前者主要由功率二极管 (其中肖特基势垒功率二极管属于单极功率半导体器件)、晶闸管、绝缘栅双极型晶体管 (IGBT); 后者主要包含以 VDMOS 为代表的功率 MOS 器件. 根据材料分类主要是硅基功率半导体器件和宽禁带材料基 (主要是碳化硅 (SiC) 和氮化镓 (GaN)) 功率半导体器件. 图 2^[2] 为几种典型功率半导体器件应用频率和功率范围.

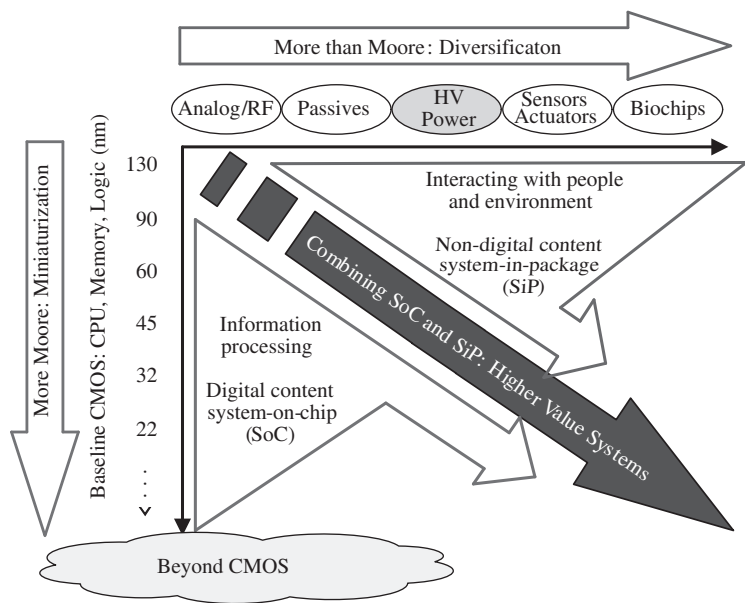


图 1 国际半导体技术发展路线图

Figure 1 The international technology roadmap for semiconductors

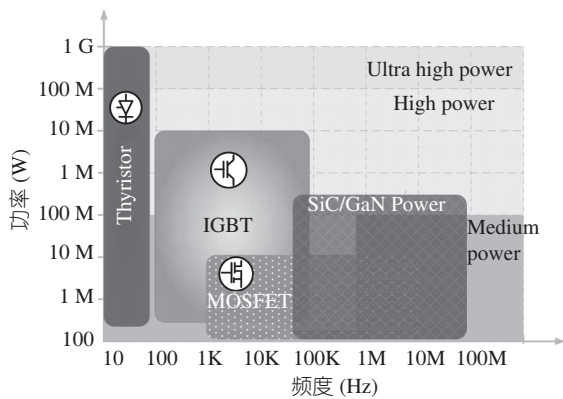


图 2 几种典型功率半导体器件的频率和功率应用范围 [2]

Figure 2 The application area of the frequency and power of some typical power semiconductor devices

功率集成电路 (power integrated circuit) 是指将高压功率器件与控制电路、外围接口电路及保护电路等集成在同一芯片的集成电路, 是系统信号处理部分和执行部分的桥梁. 按照应用电压和电流的不同功率集成电路可做如图 3 所示分类. 而用于制备功率集成电路的制造技术称之为功率集成技术. 功率集成技术要实现高压器件和低压器件的工艺兼容, 尤其要选择合适的隔离技术, 为控制制造成本, 还必须考虑工艺层次的复用性. 随着电子系统应用需求的发展, 要求集成更多的低压逻辑电路和存储模块, 实现复杂的智能控制; 作为强弱电桥梁的功率集成电路还必须实现低功耗和高效率; 恶劣的应用环境要求其具有良好的性能和可靠性. 因此, 功率集成技术需要在有限的芯片面积上实现高低压兼容、高性能、高效率与高可靠性.

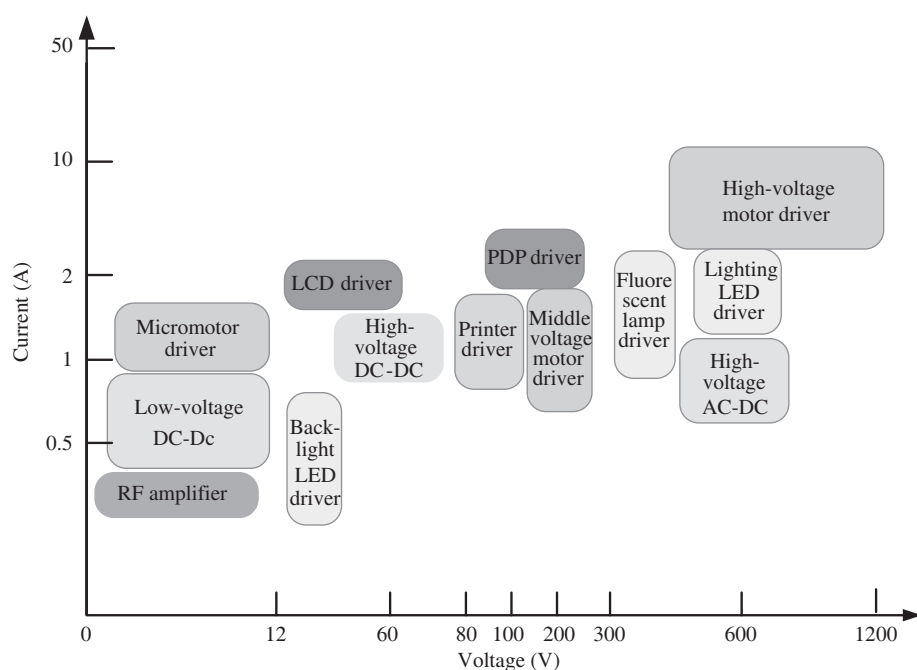


图 3 功率集成电路的应用

Figure 3 The application of power integrated circuit

2 功率半导体器件及功率集成技术的发展趋势

2.1 功率半导体器件的发展趋势

功率半导体器件主要包括功率二极管、晶闸管、功率 MOSFET、功率绝缘栅双极晶体管及宽禁带功率半导体器件等, 由于篇幅有限, 本文重点阐述后面三种功率半导体器件。

■ 功率 MOSFET.

功率 MOSFET 应用领域广阔, 是中小功率领域内主流的功率半导体开关器件. 功率 MOSFET 起源于 1970 年代推出的垂直 V 型槽 MOSFET (vertical V-groove MOSFET, VVMOS). 在 VVMOS 基础上发展起来的垂直双扩散 MOSFET (vertical double diffused MOSFET, VDMOS), 作为多子导电的功率 MOSFET, 关断时由于没有少子而显著地减小了开关时间和开关损耗, 冲破了电力电子系统中 20 kHz 这一长期被认为不可逾越的障碍. 目前功率 MOS 器件主要包括平面型 (以 VDMOS 为代表, 如图 4 所示)、槽栅 (以 trench MOSFET 为代表, 如图 5 所示) 和超结 (super-junction, 如图 6 所示) 型功率 MOS 器件.

功率 MOSFET 是一种功率场效应器件, 其导通电阻的正温度系数特性有利于多个元胞并联, 从而获得较大电流. 为减小功率 MOSFET 的导通电阻, 除优化器件结构 (或研发新结构) 外, 一个有效的办法就是增加单位面积内的元胞数量, 即增加元胞密度. 因此, 高密度成为制造高性能功率 MOSFET 的技术关键. 而对于常规平 VDMOS, 进一步减小元胞尺寸受到 VDMOS 结构中相邻元胞间 JFET 效应的限制, 这驱使功率槽栅 MOSFET 在低压低功耗领域迅速发展. 由于功率槽栅 MOSFET 结构中没有平面栅功率 MOSFET 所固有的 JFET 电阻, 使得功率槽栅 MOSFET 的单元密度可以随着加工工艺特征尺寸的降低而迅速提高. 如日本东芝公司在其开发的深槽积累层模式功率 MOSFET 中, 其单

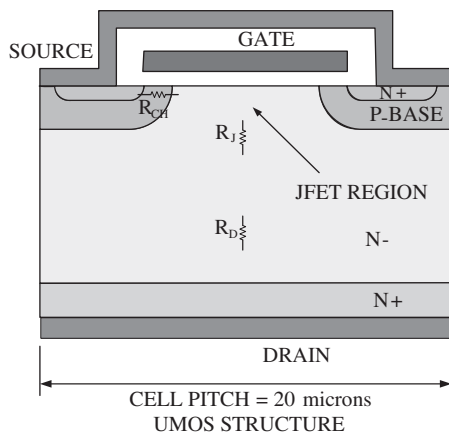


图 4 VDMOS 结构示意图

Figure 4 The cross-section of VDMOS

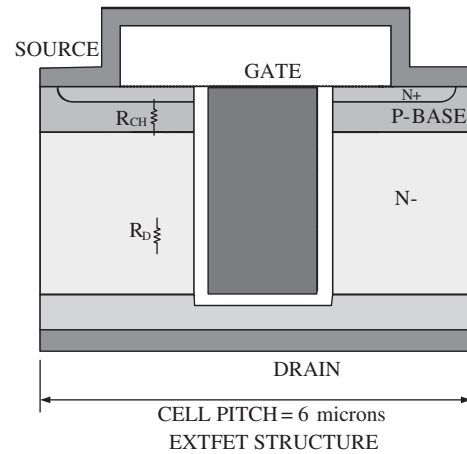


图 5 槽栅功率 MOS 结构示意图

Figure 5 The cross-section of Trench MOSFET

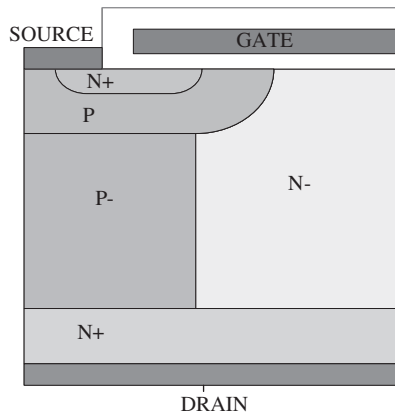


图 6 超结功率 MOS 结构示

Figure 6 The cross-section of SJ MOSFET

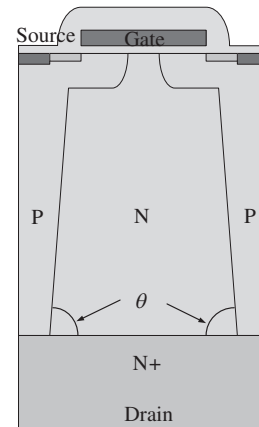


图 7 锥形 P 型柱区的 SJ 功率 MOS 结构图

Figure 7 The cross-section of SJ MOSFET with tapered P pillar

元尺寸仅 $0.4\ \mu\text{m}$, 33 V 耐压下导通电阻仅 $10\ \text{m}\Omega\cdot\text{mm}^2$. 为适应同步整流技术的发展, 众多厂家从器件结构和封装技术着手, 发展了更低 $\text{RON}\times\text{QG}$ 优值的功率 MOSFET, 如: 窄沟槽 (narrow trench) 结构^[3]、槽底厚栅氧 (thick bottom oxide) 结构^[4]、W 形槽栅 (W-shaped gate trench MOSFET) 结构^[5]和深槽积累层结构^[6]. TI 公司结合 RF LDMOS 结构的低栅电荷、电荷平衡机理的低导通电阻及引入 N+ Sinker 所具有的双面冷却所研发的 NexFET™ 获得好的市场效果^[7].

为拓展功率 MOSFET 在高压领域的应用, 西门子半导体 (现 Infineon) 在 1998 年推出了基于 Super-junction (或 Multi-RESURF 或 3D RESURF, 电子科技大学陈星弼院士的专利中称其为复合缓冲层: Composite Buffer Layer^[8]) 的 CoolMOS^[9]. 由于采用新的耐压层结构, CoolMOS 在保持功率 MOSFET 优点的同时, 又有着极低的导通损耗 ($\text{Ron}\propto\text{BV}^{1.23}$)^[10]. 日本 Renesas 电子推出具有 $50\ \mu\text{m}$ 深锥形 P 型柱区的超结功率 MOS 结构 (如图 7 所示), 通过优化锥角度和 P 型深槽掺杂浓度分布, 其击穿电压达到 736 V, 导通电阻只有 $16.4\ \text{m}\Omega\cdot\text{cm}^2$, 而且有效降低了击穿电压与电荷非平衡之间的敏感

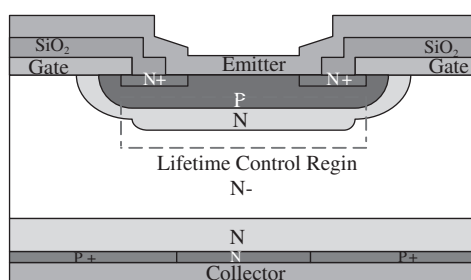


图 8 具有平面加强和载流子寿命控制的逆导型 IGBT(RC-IGBT) 结构图

Figure 8 The cross-section of RC-IGBT with the planar enhanced and carrier lifetime control technology

度^[11]. 目前国际上已有包括 Infineon、IR、Toshiba、Fairchild 和我国华虹 NEC (联合东南大学、电子科技大学及苏州博创集成电路设计有限公司等单位) 等多家公司采用该技术生产低功耗功率 MOSFET.

■ 绝缘栅双极晶体管.

功绝缘栅双极晶体管兼具功率 MOSFET 和双极型功率晶体管优点, 且较功率 MOSFET 有着更大的电流密度、更高的功率容量和较双极型功率晶体管更高的开关频率、更宽的安全工作区. 这些优势使 IGBT 在 600 V 以上中等电压范围内成为主流的功率半导体器件, 且正逐渐向高压大电流领域发展, 挤占传统 SCR、GTO 的市场份额.

随着研发人员对其器件物理的深入理解和微电子工艺的进步, IGBT 正向导通时漂移区浓度与非平衡载流子分布控制的所谓“集电极工程”、表面电子浓度增强的“栅工程”、IGBT 芯片内含续流二极管功能的逆导型 IGBT (reverse conducting IGBT, RC-IGBT), 以及短路安全工作区和压接式封装等方面不断取得进展. 瑞典 ABB 推出一款新型 RC-IGBT, 其结构如图 8 所示, 由于采用平面加强技术、载流子寿命控制技术和软穿通技术, 基于新器件的功率模块的输出电流能力达到 2250 A/3300 V^[12].

未来 IGBT 将继续向精细图形、槽栅结构、载流子注入增强、和薄片加工工艺发展, 其中薄片加工工艺极具挑战 (Infenion 公司 2011 年已经展示其 8 英寸、40 μm 厚的 IGBT 芯片^[13]). 同时, 电网等应用的压接式 IGBT、更多的集成也是 IGBT 的发展方向, 如从中低功率向高功率发展的 RC-IGBT.

■ 基于宽禁带材料 (SiC 和 GaN) 的功率半导体器件.

宽禁带 SiC 和 GaN 功率半导体器件技术是一项战略性的高新技术, 具有极其重要的军用和民用价值, 得到国内外众多半导体公司和研究机构的广泛关注和深入研究, 成为国际上新材料、微电子和光电子领域的研究热点. 宽禁带材料具有宽带隙、高饱和漂移速度、高临界击穿电场等突出优点, 成为制作大功率、高频、高压、高温及抗辐照电子器件的理想替代材料. 随着 SiC 单晶生长技术和 GaN 异质结外延技术的不断成熟, 宽禁带功率半导体器件的研制和应用在近年来得到迅速发展.

21 世纪初, 美国国防先进研究计划局 (DARPA) 启动了宽禁带半导体技术计划 (wide bandgap semiconductor technology initiative, WBGSTI), 包括两个阶段 (Phase I 和 Phase II), Phase I 为“射频/微波/毫米波应用宽禁带技术 (RF/microwave/millimeter-wave technology- RFWBGS)”, Phase II 为“高功率电子器件应用宽禁带技术 (high power electronics, HPE)”. DARPA-WBGSTI 计划成为加速和改善 SiC 和 GaN 等宽禁带材料和器件特性的重要“催化剂”, 并极大地推动了宽禁带半导体技术的发展. 它同时在全球范围内引发了激烈的竞争, 欧洲和日本也迅速开展了宽禁带半导体技术的研究. 美国 Cree 和日本 Rohm 推出 SiC MOSFET, 耐压达 1200 V. Northrop Grumman 推出 10 kV/10 A SiC DMOSFET. 2011 年, Cree 和 GE 全球研发中心联合推出 10 kV/120 A SiC DMOS 半 H 桥功率模块,

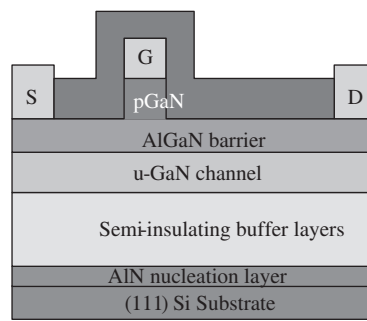


图 9 三星公司推出的 p-GaN/AlGaN/GaN HEMT 示意图

Figure 9 The cross-section of p-GaN/AlGaN/GaN of Samsung company

该功率模块可应用于 SSPS (solid state power substation); ABB 等还推出基于全 SiC 功率半导体器件 10 kW、250 °C 结温、高功率密度三相 AC-DC-AC 转换器; 美国 GE 全球研发中心在 2012 年的 ISPSD 国际会议上推出耐压 3.3 kV 级、比导通电阻为 18~20 mΩ·cm² 的 SiC VDMOS^[14].

硅基 GaN 功率半导体是宽禁带功率半导体器件的另一研究热点, 除美国 IR 公司和 EPC 公司在 6 英寸硅基衬底上发展 GaN 功率半导体器件, 推出 GaN DC-DC 电路和 100 V、200 V GaN 功率开关器件外, 国际上包括 GE、三星、东芝等众多企业也在发展硅基上的 GaN 功率半导体器件, IMEC 已经在 8 英寸硅片上生长出适合于电子器件的 GaN 薄膜. 2012 年三星公司推出耐压/比导通电阻为 1640 V/2.9 mΩ·cm² 的 p-GaN/AlGaN /GaN HEMT^[15], 如图 9 所示.

■ 功率半导体器件的发展路线图.

图 10 是功率半导体器件的发展路线图, 从图中可以看出, 提高功率密度和降低损耗始终是功率半导体器件发展的方向. 硅材料平台仍是主流的功率器件工艺平台, 对这个工艺平台进行持续优化, 并开发一些专用工艺技术, 包括深槽工艺结构、超薄圆片结构、背面扩散技术及多层连接技术等等, 代表性的器件的有 Sub-micron MOSFET、MPS-Diode、LPT-CSTBT、Reverse conducting IGBT, Reverse Blocking IGBT 和 Super-junction MOSFET 等, 并且性能在持续提升. 硅工艺平台将能持续到 2030 年左右. 未来属于宽禁带材料, 目前已有宽禁带功率半导体器件包括二极管、MOSFET 等, 但是原材料缺陷密度的还需要进一步降低, 预计 SiC 工艺平台、GaN 工艺平台 (尤其是硅基 GaN 工艺) 在 2015 年左右会真正走向成熟, 目前 Gree、Fairchild、Infenion、ON Semiconductor、IR、Ti、ST 等等都在从事相关技术研究和产品开发. 除以上两种宽禁带材料外, Diamond 材料也将是一种有潜力功率半导体材料, 预计在 2025 年会被使用. 在这两者中间还有一种混合平台, 严格地说该平台不是一种器件制造平台, 而是一种功率模块制造平台, 主要是用特殊封装技术制备宽禁带材料功率器件及硅基功率器件的集成功率模块, 可以大幅提升功率模块的整体性能, 目前最常见的应用是硅基 IGBT 和 SiC 二极管的集成模块, 预计此种混合工艺平台在 2035 年前会一直被广泛使用.

2.2 功率集成技术的发展

在 20 世纪 80 年代中期以前, 功率集成电路是由双极工艺制造而成, 主要应用领域是音频放大和电机控制, 但随着对逻辑控制部分功能要求的不断提高, 功耗和面积越来越大. 对双极工艺来说, 工艺线宽减小所带来的芯片面积的缩小非常有限. 而 CMOS 器件具有非常低的功耗, 并且随着工艺线宽的减小, 芯片面积可以按比例减小, 因此逻辑部分用 CMOS 电路来替代双极型电路成为必然, 另外 DMOS

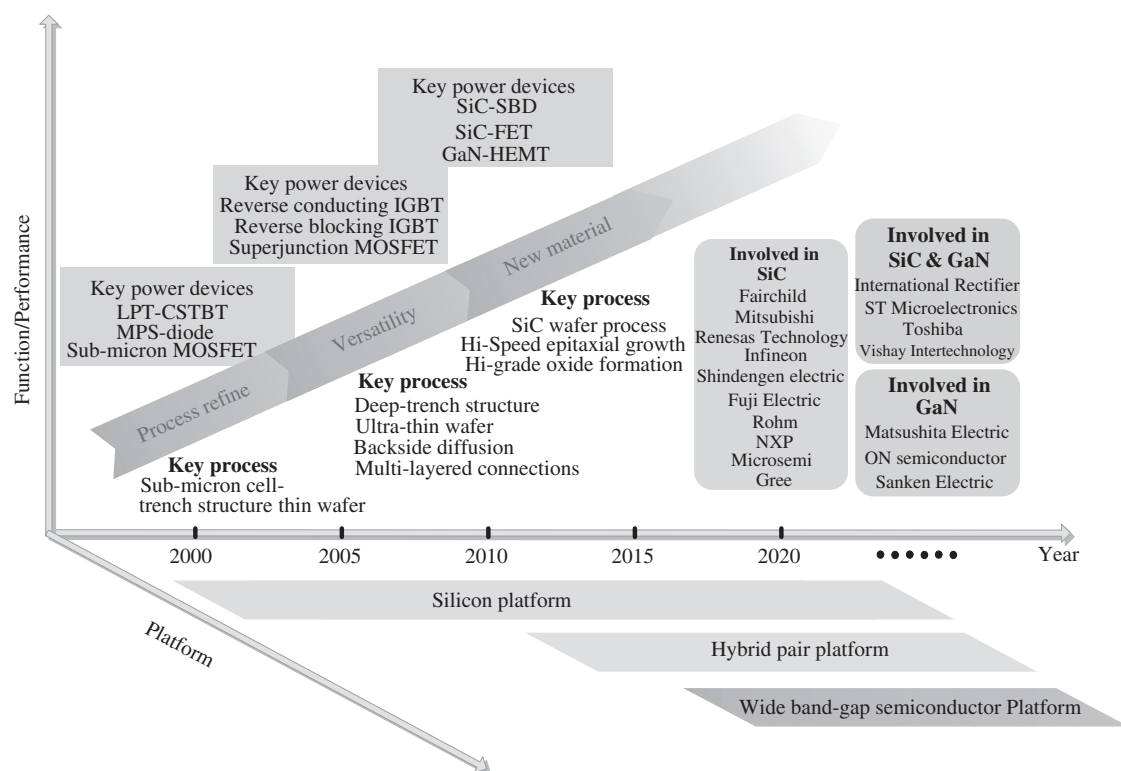
图 10 功率半导体器件发展路线图^[16,17]

Figure 10 The technology roadmap of power semiconductor devices

功率器件可以提供大功率且不需要直流驱动, 在高速开关应用中具有优势. 因此, BCD (bipolar-CMOS-DMOS) 集成技术也就应运而生, 顾名思义, BCD 集成工艺就是将双极晶体管, 低压 CMOS 器件, 高压 DMOS 器件及电阻, 电容等无源器件在同一工艺平台上集成的技术. BCD 工艺可以充分利用集成的 3 种有源器件的优点: 双极器件的低噪声, 高精度和大电流密度等; CMOS 器件的高集成度, 方便的逻辑控制和低功耗等; DMOS 器件的快开关速度, 高输入阻抗和良好的热稳定性等. 这些优点使 BCD 工艺具有非常广泛的应用, 如 DC-DC 转换等电源管理, LCD 驱动, LED 驱动, PDP 显示驱动及全/半桥驱动等.

根据系统应用电压的不同, 可以将基于 BCD 工艺的功率集成电路分为 3 类: 100 V 以下, 100~300 V 及 300 V 以上. 如图 3 所示, 100 V 以下的产品种类最多, 应用最广泛, 包括 DC-DC 转换, LCD 显示驱动, 背光 LED 显示驱动等; 100~300 V 的产品主要是 100~200 V 的 PDP 显示驱动及 200 V 电机驱动等; 300 V 以上的产品主要是半桥/全桥驱动、AC-DC 电源转换、高压照明 LED 驱动等. 由于篇幅有限, 本文只阐述 100 V 电压以下 BCD 功率集成技术的发展历程.

■ 第 1 代 BCD 集成技术: 线宽 4 μm , 基于 Bipolar 工艺.

BCD 工艺始于 20 世纪 80 年代中期, 第 1 代 BCD 集成的功率器件为硅自对准栅垂直型 VDMOS, 同时还包括横向 PNP、纵向 NPN 器件及 CMOS 器件等, 主要器件剖视图如图 11 所示, 最小线宽为 4 μm , 采用 PN 结隔离, 基于双极工艺发展而来, 最大工作电压有 60 V、100 V、250 V 系列. 主要应用在桥式驱动及音频放大领域. 第 1 个以 BCD60 工艺制造的商用产品由 ST(意法) 公司于 1985 年推出的一款半桥马达驱动芯片, 输出电流达到 1.5 A, 性能较用 Bipolar 工艺的同样半桥驱动更加优越^[18].

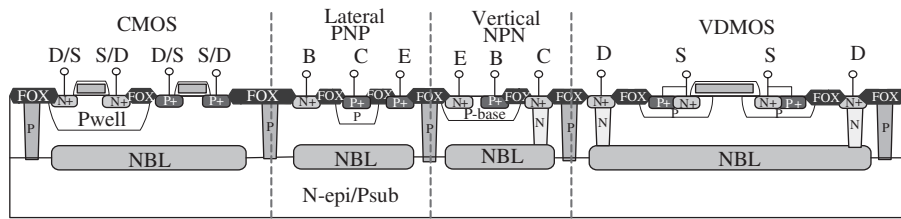
图 11 第 1 代 BCD 集成工艺集成的器件示意图^[19]

Figure 11 The cross-section of the main devices in the first generation BCD integrated process

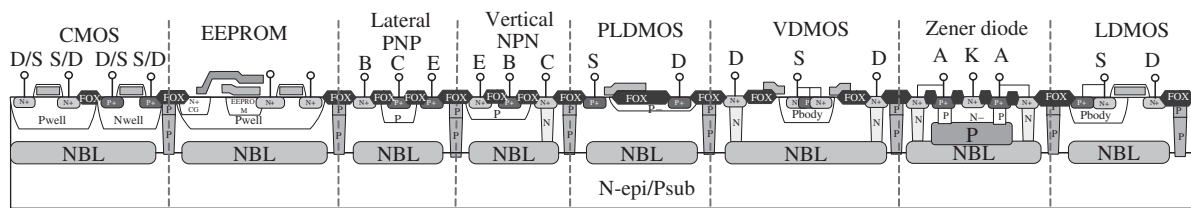


图 12 第 2 代 BCD 集成工艺集成的器件示意图

Figure 12 The cross-section of the main devices in the second generation BCD integrated process

■ 第 2 代 BCD 集成技术: 线宽 $1.2\ \mu\text{m}$, 集成 EPROM/EEPROM.

1992 年, 集成了非易失性存储器 (NVM: non-volatile memory) 包括可擦除可编程只读存储器 (EPROM: erasable programmable read-only memory), 电可擦除可编程只读存储器 (EEPROM: electrically erasable programmable read-only memory) 的第 2 代 BCD 工艺开发成功, 从而使得以系统为导向的功率集成电路成为现实. 该工艺最小线宽为 $1.2\ \mu\text{m}$. 集成了 CMOS 逻辑器件、双极型器件、功率器件和存储器件等, 主要器件剖视图如图 12 所示, 第 2 代 BCD 工艺第一次使设计者利用已有的 CMOS 工艺库、EEPROM, 实现了功率芯片的可编程. 为了满足逻辑器件与功率器件不同电流能力的需求, 该工艺采用 3 层不同厚度的金属层, 顶层金属较厚用于功率器件的互连, 金属 1、2 层较薄, 用于高密度 CMOS 器件的互连. 该工艺平台对于体积要求小、同时要求功耗低的应用领域 (如便携式设备等) 具有非常大的优势^[20].

■ 第 5 代 BCD 集成技术: 线宽 $0.18\ \mu\text{m}$, 进入深亚微米, 极大提高集成度.

经过十几年的发展, BCD 集成工艺完成了第 3、第 4 代的开发, 到了 2003 年, 第 5 代 BCD 集成工艺开发成功. 该工艺基于 $0.18\ \mu\text{m}$ CMOS 工艺平台, 集成高密度的 SRAM 单元、EEPROM 和 $7\sim 12\ \text{V}$ 、 $20\ \text{V}$ 、 $32\ \text{V}$ 、 $40\ \text{V}$ 的 LDMOS, CMOS 器件有 $1.8\ \text{V}$ 和 $5\ \text{V}$, 采用不同厚度的栅氧化层和浅槽 STI (shallow trench isolation) 隔离. 采用 Cobalt salicide 进一步降低器件接触电阻. 采用 4~5 层金属互连, 顶层金属为铜. 采用基于氮化硅的 SONOS (silicon oxide nitride oxide silicon) 技术提高 EEPROM 的读写可靠性. 采用 3T 结构提高 EEPROM 存储容量和集成度, 主要器件剖视图如图 13 所示^[21].

■ 第 6 代 BCD 集成技术: 线宽 $0.13\ \mu\text{m}$, 当前最先进的 BCD 工艺.

$100\ \text{V}$ 以下的應用要求 BCD 工艺线宽不断缩小, 当前 BCD 工艺的最小线宽为 $0.13\ \mu\text{m}$, 基于 SOI 和体硅的 $0.13\ \mu\text{m}$ 的第 6 代 BCD 现均已开发成功. 应用先进的 CMOS 工艺平台, 集成的高性能存储模块 (EPROM, EEPROM, Flash 和 SRAM) 的面积不断缩小, 金属互连也达到 6 层, 工艺复杂性越来越高.

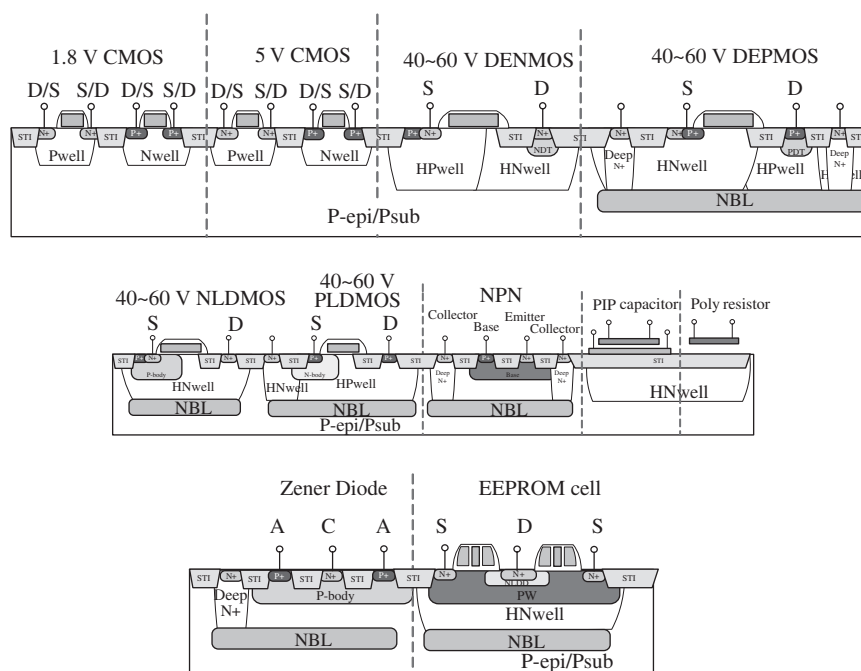


图 13 第 5 代 BCD 集成工艺集成的器件示意图

Figure 13 The cross-section of the main devices in the fifth generation BCD integrated process

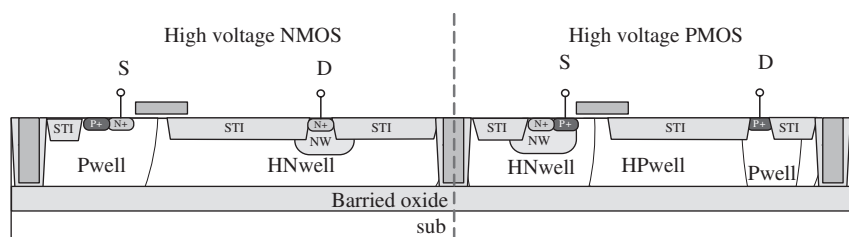


图 14 Philips 0.13 μm SOI BCD 高压 N/P MOS 剖面图

Figure 14 The cross-section of the high voltage N/P MOS in Philips 0.13 μm SOI-BCD integrated process

2006 年 Philips 开发成功 SOI 基的 100 V, 0.13 μm BCD 工艺 (A-BCD9), 该工艺可以集成 Flash, RAM 和 ROM. 该工艺采用 3 层 poly, 6 层金属连线, 实现 STI 全介质隔离, 深槽内部填充 poly 用于器件之间的隔离, 浅槽全部填充 SiO_2 用于器件模块内部的隔离. 图 14 是该工艺中高压器件的示意图. 高压器件的 body 区通过高能量和高温退火扩展到 BOX (buried oxide) 层, 图 15^[22] 为高压 NMOS 器件的 SEM 照片.

Toshiba 于 2009 年开发了硅衬底 0.13 μm 的 BCD 工艺, 面向低压高频 DC-DC 电源管理、音频功率放大、汽车电子及 LED 驱动等. 该工艺平台的器件包括 5 V、6 V、18 V、25 V、40 V 和 60 V, 同时集成了 NVM 模块, 5~18 V 用 P 型硅衬底, 采用 DNW (deep N well) 来代替外延, DNW 通过高能量 (2 MeV) 和高剂量的注入形成. 25~60 V 采用 P 型硅衬底上 N 型外延和 N 埋层工艺, 采用深槽隔离, 高压器件的结构如图 16 所示, 40 V N 沟道 LDMOS 的导通电阻为 $32 \text{ m}\Omega\cdot\text{mm}^2$ ^[23].

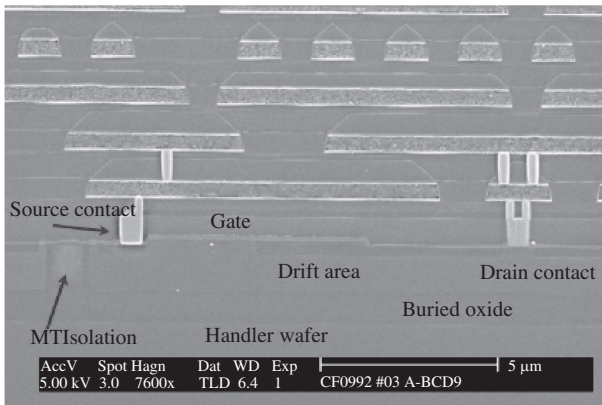


图 15 Philips 0.13 μm SOI BCD 高压 NMOS SEM 照片 [22]

Figure 15 The SEM photo of the high voltage NMOS in Philips 0.13 μm SOI-BCD integrated process

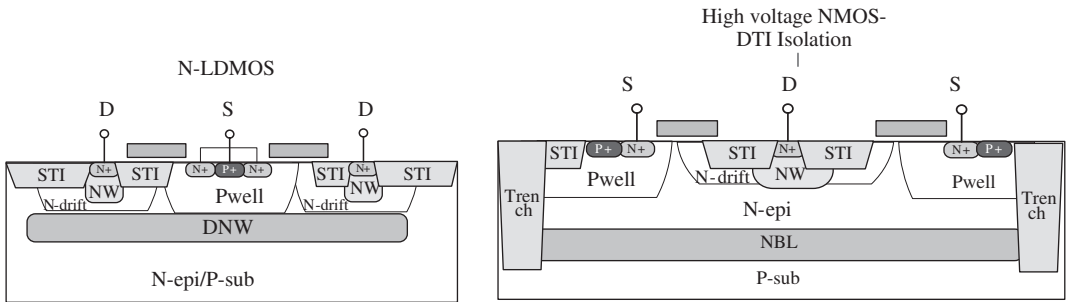


图 16 Toshiba 0.13 μm BCD 高压 NMOS 剖面图

Figure 16 The cross-section of the high voltage NMOS in Toshiba 0.13 μm BCD integrated process

■ BCD 功率集成技术的发展路线图.

图 17 所示的是全球各大 Fab 关于 BCD 工艺的发展趋势图, 从图中看出, 100 V 以下的 BCD 工艺应用领域最为广泛, 因此也是各大 Fab 的发展重点, 朝着更小线宽、更低功耗、更智能化的趋势发展, 100 V 以上的 BCD 工艺则根据不同应用领域的需求, 不断优化发展, 低损耗和高可靠是其追求的目标.

3 未来技术发展的若干问题

3.1 功率半导体器件技术发展的若干问题

■ 高效能、高击穿电压 (3300~6500 V)、高电流密度、高可靠性 IGBT 或基于 IGBT 的智能功率模块 (IPM) 的研制. 3300~6500 V 耐压级别的器件主要应用于电网、高铁、工业变频、舰船等战略产业领域. 器件设计的关键是优化通态压降、快速开关、高耐压等关键特性参数之间的折衷. 需解决的关键问题有: 增强发射极侧载流子注入效率、控制集电极侧载流子浓度、EMI 问题、IPM 中高效的热系统等. 在器件制造方面, 槽栅、薄片工艺、精细图形等是亟待解决的关键问题.

■ 系列 SiC 功率半导体器件和全 SiC 功率模块的研制. 由于 SiC 功率整流器结构相对简单, 特别是 SiC SBD 器件已经比较成熟, 因此针对国内 SiC 器件研究水平, 笔者认为应优先大力发展 SiC 整流

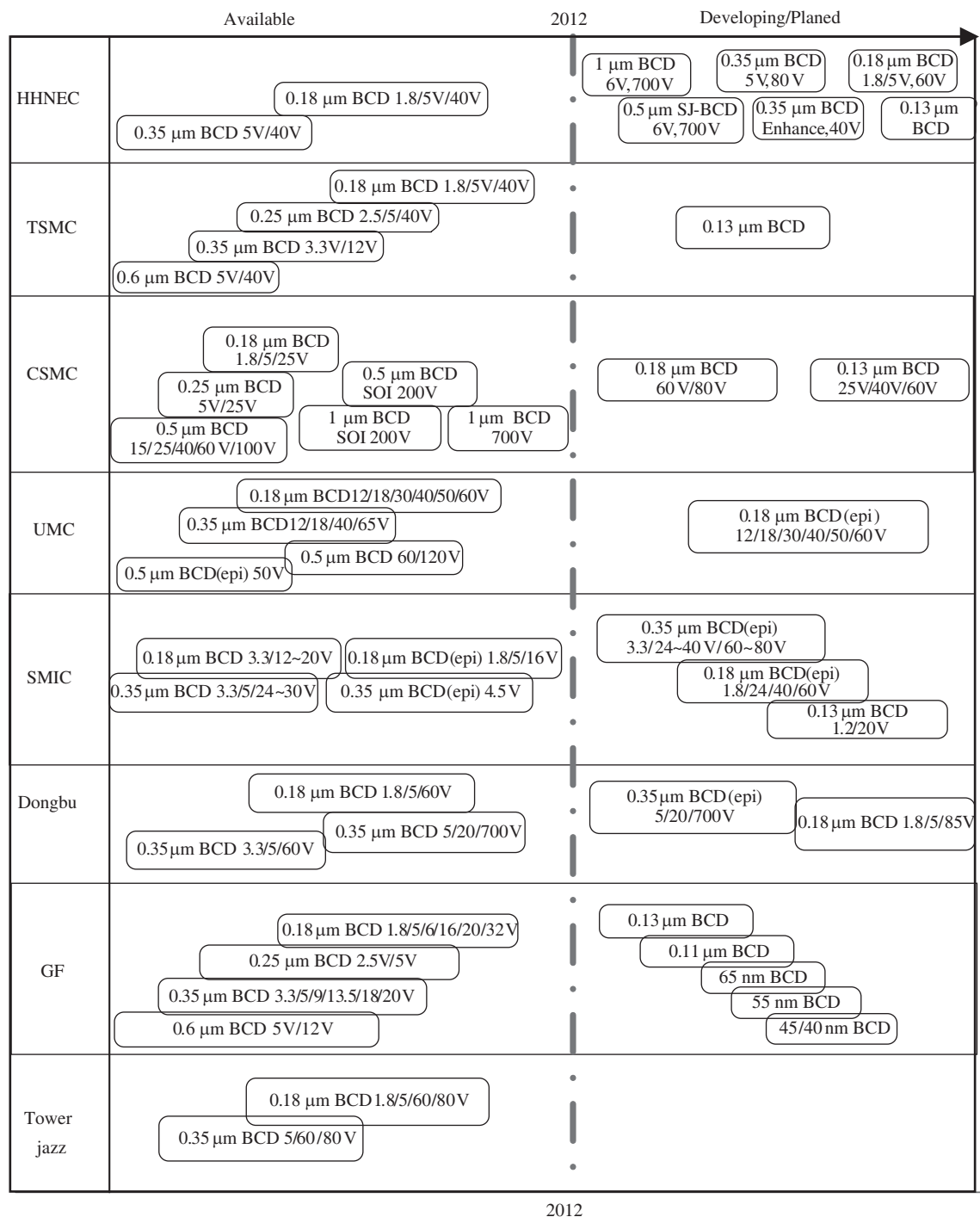


图 17 全球主要 Fab BCD 集成工艺发展趋势图 [24~31]

Figure 17 The technology roadmap of BCD integrated process of the global main Fab

器 (包括 SBD、JBS、PiN), 从器件结构设计和耐压机理分析入手, 寻找快速跟进国外同类器件性能的有效途径, 加快我国 SiC 整流器实用化进程. 关键问题是低反型层沟道迁移率和高温、高电场下栅氧可靠性, 同时应加快工艺研究, 为未来 SiC MOSFET 和 IGBT 器件发展打好基础, 其中的关键问题是

薄栅氧工艺及器件的可靠性等问题。

■ 硅基 GaN 功率半导体器件与集成技术. 硅基 GaN 功率半导体器件与集成技术是目前宽禁带功率半导体器件的研究重点, 也是 more than Moore 思想的典型体现. 随着大直径 Si 基 GaN 外延技术的逐步成熟并商用化, 硅基 GaN 功率半导体技术有望成为高性能低成本功率系统解决方案. 目前, 国际上对 Si 基 GaN 功率半导体的研究一方面是分离器件的产品化研究, 主要研究包括增强型技术、优化击穿电压与导通电阻、封装与可靠性、失效机理与理论研究等; 另一方面, 以香港科技大学、台积电、NS 等为代表的高校和企业也开始对 Si 基 GaN 智能功率集成技术开展了前期研究, 而功率集成技术是未来功率系统的最佳选择, 也是今后的发展方向。

■ 功率半导体器件和功率模块中可靠性及失效机理分析. 随着功率半导体器件应用领域的不断扩大, 以及功率半导体器件工作模式的特殊性, 功率半导体器件需要具有高的可靠性. 而功率半导体器件发展的模块化和系统化趋势也要求模块或系统具有高的可靠性. 其关键在于设计的模块或系统具有良好的热系统、良好的绝缘性、良好的电流浪涌能力、良好的抗宇宙射线能力, 可能的解决途径是: 器件结构的创新、优化工艺制程或采用新材料。

3.2 功率集成技术发展若干问题

■ 100 V 以下的 BCD 集成工艺朝着更小线宽, 更高密度集成, 更高可靠性的方向发展, 关键在于: 如何在深亚微米的 CMOS 工艺平台中集成高性能功率器件, 同时实现高度智能化: 当前 BCD 工艺的最小线宽已达到 0.13 μm , 开始朝 90 nm, 65 nm 发展, 借助于先进的 CMOS 工艺平台, 高性能功率器件及高度智能化成为电源管理等应用的 BCD 工艺所面临的一个挑战, 采用如 super junction 的功率器件来降低功耗可能是一个不错的技术, 与此同时还需要进一步集成高性能 CPU、快速存储器等模块, 实现高度智能化 (PSoC). 40~80 V 之间的 BCD 工艺主要应用在汽车电子中, 汽车电子要求在严格的环境下 (高低温, 高湿, 振动) 以及零缺陷. 这对工艺的可靠性提出了严格的要求, 集成的器件必须有良好的 HCI, SOA, HTRB, EM 等可靠性能. BCD 工艺的集成度已经达到百万门级, 金属互连也已经达到了 6 层, 集成的器件类型也越来越多, 工艺的复杂度越来越高, 工艺的成本也越来越高, 如何在保持性能不变的前提下降低成本是 100 V 以下的高密度 BCD 工艺面临的另一个挑战, 这需要提高工艺层次的复用性, 对工艺流程及器件性能做全面折中优化。

■ 100~300 V BCD 集成工艺的应用领域主要是 PDP 驱动芯片、半桥驱动芯片, 其总体发展趋势是小型化和大功率化, SOI BCD 工艺仍是未来一段时间内的主流工艺, 采用更小尺寸是其发展的必然趋势, 带来的关键问题是: 保证输出功率不受影响的前提下不断缩小芯片面积, 但在电流密度达到 IGBT 的极限后, 是否有其他性能更佳的结构或者材料, 是一个值得研究的方向, 面积缩小带来的另一个问题是芯片散热问题, 其中 SOI 材料的散热问题是当前可靠性研究的一个重点方向. 除此之外, 还有诸如高低压串扰、高温反偏 (HTRB) 失效等问题都是这一电压区间 BCD 工艺必须解决的关键技术问题。

■ 300~1200 V 的高压 BCD 工艺主要面向 AC-DC, 高压 LED 驱动, 桥式驱动及 IPM 模块等市场, 促使 BCD 工艺向高压方向发展, 带来的关键问题是: 高低压模块之间的隔离, 桥式驱动电平移位电路高侧驱动的电压从 0~600 V 之间浮动, 极易产生 latch-up 问题, 这就要求高低侧电路之间彻底隔离, 避免 latch-up 是外延工艺的高压 BCD 工艺需要解决的一个关键问题. 高压互连线跨过隔离结构会导致其耐压的下降, 因此需要在隔离结构方面创新. 高压器件在高压 BCD 工艺中一般作为最后的功率输出级, 其功耗直接影响整个芯片的效率, 目前的工艺大多采用 double Resurf 与场板技术来达到

功率器件的耐压要求, 如何在给定的耐压下降低高压器件的导通电阻, 提高电流输出能力并降低功耗是高压 BCD 急需解决的问题, 采用新型的 3D 高压器件可能是一个很好的发展方向. SOI 高压 BCD 在 IPM 模块中用很大的技术优势, 如隔离性好, 无 latch-up, 抗辐射性强, 集成度高等. 然而 SOI 材料成本较 Si 高, 高压器件在大电流, 大电压下工作产生的热量大, 而 SOI 材料的散热性较差, 因此, 材料成本和散热是 SOI 高压 BCD 工艺需要解决的两个问题. 高压 BCD 中无源器件的性能也是不能忽略的一个方面, 高性能, 高稳定性无源器件的集成也是高压集成工艺需要解决的一个关键问题.

4 结论

从功率半导体器件及集成技术的发展趋势看, 更高能效、更高工作频率和更高器件耐压的功率半导体器件和更加集成化、更加智能化、更加可靠的功率集成技术的研究是目前功率半导体技术所面临的主要技术难题和研究热点. 在“十一五”期间, 国家科技部、工信部及发改委等单位也对我国功率半导体器件与集成技术的发展给予了很多支持, 组成了企业、高校和研究机构的产学研合作模式, 推动着我国功率集成技术不断向前发展, 但总体上我国的功率半导体器件与集成技术与国外仍有较大差距. 在“十二五”、“十三五”期间, 我国功率半导体技术的发展需要政府部门更大的支持, 以尽快缩小甚至超过国外同类技术水平.

参考文献

- 1 ITRS. Roadmap. <http://www.itrs.net/Links/2005ITRS/Home2005.htm>, 2005
- 2 Mittal A. Energy efficiency enabled by power electronics. IEEE IEDM, 2011: 1.2.1
- 3 Saito W, Omura I, Aida S, et al. A 15.5mQ·cm²-680V superjunction MOSFET reduced on-resistance by lateral pitch narrowing. In: Proceedings of the International Symposium on Power Semiconductor Devices & ICs, 2006. 1-4
- 4 Ma L, Amali A, Kiyawat S, et al. New trench MOSFET technology for DC-DC converter applications. In: Proceedings of the International Symposium on Power Semiconductor Devices and ICs, 2003. 354
- 5 Darwish M, Yue C, Kam H L, et al. A new power W-gated trench MOSFET (WMOSFET) with high switching performance. In: Proceedings of the International Symposium on Power Semiconductor Devices and ICs, 2003. 24
- 6 Ono S, Kawaguchi Y, Nakagawa A. 30V new fine trench MOSFET with ultra low on-resistance. In: Proceedings of the 15th International Symposium on Power Semiconductor Devices and ICs, 2003. 28
- 7 Yang B Y, Xu S M, Korec J, et al. NexFET generation 2, new way to power. In: IEEE International Electron Devices Meeting, 2011. 583-586
- 8 Chen X B. Semiconductor power devices with alternating conductivity. U.S. Patent 5216275, 1993
- 9 Deboy G, Marz M, Stengl J P. A new generation of high voltage MOSFETs breaks the limit of silicon. In: IEEE International Electron Devices Meeting, 1998. 683-686
- 10 Chen X B, Mawby P A, Board K, et al. Theory of a novel voltage-sustaining layer for power devices. Microelectron J, 1998, 29: 1005
- 11 Tamaki T, Nakazawa Y, Kanai H, et al. Vertical charge imbalance effect on 600V-class trench-filling superjunction power MOSFETs. In: Proceedings of the International Symposium on Power Semiconductor Devices & ICs, 2011. 308-411
- 12 Rahimo M, Schlapbach U, Kopta A, et al. A high current 3300V module employing reverse conducting IGBTs setting a new benchmark in output power capability. In: Proceedings of the International Symposium on Power Semiconductor Devices & ICs, 2008. 68-71
- 13 Boving H, Laska T, Pugatschow A, et al. Ultrathin 400V FS IGBT for HEV applications. In: Proceedings of the International Symposium on Power Semiconductor Devices & ICs, 2011. 64-67

- 14 Bolotnikov A, Losee P, Matocha K, et al. 3.3 kV SiC MOSFETs designed for low on-resistance and fast switching. In: IEEE Int. Symp. Power Semiconductor Devices and ICs, 2012. 389–392
- 15 Hwang I, Choi H, Lee J W, et al. 1.6 kV, 2.9 mΩ·cm² normally-off p-GaN HEMT device. In: IEEE Int. Symp. Power Semiconductor Devices and ICs, 2012. 41–44
- 16 Ohashi H. Power devices now and future, strategy of Japan. In: Proceedings of the International Symposium on Power Semiconductor Devices & ICs, 2012. 9–12
- 17 Mitsubishi Electric. Present status and future prospects of SiC power devices. Document online at: http://www.pwr.com/pwr/app/ias_04_24_sic.pdf, 2001
- 18 Cini C, Diazz C, Rossi D. A high efficiency mixed technology motor driver IC. In: Proceedings of the Annual International PCI Conference (Power Conversion International), 1985. 267–277
- 19 Cini C, Diazz C, Rossi D. A new high frequency, high efficiency, mixed technology motor driver I.C. In: Solid-State Circuits Conference, 1986. 199–201
- 20 Murari B. Smart power technology and the evolution from protective umbrella to complete system. In: International Electron Devices Meeting, 1995. V01: 41
- 21 Annese M, Bertaiola S, Croce G, et al. 0.18 μm BCD-high voltage gate (HVG) process to address advanced display drivers roadmap. In: Proceedings of the International Symposium on Power Semiconductor Devices & ICs, 2005. 1–4
- 22 Wessels P, Swanenberg M, Claes J, et al. Advanced 100V, 0.13 μm BCD process for next generation automotive applications. In: Proceedings of the International Symposium on Power Semiconductor Devices & ICs, 2006. 315–318
- 23 Matsudai T, Sato K, Yasuhara N, et al. 0.13 μm CMOS/DMOS platform technology with novel 8V/9V LDMOS for low voltage high-frequency DC-DC converters. In: Proceedings of the International Symposium on Power Semiconductor Devices & ICs, 2010. 315–318
- 24 HHNEC. Process Technology Roadmap. Document online at: <http://www.hhnec.com/EN/Technology/index.aspx>, 2012
- 25 TSMC. More-than-Moore goes high tech. Document online at: <http://www.tsmc.com/english/dedicatedFoundry/technology/mtm.htm>, 2012
- 26 CSMC. Power IC. Document online at: <http://www.csmc.com.cn/ch/csmc-13.aspx>, 2012
- 27 UMC. Process Technologies. Document online at: <http://www.umc.com/English/process/index.asp>, 2012
- 28 SMIC. BCD Technology. Document online at: <http://www.smics.com/eng/foundry/technology/analog-power.php>, 2012
- 29 Dongbu Hitek. Technology Roadmap. Document online at: <http://www.dongbuhitek.com/ENG/Default.asp>, 2012
- 30 GF. Value-Added Process Solutions. Document online at: <http://www.globalfoundries.com/technology/value-added.aspx>, 2012
- 31 Towerjazz. Power Management. Document online at: <http://www.towersemi.com/power-management.html>, 2012

Development and trend of power semiconductor devices and power integrated technology

SUN WeiFeng^{1*}, ZHANG Bo², XIAO ShengAn³, SU Wei⁴ & CHENG JianBing⁵

1 National ASIC System Engineering Research Center, Southeast University, Nanjing 210096, China

2 State Key Laboratory of Electronic Thin Films and Integrated Devices, University of Electronics Science and Technology of China, Chengdu 610054, China

3 Shanghai Hua Hong NEC Electronics Company, Limited, Shanghai, 201206, China

4 CSMC Technologies Corporation, Wuxi 214061, China

5 College of Electronic Science Engineering, Nanjing University of Posts and Telecommunications, Nanjing 210003, China

*E-mail: swffrog@seu.edu.cn

Abstract Power semiconductor technology, which is mainly applied in the power management of modern electronic systems, is one of the most important research contents of semiconductor area and is one of the key technologies of consumer electronics, industrial controls and defense equipments. In this paper, the characteristics and applications of the power semiconductor devices and power integrated technology are introduced. The development and trend of the power semiconductor devices and power integrated technology are suggested in detail and the roadmaps are also presented. Some technology issues in the future developments of the power semiconductor devices and power integrated technology are finally proposed.

Keywords power semiconductor devices, power integrated technology, technology roadmap



SUN WeiFeng was born in Jiangsu, China, in 1977. He received the B.S., M.S., and Ph.D. degrees from Southeast University, Nanjing, in 2000, 2003 and 2007, respectively, all in electronic engineering. He is currently a professor of school of electronic science and engineering, Southeast University. His research interests include power device design, device reliability, device modeling, power IC and low temperature IC

design. He is the author or coauthor of more than 50 papers and the holder of 54 Chinese patents.