



甚短距离光互连集成电路

苗澎, 王志功, 李智群, 田玲

东南大学信息科学与工程学院射频与光电集成电路研究所, 南京 210096

E-mail: nj_miaopeng@sina.com

2008-10-31 收稿, 2009-05-08 接受

国家高技术研究发展计划资助项目(编号: 2007AA01Z2a5, 2006AA01Z239)

摘要 甚短距离光互连高速集成电路技术把光电子器件和高速集成电路紧密结合起来, 可提供多条高速并行信号通道, 在短距离内传输达到上百 Gb/s 甚至 Tb/s 的总带宽。本文介绍了甚短距离光互连高速集成电路基本结构, 从甚短距离光传输系统应用研究、光源与探测器、高速光电芯片封装技术和关键高速电路等几个方面, 介绍了国内外该领域的最新研究进展。最后对甚短距离光互连集成电路应用前景进行了展望。

关键词

甚短距离
光电超大规模集成电路
光互连
垂直腔面激光发射器
并行光传输
激光驱动器

随着超大规模集成电路(VLSI)制造技术的迅猛发展, 在 MOS 电路设计中不断减小特征尺寸和增大芯片面积。可以预见, MOS 电路延时主要来自内部连接, 而不是受门延时所限制^[1]。自 1984 年 Goodman 提出 OE-VLSI (OptoElectronic-VLSI) 技术以来, 光互连中集成电路技术已经取得巨大成就, 并开始计算机系统 and 通信系统中代替电互连技术。VLSI 芯片间电互连延时受到金属导线分布参数的影响, 连接导线可视为分布的末端接 RC 传输线^[2,3]。电互连传输速度受到每单位长度容性负载的影响, 因而传输速度、传输距离和带负载能力受限, 且串扰严重。

光波作为信息载体, 具有许多电互连不可比拟的优势, 在信息高速传输中具有带宽高、功耗低、延迟小、抗干扰强和带负载能力强等优点。研究甚短距离光互连中集成电路技术, 将有望推动解决高速芯片之间带宽瓶颈问题, 为实现大容量、高速率、低功耗的芯片间光互连奠定基础。

1 甚短距离光传输系统简介

由于集成电路间的连接距离比较短, 可以采用甚短距离光传输(very short reach, VSR)技术, 在长距离传输中诸如色散和非线性等很多问题可以忽略,

对激光源的要求也相应降低。甚短距离并行光传输目标是在输入输出端口提供多条并行输入输出信号, 其总速率达到甚至超过 Tbit/s。

甚短距离光互连中集成电路主要采用短波长 850 nm 垂直腔面激光射器(vertical cavity surface emitting laser, VCSEL)阵列传输高速率并行数据。1979 年伊贺教授在世界上首次研制出 VCSEL^[4], 它作为一种新型半导体激光器, 其输出光垂直于衬底。这种独特的器件结构易于实现二维平面阵列, 有着传统边发射激光器很多无法代替的特点: 如面发射、易于集成、较低的工作温度、低阈值电流、低成本、低功耗等。

图 1 所示为一个带有并行光接口的 VLSI 芯片框图, 低速并行电接口采用 BGA(ball grid array)焊球与芯片外其他低速芯片相连; 高速信号直接通过并行光接口与其他带有光接口的高速芯片相连。

图 2 所示为带有并行光接口 VLSI 芯片的封装底视图, 并行光接口安装在芯片底部, 也可以安装在芯片的侧面, 这与引出光信号的形式有关。在芯片底部引出光接口的优点是可使用聚合物光波导埋入 PCB 中, 实现真正意义上的芯片间光互连, 美观且连接可靠; 缺点是技术难度较大, PCB 压焊时易损坏聚合物

引用格式: 苗澎, 王志功, 李智群, 等. 甚短距离光互连集成电路. 科学通报, 2009, 54: 3014~3020

Miao P, Wang Z G, Li Z Q, et al. ICs in very short reach optical interconnection (in Chinese). Chinese Sci Bull (Chinese Ver), 2009, 54: 3014-3020, doi: 10.1360/972008-2163

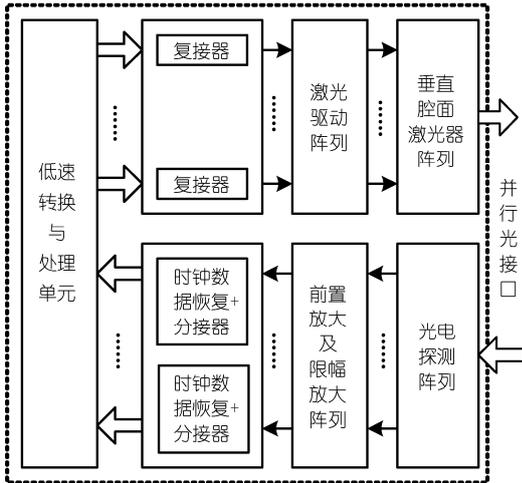


图1 带有并行光接口的VLSI芯片功能框图

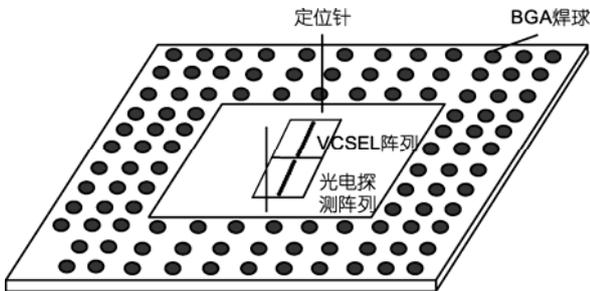


图2 带有并行光接口的VLSI芯片封装示意图

光波导,且浪费PCB板布线资源.如果在芯片侧面引出光接口,实现起来相对容易,通常采用带MT连接头的多模带状光纤进行光互连.

2 甚短距离光互连集成电路研究进展

2.1 基于网际光互连标准的VSR并行传输实验系统

2000年国内的研究机构开始了基于网际光互连(OIF)标准[5-7]的VSR并行传输实验系统研究.清华大学、北京邮电大学、华中科技大学[8-10]等研究了OIF-VSR4-1规范,对相关的实验传输系统进行了研究.图3为VSR4-01和VSR4-03功能框图,转换芯片采用SFI-4接口收发信号,它完成 $16 \times 622 \text{ Mbps} \sim 12 \times 1.244 \text{ Gbps}$ 的速率转换.VSR4-01在收发方向均有12个并行通道,光信号通过12芯多模带状光缆传送,光纤连接器为MTP/MPO类型.VSR4-03采用 $4 \times 2.5 \text{ Gb/s}$ VCSEL和4芯光纤传输OC-192帧数据,当采用带宽为 $500 \text{ MHz} \cdot \text{km}$, $50 \mu\text{m}$ 芯径的多模光纤时,传输距离达300 m.VSR4-3的优点是采用单根12芯带状光纤,并且VCSEL和光探测器阵列可以封装

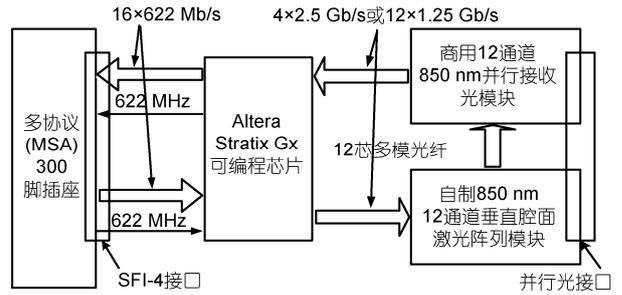


图3 VSR4-01和VSR4-03功能框图

在一个光模块中.

东南大学在一个平台实现了上述两套参考模型[11],该平台由一块转换芯片、一对 $12 \times 2.5 \text{ Gbps}$ 并行光接收和并行光发射模块以及10 Gbps光收发一体模块构成(Intel TXN 1330320103A01).由一片FPGA(Stratix GX Alteral EP1S25FF1020C6)实现了 $16 \times 622 \text{ Mb/s} \sim 12 \times 1.25 \text{ Gb/s}$ 和 $16 \times 622 \text{ Mb/s} \sim 4 \times 2.5 \text{ Gb/s}$ 的转换功能.其中12通道并行850 nm VCSEL激光驱动器为东南大学设计的 $12 \times 3.3 \text{ Gb/s}$ 并行激光驱动器阵列,12通道并行光接收模块采用商用模块(Infineon M190).

图4为该实验系统测试照片,采用SDH OC192测试仪(德国ACTERNA TESTER 10Gig ANT-20SE)编程产生SDH OC-192帧数据净荷为 $2^{23}-1$ 伪随机序列,由实验系统上的10 Gb/s光收发一体模块转换为 $16 \times 622 \text{ Mb/s}$ SFI-4接口数据,与转换芯片连接.对于VSR4-1和VSR4-3在相同的硬件实验平台上分别连续测试5 h无误码.经计算,VSR4-1和VSR4-3系统误码率小于 1×10^{-14} .

VSR5-01-1应用参考模型可参见图5.在VSR5中,转换芯片与成帧器的接口为SFI5(serders framer interface 5),速率为 $16 \times 2.488 \text{ Gb/s}$.在SFI-5接口处,

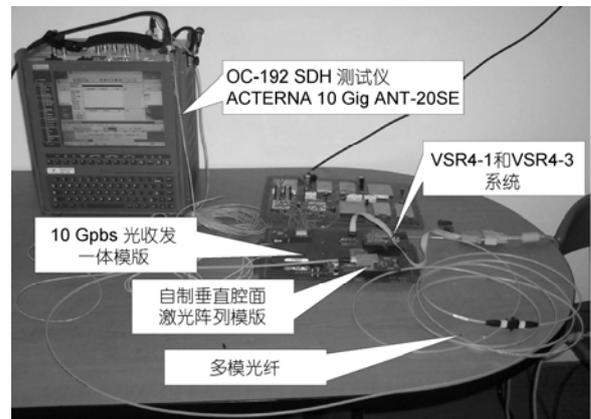


图4 VSR4-01和VSR4-03测试系统平台

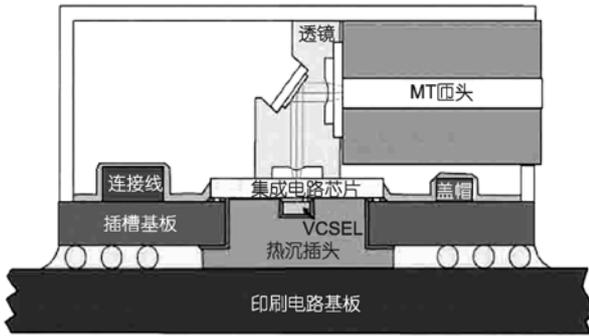


图5 光接口芯片侧面出光封装形式

转换芯片接收 16 个通道 2.488 Gb/s 信号与并行光模块接口速率为 12×3.318 Gb/s, 它完成这两个速率的转换。目前国内东南大学和中国科学院半导体研究所开展了 VSR5 的系统应用研究, 已建立了 VSR5 的实验平台。在 SF15 侧接口, 由 Agilent 81250 产生 16×2.5 Gbps OC-768 帧信号和一路去斜移 DSC 信号, 转换芯片自环回重排成 OC768 数据帧后, 送回至误码仪。经测试无误码, 由此验证了 VSR5 规范中 SFI-5 接口转换芯片功能。

2.2 光源与探测器

作为应用于芯片光互连的光探测器件可以直接制作在硅片上, 与标准的 CMOS 工艺兼容。国内学者用 CMOS 工艺在 850 nm 波长研制了光电探测器, 工作带宽达到了 1 GHz^[12], 但 CMOS 工艺的光电探测器接收灵敏度和工作带宽都无法应用于实际系统。因此, 并行高速光电转换器常采用 850 nm 短波长 InGaAs 光电探测阵列探测器。Li 等人^[13-15]已成功研制出一种新型的光电探测器-斜面受光探测器 (edge view photo detector, EVPD), 并通过 850 nm 的激光与斜面耦合, 检测到了明显的光电效应, 证明了 EVPD 方案的可行性, 工作速率已达到每通道 10 Gb/s。EVPD 受光面生长在一个台阶结构的斜面上, 而电极在平面。由于有源区在斜面上, 从光波导或光纤传输的光可直接与 EVPD 受光面进行耦合, 无需像传统光学耦合那样对光路进行 90° 转向, 可省去反射镜和微透镜的使用, 达到了简化光互连结构、降低成本的目的。

从 20 世纪 90 年代中期, 我国的科研人员开始了对 VCSEL 的研究^[16]。由于 AlGaAs/GaAs 的高反射率、高热传导率和良好的导电特性, 以及 AlAs 氧化技术的开发, 使得 850 nm VCSEL 技术已经相当成熟, 因而在芯片间光互连中主要使用短波长 VCSEL。Jiang

等人^[17]在提高 VCSEL 输出功率和使用温度方面做了许多工作。这种 VCSEL 采用环形结构, 用电子束蒸发的办法在沟道内填充金属铝, 采用这种方法制成的器件具有较高的输出功率和良好的温度特性。制成的器件激光波长 850 nm, 最高输出功率 12.5 mW, 在 80 工作时最大输出功率 8.11 mW。

2.3 高速光互连芯片光源与探测器的耦合与封装

通常光接口芯片的光源和探测器为 InGaAs 或 InP 工艺, 而集成电路芯片通常为 SiGe Bi-CMOS 或 CMOS 工艺, 封装可采用多芯片组件技术与工艺 (multi chip module, MCM), 包括芯片的贴装和焊接技术, 芯片与基板焊盘的精密对准技术、光纤耦合、转向、聚焦等。MCM 技术研究器件保护、封装热沉设计、电磁兼容、密封、干扰与噪声抑制、I/O 引脚的指定等。MCM 技术可提高光互连系统传输容量与速度, 确保系统设计的高可靠性。

图 5 所示为带有光接口芯片侧面出光封装形式^[18], VCSEL 光源与探测器阵列固定在 PCB 子基板上, 键合连接到激光驱动器和接收放大器焊盘上, 再把其他相应焊盘倒装焊至 PCB 主板; 与 MT 连接器对准的镜片为 45° 斜面, 形成全反射。它把光路转向 90°, 再由两块自聚焦透镜分别聚焦至光接口或 VCSEL/光电探测器阵列上。

传统的 MCM 工艺中键合封装形式中密集的键合线不可避免地弯曲, 连接可靠性较差, 分布参数较大, 易产生串扰, 严重地制约了光接口芯片的高频特性。最近, 法国 IntexyS 公司采用先进的红外技术, 在石英玻璃薄片上刻蚀金属连线, 把光源及探测器、驱动和接收电路全部倒装焊在玻璃的金属焊盘上, 光源与探测器可直接通过玻璃进出光。这样就实现了无键合线封装, 大大减小了分布参数的影响, 显著提高高频性能。

在 VCSEL 光源耦合研究方面, 由于 VCSEL 与光波导耦合效率较低, 光波导只能传递 VCSEL 总能量的 10%~20%^[19]。日本学者在提高 VCSEL 发射功率方面进行了研究, 设计的 16 点阵 VCSEL 单通道发光功率达 40 mW^[20]。IBM 公司 2001 年已设计出速率高达 20 Gb/s 的 VCSEL, 在多模光纤中传输距离可达 200 m^[21], 2005 年 VCSEL 的 3 dB 带宽已提高到 16.3 GHz^[22]。日本 NEC 公司在 2008 年采用基于铟镓砷-砷化镓量子阱制成了 1.1 μm 波长 VCSEL, 在 100 m 多模光纤传输 30 Gb/s 速率可张开眼图, 实现无误码

传输^[23]。在 850 nm 工作波长上, 韩国光电技术研究 所设计了 12×10 Gb/s VCSEL 光发射模块, 该模块采 用无源自对准技术进行调整和封装, 有利于低成本 进行量产^[24]。在多维 VCSEL 阵列封装研究方面, Christopher 等人^[25]封装的 12×3 二维 VCSEL 阵列模 块, 单通道工作速率为 3.125 Gb/s。当采用芯径为 50 μm·2 GHz 多模光纤时, 传输距离可达 1 km。Doany 等人^[26]制做了带有 24 个光接口模块, 双向总带宽为 300 Gb/s。该光模块在收发方向上的功耗为 3.3 W, 约每通道 11 mW/Gb/s。

中国科学院半导体研究所 Chen 等人^[27,28]将 1×16850 nm VCSEL 阵列与 CMOS 专用集成电路进行 多芯片组装(MCM), 研制的混合集成 16 信道 VCSEL 光发射模块的 3 dB 带宽大于 2 GHz; 研制了 12×3.3 Gbps 850 nm 并行光发射模块, 测试得到了清晰的眼 图, 并采用小型化可插拔封装结构可实现热插拔。

2.4 甚短距离高速光互连关键高速电路

如图 1 所示, 甚短距离高速光互连中的关键高速 电路主要有并行接收放大器与 VCSEL 激光驱动器和 并行时钟与数据恢复电路。对于高速并行多通道电 路的设计, 需要在电路设计和版图绘制中进行优化 以减少寄生效应, 特别是寄生电容的影响。同时, 需 采用 P+ 保护环、N+ 保护环和深 N 阱隔离结构, 可有 效地减小放大器之间的衬底耦合和串扰, 具有良好的 隔离性能, 这些手段都可以有效降低通道间的串扰。

() 并行光接收前端放大器。并行光接收前端 放大器把接收到微弱的电流信号进行放大, 它由前 置跨阻放大器、限幅放大器和输入输出缓冲电路构成。 其中跨阻放大器可采用单端和全差分电路形式, 全 差分跨阻放大器固有问题就是当输入为单端光电探 测器电流信号时, 输出为伪差分信号。由于两个伪差 分信号直流电平不同, 增加了阈值电平判断的难度, 伪差分到全差分转换电路引入了确定性抖动或增加 电路复杂度。因此, 在前置放大器中, 通常采用单端 跨阻放大器, 并采用 RGC(regulated cascode)结构, 它 具有稳定的直流偏置和低输入阻抗两个优点, 可以 克服光检测器寄生电容大造成的带宽不够的问题。 表 1 为国内外设计的几种并行光前端放大芯片的数 据, 其中文献^[29, 30]所报道的为目前国内设计的并 行光接收放大器的最高带宽。

() 并行 VCSEL 驱动器。VCSEL 阵列有共阳 和共阴两种电路形式, 因而对应的并行激光驱动

表 1 几种并行光前端放大芯片^{a)}

光前端放大 芯片	工作速率 /Gbps	CMOS 工艺	单通道功耗 /mW	均方值抖动 /ps
文献 ^[29]	12×3.3	0.18 μm	85	11
文献 ^[30]	12×2.5	0.18 μm	85	11
文献 ^[31,32]	12×3.125	0.13 μm	23	14.3
文献 ^[33]	4×8	0.18 μm	45	-

a) 文献^[29]和^[30]为测试相邻通道抗串扰性能, 在相邻两路 分别输入 $2^{31}-1$ 伪随机序列, 测得单通道均值抖动约为 12 ps, 单 端输出摆幅约为 300 mV, 没有明显的串扰, 表明相邻通道之间具 有良好的隔离。

电路分别为电流与电压驱动器。尽管电压驱动器比 电流驱动器有着更高的工作速率, 输出调制电流可在 工作范围内任意调节、便于控制激光调制器输出光强 度等优点, 由于在深亚微米 CMOS 工艺中的低电压 特性, 低电压很难导通 VCSEL 激光器, 所以通常高 速 VCSEL 激光器采用电流驱动形式。表 2 列出国内 外几种并行 VCSEL 驱动器的数据, 其中文献^[34]所 报道的为目前国内设计的并行 VCSEL 激光驱动器的 最高带宽。

表 2 几种并行 VCSEL 驱动器^{a)}

VCSEL 驱 动芯片	工作速率 /Gbps	CMOS 工艺	单通道功耗 /mW	上升/下降沿 抖动 /ps
文献 ^[33]	4×8	0.18 μm	120	44/64
文献 ^[34]	12×3.125	0.25 μm	-	129/164
文献 ^[35]	1×10	0.18 μm	45	-
文献 ^[36]	4×10	0.13 μm	200	-

a) 文献^[34]中的芯片在 3.3 V 工作电压下, 偏置电流从 0 到 16 mA 连续调节, 测得 12 路偏置电流输出差异小于 3%, 调制电 流输出差异小于 2%, 优于文献^[37]的测试结果

() 并行时钟与数据恢复电路。传统的并行时 钟数据恢复电路由 N 个相同的时钟数据恢复电路独 立工作, 分别从本通道的输入数据中恢复出时钟信 号, 并用此时钟信号对输入数据进行采样判决, 恢复 出本通道的数据, 如图 6 所示。

各通道的时钟恢复往往采用锁相环实现, 通过 调整压控振荡器(VCO)输出信号的频率及相位, 恢复 出适合数据判决的时钟。由于 VCO 起振是一个复杂 的非线性过程, 假若采用多个并列的锁相环, 其并列 的 VCO 难免在起振过程中相互串扰, 使得环路很难 锁定, 且电路功耗较大。

文献^[38,39]设计的 17×2.5 Gbps 和 4×3.5 Gbps 时 钟数据恢复电路采用了基于锁相环的方案。该时钟 恢复电路与传统的单通道时钟数据恢复电路完全一

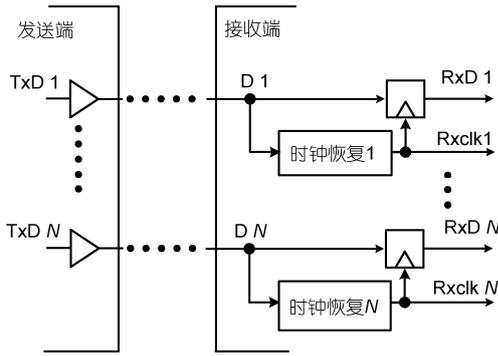


图6 传统的并行时钟数据框图

致。除了上述传统并行时钟数据恢复电路结构，国内外学者采用比较经典的三种并行 CDR：使用校正模式的并行 CDR^[40,41]，基于电流控制振荡器的并行 CDR^[42,43]以及使用延迟锁相环(DLL)调整数据-时钟相位关系方案^[44-49]。基于 DLL 的并行 CDR 应用范围较广，是目前较为常用的方法。它相对于基于 VCO 的锁相环而言，延迟锁相环的稳定性容易得到保证，不具有相位误差累积的负作用。

目前通常采用的压控延迟线可以根据控制电压的变化，调节对输入信号的延迟量。相位插值器则可以由输入两个或多个相位的时钟，通过矢量合成的方式，生成任意相位的时钟信号。这些器件都可以用来构成延迟锁相环，并用于调整信号的相位。

国际上对于并行 CDR 已形成体系，而国内的学者对此研究处于起步阶段。Liu 等人^[50-52]设计了 17×2.5 Gbps 并行 CDR，并对其中两路通道进行了流片与测试。该并行 CDR 的时钟恢复由一个锁相环实现，通过使用一个动态的鉴频鉴相器，优化了相位噪声性能。利用一个通道提取的时钟进行数据判决，数据恢复采用一个延迟锁相环，将数据眼图中心调整为与参考时钟的上升沿对准，因而同步了并行恢复数据，使数据判决发生在最佳采样时刻，从而降低了误码率。表 3 所示为一些有代表性的并行 CDR 测试结果。

3 结论与展望

甚短距离光互连中高速集成电路技术是解决芯片间高速互连的有效途径，也是下一代芯片互连体系中突破电互连速率限制瓶颈的手段。尽管其工艺

表3 几种并行 CDR 对比^{a)}

CDR 芯片	工作速率 /Gbps	CMOS 工艺	功耗 /mW	恢复时钟峰峰值抖动/ps
文献 ^[50,51]	2×2.5	0.18 μm	120	12.5
文献 ^[53]	4×5	0.25 μm	750	24
文献 ^[49]	4×3.125	0.15 μm	65/ch	11.6

a) 文献^[50,51]芯片照片如图 7(a)所示，恢复出的 2.5 Gbps 数据如图 7(b)所示。当输入数据的速率从 2.3 Gb/s 到 2.65 Gb/s，时钟恢复锁相环都能正常锁定，且输出的时钟相位噪声性能较好

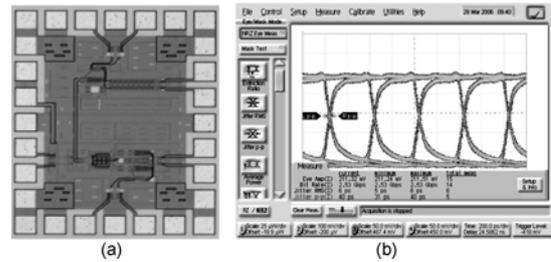


图7 并行时钟数据恢复芯片(a)与恢复出 2.5 Gb/s 数据(b)

技术存在很多问题，研制成本无法预测。但其诱人的发展前景仍然吸引着从事光电子和微电子研究的科技人员的密切关注。

目前限制高成品率、低成本集成电路芯片上光互连的最大障碍是光源与探测器。尽管硅基光接收器件和硅基光发射器件已有用于光互连的相关报道，但其工作速率较低，工作稳定性不足一年，发光效率低于 1%。因此全硅基光互连系统的实现还要走很长的路^[54]。在今后相当长的一段时间内，光源将采用基于 III-V 族半导体材料的 VCSEL 阵列或多量子阱半导体激光器，光探测器则主要采用 PIN 或雪崩二极管。它们与高速集成电路通常采用多芯片组装技术进行焊接与键合。

CMOS 集成电路的特征尺寸已达到 40 nm，Avago 公司设计的集成电路单通道 IO 口速率已达 20 Gbps，预计会很快达到 40 Gbps。可见，集成电路芯片光互连的研究和实现对推动集成电路间高速信息传递具有重要意义，集成电路间光互连技术的发展与半导体物理学、材料科学、光电子、机械和微电子等学科密切相关，只有相关科学与技术协同发展，才能有效地推进该技术的发展。随着科技的日新月异，该技术必将得到广泛的应用。

参考文献

- 1 Goodman J W, Leonberger F J, Sun Y K, et al. Optical interconnections for VLSI systems. Proc IEEE, 1984, 72: 850—866[doi]
- 2 Solomon P M. A comparison of semiconductor devices for high-speed logic. Proc IEEE, 1982, 70: 489—509[doi]

- 3 Saraswat K C, Mohammadi F. Effect of scaling of interconnections on the time delay of VLSI circuits. *IEEE Trans Electron Dev*, 1982, 17: 275—280
- 4 Soda H, Iga K, Kitahara C, et al. GaInAsP/InP surface emitting injection lasers. *Jpn J Appl Phys*, 1979, 18: 2329—2330[[doi](#)]
- 5 OIF Group, OIF-VSR4-01. 0, 2000, USA
- 6 OIF Group, OIF-VSR4-03. 0, 2001, USA
- 7 OIF Group, OIF-VSR5-01. 0, 2002, USA
- 8 Jiao Y G, Yao J, Zhou B K, et al. Very short reach system and its applications. *J Optoelectron Laser*, 2002, 1: 759—762
- 9 Lu X, Gao Z H, Ji Y F. Design and implementation of very short reach. *Laser Tech*, 2004, 28: 124—127
- 10 Chen T, Cao M Q, Luo Z Z. Router interconnection based on VSR Technology. *J Optoelectron Laser*, 2003, 14: 157—159
- 11 Peng M, Wang Z G. 10 Gb/s very short reach transmission in parallel optical link. *Electr Eng*, 2007, 90: 39—42[[doi](#)]
- 12 Mao L H, Chen H D, Wu R H, et al. Simulation and design of a CMOS-process-compatible high-speed Si-photodetector. *Chinese J Semiconduct*, 2002, 23: 193—197
- 13 Li Z H, Shen H J, Yang C Y, et al. An edge-view-photodetector for simplification of optical packaging. *Proc IEEE*, 2007, 8: 1—3
- 14 Li Z H, Wan L X. Performance simulation for EVPD with equivalent circuit models. *Proc IEEE*, 2008, 7: 1—3
- 15 Guidotti D, Yu J J, Blaser M. Edge viewing photodetectors for strictly In-plane lightwave. *Proc IEEE*, 2006, 7: 782—788
- 16 Zhong J C. Vertical cavity surface emitting semiconductor lasers. *Chinese J Lasers*, 1994, 21: 345—349
- 17 Jiang W J, Chen L C, Wu M C, et al. A new process to improve the performance of 850 nm wavelength GaAs VCSELs. *J Solid-St Electron*, 2002, 46: 2287—2289[[doi](#)]
- 18 Kuznia C. Aerospace transceivers built with flip-chip VCSEL packaging. *Proc IEEE*, 2005, 9: 39—40
- 19 Wakazono Y, Kikuchi K, Suzuki A, et al. Fundamental analysis of VCSEL emission for evaluation of optical coupling efficiency. *Proc IEEE*, 2005, 1: 380—383[[doi](#)]
- 20 Yoshikawa M, Murakami A, Sakurai J, et al. High power VCSEL devices for free space optical communications. *Proc IEEE*, 2005, 2: 1353—1358
- 21 Kuchta D M, Pepeljugoski P, Kwark Y. VCSEL modulation at 20 Gb/s over 200 m of multimode fiber using a 3.3 V SiGe laser driver IC. *Proc IEEE*, 2001: 49—50
- 22 AL-Omari A N, Kevin L L. VCSELs with a self-aligned contact and copper-plated heat sink. *IEEE Photonic Tech Lett*, 2005, 17: 1767—1769[[doi](#)]
- 23 Anan T, Suzuki N, Yashiki K, et al. High-speed 1.1- μm -range InGaAs VCSELs. *Proc IEEE*, 2008, 2: 1—3
- 24 Hwang S H, Lim J W, Byung S R. 120 Gb/s level VCSEL array optical subassembly using passive alignment technique. *Proc IEEE*, 2008: 1620—1624
- 25 Christopher C, John E C, Hargrove A, et al. A 36-channel parallel optical interconnect module based on optoelectronics-on-VLSI technology. *IEEE J Sel Top Quant*, 2003, 9: 387—399[[doi](#)]
- 26 Doany F E, Schow C L, Tsang C K, et al. 300 Gb/s 24-channel bidirectional Si carrier transceiver optochip for board-level interconnects. *Proc IEEE*, 2008, 5: 238—243
- 27 Chen H D, Shen R X, Mao L H, et al. 16 channel 0.35 μm CMOS/VCSEL transmission modules. *Chinese J Semicond*, 2003, 24: 245—249
- 28 Chen H D, Shen R X, Pei W H, et al. High speed VCSEL based parallel optical transmission modules. *Chinese J Semicond*, 2005, 26: 1500—1503
- 29 Li Z Q, Xue Z F, Wang Z G, et al. A 12 Channel 30 Gb/s 0.18 μm CMOS front-end amplifier for parallel optic-fiber receivers. *Chinese J Semicond*, 2006, 27:47—53
- 30 Li Z Q, Xue Z F, Wang Z G, et al. A 40 Gb/s 0.18 μm CMOS front-end amplifier for VSR parallel optical receivers. *High Tech Lett*, 2007, 17: 591—594
- 31 Tang W, Plant D V. 3.125 Gbit/s low power truly differential parallel optical receiver module in 0.13 μm CMOS. *Proc IEEE*, 2005, 8: 400—404
- 32 Tang W, Plant D V. A low power 3.125 Gbit/s channel parallel optical receiver for very short reach(VSR) applications. *Proc IEEE*, 2006: 35—38
- 33 Kang S K, Lee T W, Park H H. Multigigabit CMOS limiting amplifier and VCSEL driver arrays for parallel optical interconnects. *Microw Opt Tech Lett*, 2006, 48: 1656—1659[[doi](#)]
- 34 Huang T, Wang Z G, Li L M, et al. Monolithically integrated 0.25 μm CMOS VCSEL driver array for 3.125 Gb/s \times 12 channels parallel optical interface. *Chinese J Electron*, 2004, 32: 422—423, 523
- 35 Tao R, Berrotho M, Wang Z G. Low power 10 Gbit/s VCSEL driver for optical interconnect. *Electron Lett*, 2003, 39: 1743—1744[[doi](#)]
- 36 Oh W S, Park K. Design of a 4-channel 10-Gb/s CMOS VCSEL driver array. *Proc IEEE IEICE*, 2008, 1—2
- 37 Kiamilev F, Krishnamoorthy A. A high-speed 32-channel CMOS VCSEL driver with built-in self-test and clock generation circuitry. *IEEE J Sel Top Quant*, 1999, 5: 287—295 [a href="#">doi]

- 38 Krawczyk W T, Steidl A S, Alexander R, et al. A 39.8 Gb/s to 43.1 Gb/s SFI-5 compliant 16:1 multiplexer and 1:16 demultiplexer for optical communication systems. *Proc IEEE CICC*, 2003: 581—584
- 39 Ishihara N, Fujita S, Togashi M, et al. 3.5-Gb/s×4Ch Si bipolar LSI's for optical interconnections. *IEEE J Solid-St Circ*, 1995, 30: 1493—1501 [\[doi\]](#)
- 40 Gotoh K, Tamura H, Takauchi H, et al. A 2B parallel 1.25 Gb/s interconnect I/O interface with self-configurable link and plesiochronous clocking. *IEEE ISSCC*, 1999, 180—181
- 41 Sato T, Nishio Y, Sugano T, et al. 5GByte/s data transfer scheme with Bit-to-Bit skew control for synchronous DRAM. *IEEE J Solid-St Circ*, 1998, 34: 653—660 [\[doi\]](#)
- 42 Muller P, Tajalli A, Atarodi M, et al. Top-down design of a low-power multi-channel 2.5 Gbit/s/channel gated oscillator clock-recovery circuit. *Proc IEEE*, 2005: 258—263
- 43 Tajalli A, Muller P, Atarodi M, et al. A multichannel 3.5 mW/Gbps/channel gated oscillator based CDR in a 0.18 μm digital CMOS technology. *Proc ESSCIRC*, 2005: 193—196
- 44 Tao H, Shaeffer K D, Xu M, et al. 40—43 Gb/s OC-768 16:1 MUX/CMU chipset with SFI-5 compliance. *IEEE J Solid-St Circ*, 2003, 38: 2169—2180 [\[doi\]](#)
- 45 Higashi H, Masaki S, Kibune M, et al. A 5—6.4 Gb/s 12-Channel transceiver with pre-emphasis and equalization *IEEE J Solid-St Circ*, 2005, 40: 978—985 [\[doi\]](#)
- 46 Xu M, Benyamin S, Si X, et al. An SFI-5 compliant 16:4 Multiplexer for OC-768 systems. *Proc IEEE ISSCC*, 2003, 283—290
- 47 Yang F, O'Neill J, Larsson P, et al. A 1.5 V 86-mW/ch 8-channel 622-3125 Mb/s/ch CMOS SerDes macrocell with selectable Mux/Demux ratio. *Proc IEEE ISSCC*, 2002, 2: 48—49
- 48 Saito T, Yamashita H, Yuki F, et al. A 50 mW/ch 2.5 Gb/s/ch data recovery circuit for the SFI-5 interface using novel eye-tracking method. *Proc IEEE VLSI*, 2003: 57—60
- 49 Coban A L, Koroglu M H, Ahmed K A. A 2.5—3.125 Gb/s quad transceiver with second-order analog DLL-based CDRs. *IEEE J Solid-St Circ*, 2005, 40: 1940—1947 [\[doi\]](#)
- 50 Liu Y W, Wang Z G, Li W. 2.5 Gb/s 0.18 μm CMOS clock and data recovery circuit. *Chinese J Semicond*, 2007, 28: 537—541
- 51 Liu Y W, Wang Z G, Li W. 2.5 Gb/s/ch 0.18 μm CMOS data recovery circuit. *Chinese J Semicond*, 2007, 28: 692—695
- 52 Liu Y W, Wang Z G, Li W. 2.5-Gb/s/ch 17-Channel parallel clock and data recovery circuit. *Proc IEEE*, 2007: 577—580
- 53 Muneo F, Kazuyuki N, Hideki H, et al. A 20-Gb/s CMOS multichannel transmitter and receiver chip set for ultra-high-resolution digital displays. *IEEE J Solid-St Circ*, 2000, 35: 1611—1618 [\[doi\]](#)
- 54 Ruan G, Xiao X, Streiter R, et al. The recent progress of on-chip optical interconnects for integrated circuits. *Chinese J Semicond*, 2001, 22: 387—397

ICs in very short reach optical interconnection

MIAO Peng, WAGN ZhiGong, LI ZhiQun & TIAN Ling

Institute of RF-&OE-ICs of School of Information Science and Engineering, Southeast University, Nanjing 210096, China

Closely integrated with photonic devices and VLSI electronics, ICs in very short reach (VSR) optical interconnection provide multiple high-performance optical input and output signals, with aggregated data-rates up to hundreds of Gb/s and even exceeding Tb/s. The basic structure of Optoelectronic-VLSI (OE-VLSI) is introduced in this paper. Moreover, the up-to-date applied research and progress of OE-VLSI in very short reach optical interconnection from home and abroad are presented, including the VSR optical transmission system, optical source and detector, multi chip mode packaging technology, as well as key high speed circuits. In the end, an outlook of OE-VLSI in very short reach optical interconnection is made.

VSR, OE-VLSI, optical interconnection, VCSEL, parallel optical transmission, laser diode driver

doi: 10.1360/972008-2163