

# 容易产生测试的 PLA\*

闵 应 骅

(中国科学院计算技术研究所 CAD 开放实验室, 北京 100080)

## 摘 要

可编程序逻辑阵列(以下简称 PLA)是当今用得很普遍的一种电路结构, 它可以实现任意组合开关函数。容易产生测试的 PLA(简称 ETG PLA)是作者最早提出的一种易测 PLA 设计。本文根据几年来国际上的评论, 进一步阐述 ETG 电路的概念, 并在统一的单故障模型的基础上推广了伪非并发和分离的概念, 使硬件开销大大减少。实验结果表明了这些想法的正确性和先进性。

**关键词:** 可编程序逻辑阵列, 可测试性设计, 故障检测, 测试产生, 开关函数

## 一、序 言

可编程序逻辑阵列(PLA)是一种类似于只读存储器(ROM)的电路结构。不同的是, 每增加一个输入变量, ROM 的规模就增大一倍, 因而, ROM 的规模随输入变量数的指数律增长。而 PLA 实现 Boole 函数用极小积之和的形式, 对每一积项用一根乘积线实现, 因而比 ROM 经济得多、灵活得多。PLA 在微程序控制单元中特别适用, 因此, 它除了作为一种单独的集成电路芯片或专用集成电路(ASIC)芯片之外, 还大量的嵌入到各种类型的微处理器芯片中。

由于上述实际要求, 国际上 80 年代以来形成了 PLA 研究热, 成百篇的文章在会议和杂志上发表。作者跟随这一潮流, 一直从事这方面的工作。

PLA 作为一种两级开关电路, 固定型故障和邻线之间的短路故障当然必须考虑。但由于它生产和制造上的特殊性, 交叉点故障也必须加以考虑。所以, 许多文章同时考虑下列 3 个故障模型: (1) 固定型故障 ( $s-a-0$ ,  $s-a-1$ ); (2) 邻线之间的短路故障(“与”桥); (3) 多余/丢失交叉点故障。这就使 PLA 故障诊断方面的研究大大复杂化。作者在文献[1, 2]中提出了统一的故障模拟。本文第二节在此基础上, 研究了故障间的等价和强于关系, 给出了统一的单故障模型。基于单故障模型的可测试性设计, 使硬件开销大量减少。正如许多文献所指出的, 诊断单故障的测试集实际上覆盖了绝大部分多故障, 在实践上是可行的。

电路的可测试性设计现在已经被学术界与工业界普遍接受。主要是通过扫描通路, 增加电路中各点的可控性和可观测性。PLA 的可测试性设计也已有几十种。作者在文献[3]中首

本文 1989 年 2 月 24 日收到, 1989 年 12 月 5 日收到修改稿。

\* 国家自然科学基金和 863 高技术课题基金资助项目。

次提出了容易产生测试的 PLA (ETG PLA) 的概念, 不增加任何触发器、寄存器以及控制输入, 而使 PLA 容易产生测试. 文献[4]中称之为 MIN 方法. 美国南加州大学的可测设计专家系统 TDES 总计了包括闵方法在内的 25 种可测 PLA 的设计, 进行了 22 项指标的比较, 以使用户可以根据他的使用环境决定最理想的方案. 最近的实验结果表明, 用闵方法所需增加的硬件开销只有 5%, 而其它方案的硬件开销都在 20% 左右. 这一结果主要是因为文献[3]的基础上, 大大推广了伪非并发及分离等概念, 得出了相当有意义的结果.

## 二、统一的单故障模型

首先, 让我们简略的描述 PLA 的结构. 一般的 PLA 结构如图 1 所示, 其中

$$X = (x_1, x_2, \dots, x_n)$$

是输入矢量, 经过输入缓冲器, 产生  $2n$  根位线

$$B = (x_1, x'_1, x_2, x'_2, \dots, x_n, x'_n)$$

送到与阵列.

$$W = (w_1, w_2, \dots, w_m)$$

表示所有乘积线, 每根乘积线  $w_i$  都是某些位线的逻辑“与”. 或阵列的输出矢量

$$Z = (z_1, z_2, \dots, z_k)$$

的每一输出  $z_j$  都是某些乘积线的逻辑“或”.

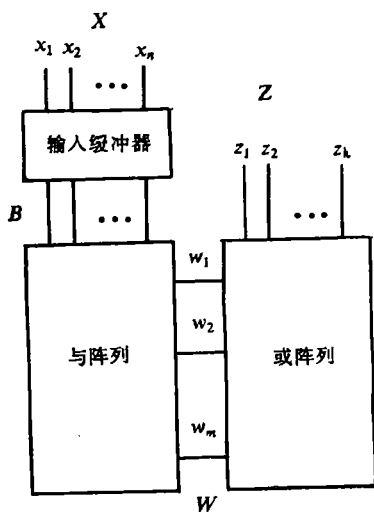


图 1 PLA 结构

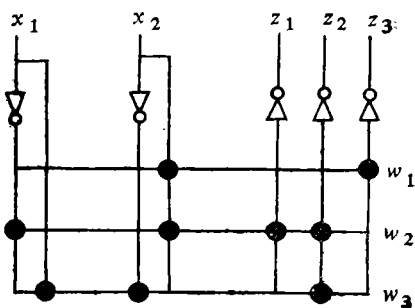


图 2 PLA 的 NOR-NOR 实现

图 2 示出一个由 NMOS 实现的 NOR-NOR PLA 的简单的例子. 有两个输入、4 根位线、3 根乘积线、3 根输出线. 图中有黑点的地方表示该交叉点处被连结, 无黑点的地方的交叉点未被连结. 所实现的函数都是“或非”, 因而,  $w_1 = x'_1x_2$ ,  $w_2 = x_1x'_2$ ,  $w_3 = x'_1x'_2$ , 而输出线  $z_1 = w_2$ ,  $z_2 = w_2 + w_3$ ,  $z_3 = w_1$ . 一般用如下的矩阵  $L = (CD)$  表示.

$$L = (CD) = \begin{bmatrix} x & 0 & 0 & 0 & 1 \\ 1 & 0 & 1 & 1 & 0 \\ 0 & 1 & 0 & 1 & 0 \end{bmatrix}.$$

位于位线  $x_i$  与乘积线  $w_j$  处的交叉点记为  $(x_i, w_j)$ , 位于乘积线  $w_j$  与输出线  $z_i$  处的交叉点记为  $(w_j, z_i)$ . 该连结而未被连结的交叉点称为丢失交叉点故障, 而该不连结而被连结的交叉点则称为多余交叉点故障. 在与或阵列中多余或丢失交叉点故障分别记为  $AE$ ,  $OE$ ,  $AM$ ,  $OM$ . 交叉点故障正是 PLA 设计、生产和编程过程中最容易出现的故障. 本文中,  $AM(\bar{x}_1, w_2)$  表示与阵列中  $(\bar{x}_1, w_2)$  处有丢失交叉点故障.  $x_i s-a-0$  表示线  $x_i$  固定为零.  $B(w_i, w_j)$  表示  $w_i$  与  $w_j$  的桥接故障, 一般是指“与”桥. 若  $S$  是一个交叉点集, 则  $AE(S)$  表示  $S$  中所有交叉点都是与阵列中的多余交叉点故障. 若  $X$  表一输入线集, 则

$$W(X) = \{w \mid \text{存在 } x \in X \text{ 使得 } (x, w) \text{ 处存在交叉点}\},$$

类似地

$$Z(W) = \{z \mid \text{存在 } w \in W \text{ 使得 } (w, z) \text{ 处存在交叉点}\}.$$

**定义 2.1.**  $PLA_1$  和  $PLA_2$  称为等价的, 如果它们有相同的真值表. 记为  $PLA_1 = PLA_2$ .

带有故障  $f$  的 PLA 记为  $PLA(f)$ .  $f$  可以是一个多故障, 即它是一个包含一个或多个单故障的故障集.

**定义 2.2.** 两个故障  $f_1$  和  $f_2$  称为是等价的, 如果  $PLA(f_1) = PLA(f_2)$ . 记为  $f_1 = f_2$ .

**定义 2.3.** 故障  $f_1$  叫做强于故障  $f_2$ , 记为  $f_1 \geq f_2$ , 如果任何诊断  $f_2$  的测试也能诊断  $f_1$ .

为了建立统一的单故障模型, 下面将证明任何固定型单故障或短路单故障都强于一个可诊断的交叉点单故障. 因而, 只要考虑交叉点单故障就自动的考虑了固定型及短路单故障.

**引理 2.1.** 对无冗余乘积线的 PLA, 位线固定为零故障强于一个  $OM$  单故障.

**证** 根据文献[2]的引理 1,

$$b_{is-a-0} = OM(W(b_i), Z(W(b_i)))$$

对任何  $w_b \in W(b_i)$ , 由于  $w_b$  是非冗余的, 必存在  $z_c \in Z(W(b_i))$ , 使得  $OM(w_b, z_c)$  可诊断. 这个  $OM$  单故障的任何测试  $t$ , 都有  $w_b(t) = 1$ ,  $z_c(t) = d$ , 此处  $d$  表示正常时为 1, 故障时为零. 由于交叉点  $(b_i, w_b)$  存在, 当  $b_i s-a-0$  时,  $w_b$  不能被激发, 因而  $w_b(t) = d$ ,  $z_c(t) = d$ .  $t$  必诊断  $b_i$  固定为零故障.

**引理 2.2.** 位线固定为 1 的故障强于一个  $AM$  单故障.

**证.** 根据文献[2]的引理 1,

$$b_{is-a-1} = AM(b_i, W(b_i)),$$

如果  $b_{is-a-1}$  可诊断, 上述  $AM$  多故障便可诊断. 即存在测试  $t$ , 使某输出  $z_c(t) = \bar{d}$ ,  $z_c \in Z(W(b_i))$ . 必有  $w_b(t) = \bar{d}$ ,  $w_b \in W(b_i)$ . 因而, 找到了单故障  $AM(b_i, w_b)$ . 任何  $AM(b_i, w_b)$  的测试, 必使  $w_b = \bar{d}$ ,  $z_c = \bar{d}$ , 因而, 也就诊断  $b_{is-a-1}$ .

**引理 2.3.** 乘积线固定为零故障强于一个  $OM$  单故障.

**证.** 根据文献[2]的引理 2,

$$w_{j s-a-0} = OM(w_j, Z(w_j)),$$

如果  $w_j$  固定为零的故障可诊断,  $w_j$  就不是冗余的. 因而, 在和阵列中  $w_j$  上至少存在一个

可诊察的  $OM$  单故障  $OM(w_i, z_c)$ . 它的任何测试  $t$ , 有  $w_i(t) = 1, z_c(t) = d$ . 这个测试也就诊察了  $w_i$  固定为零.

**引理 2.4.** 乘积线固定为 1 故障强于一个  $AM$  单故障.

**证.** 根据文献[2]的引理 2,

$$w_{i, i-a-1} = AM(X(w_i), w_i),$$

如果  $w_i$  固定为 1 的故障可诊察,  $w_i$  上的  $AM$  单故障至少有一个是可诊察的, 例如  $AM(b_i, w_i)$ . 它的测试  $t$  必有  $w_i(t) = \bar{d}$ , 某  $z_c(t) = \bar{d}$ . 这时,  $t$  正是  $w_i$  固定为 1 的测试.

**引理 2.5.** 输出线固定为零故障强于一个  $OM$  单故障.

**证.** 根据文献[2]的引理 3,

$$z_{c, i-a-0} = OM(W(z_c), z_c),$$

如果  $z_c$  固定为零可诊察,  $z_c$  上至少有一个  $OM$  故障是可诊察的,  $z_{c, i-a-0}$  就强于这个  $OM$  单故障.

**引理 2.6.** 输出线固定为 1 故障强于一个  $OE$  单故障.

**证.** 我们企图证明, 存在交叉点  $(w_i, z_c)$ , 使得

$$z_{c, i-a-1} \geq OE(w_i, z_c).$$

分两种情况:

(1) 若在输出线  $z_c$  上存在一个可诊察的  $OE(w_i, z_c)$  故障, 则诊察该故障的测试  $t$ , 必有

$$w_i(t) = 1, z_c(t) = 0,$$

此处,  $w_i(t)$ 、 $z_c(t)$  分别表示在测试矢量  $t$  之下,  $w_i$  和  $z_c$  所取的逻辑值. 如果  $z_c$  固定为 1, 显然不能有  $z_c(t) = 0$ . 因而  $t$  就是  $z_c$  固定为 1 的测试.

(2) 若在  $z_c$  上所有交叉点  $(w_i, z_c)$  ( $i = 1, \dots, m$ ) 都已连结, 或者, 即使有未连结者, 但  $OE(w_i, z_c)$  也不可诊察. 在这种情况下, 要考虑多余乘积线上的多余交叉点. 设想有乘积线  $w_{m+1}$ , 它在与阵列中无交叉点, 为了诊察  $OE(w_{m+1}, z_c)$ , 需要找到一个测试  $t^*$ , 使得

$$w_{m+1}(t^*) = 1, z_c(t^*) = 0.$$

前者自然满足, 而后者正说明,  $t^*$  是  $z_{c, i-a-1}$  的测试. 如果  $t^*$  不存在, 说明  $z_{c, i-a-1}$  不可诊察. 所以, 在这种情况下, 需要特别地产生测试  $t^*$  以诊察多余乘积线上的多余交叉点故障. 它也就是  $z_{c, i-a-1}$  的测试.

综合引理 2.1—2.6, 我们得到

**定理 2.1.** 对无冗余乘积线的不带反相器的 PLA, 任何固定型单故障都强于一个交叉点单故障.

下面讨论同类线“与”桥接故障. 所谓同类线桥接故障是指同为原始输入线、位线、乘积线或输出线之间的桥接故障.

**引理 2.7.** 位线之间的桥接故障强于一个交叉点单故障.

**证.** 首先证明, 对于“与”桥,

$$B(b_i, b_j) = AE(b_i, W(b_j) \cap \overline{W(b_i)}) \cap AE(b_j, W(b_i) \cap \overline{W(b_j)})$$

当  $b_i = x_b$  或  $\bar{x}_b$ ,  $b_j = x_c$  或  $\bar{x}_c$  且  $b \neq c$ , 上式已在文献[2]引理 4 加以证明. 当  $b = c$ ,

$b_i = x_b$  (或  $\bar{x}_b$ ),  $b_j = \bar{x}_b$  (或  $x_b$ ) 时, 与  $b_i$  有交叉点的乘积线必与  $b_j$  无交叉点, 与  $b_i$  有交叉点的乘积线必与  $b_j$  无交叉点, 所以

$$W(b_i) \cap \overline{W(b_j)} = W(b_i),$$

$$W(b_i) \cap \overline{W(b_j)} = W(b_i),$$

$B(b_i, b_j)$  即  $W(b_i) \cup W(b_j)$  中的乘积线永远不能被激发, 也就相当于  $AE(b_i, W(b_j)) \cap AE(b_j, W(b_i))$ . 考虑以下情况:

(1)  $b_i = x_b$  (或  $\bar{x}_b$ ),  $b_j = \bar{x}_b$  (或  $x_b$ ). 这时, 任何  $AE(x_b, w)$ ,  $w \in \overline{W(\bar{x}_b)}$  都等价于  $w_{i-1-0}$ , 强于一个 OM 单故障.

(2)  $b_i = x_b$  (或  $\bar{x}_b$ ),  $b_j = x_c$  (或  $\bar{x}_c$ ),  $b \neq c$ . 假如  $B(b_i, b_j)$  是可诊察的, 则至少存在一条乘积线  $w_i$ , 使得  $w_i$  与  $b_i$  或  $b_j$  之一有交叉点, 而与另一无交叉点, 且该点的 AE 故障是可诊察的. 今设  $(b_i, w_i)$  有交叉点  $(b_j, w_i)$ , 无交叉点, 而且,  $AE(b_j, w_i)$  是可诊察的. 现在证明

$$B(b_i, b_j) \geq AE(b_j, w_i),$$

任何诊察  $AE(b_j, w_i)$  的测试  $t$  必有  $x_b = 1$  (或 0),  $x_c$  (或  $\bar{x}_c$ ) = 0, 而且至少有一输出  $z(t) = d$ . 当  $b_i, b_j$  存在“与”桥故障时,  $t$  不能激发  $w_i$ , 其他 AE 故障不可能使其他乘积线被错误地激发, 因此, 将有  $z(t) = d$ . 所以,  $t$  也是诊察  $B(b_i, b_j)$  的测试.

**引理 2.8.** 非冗余乘积线之间的桥接故障强于一个 AE 单故障.

**证.** 文献[2]中引理 5 已经证明

$$B(w_i, w_j) = AE(X(w_i) \cap \overline{X(w_j)}, w_i) \cap AE(X(w_j) \cap \overline{X(w_i)}, w_j),$$

其中,  $X(w_i)$  表示与  $w_i$  有交叉点的所有位线的集合. 如果乘积线  $w_i$  与  $w_j$  都不是冗余的乘积线, 则  $X(w_i) \cap \overline{X(w_j)}$  或  $X(w_j) \cap \overline{X(w_i)}$  非空, 而且, 至少存在可诊察的  $AE(b_l, w_l)$  ( $l = i$  或  $j$ )  $\in AE(X(w_i) \cap \overline{X(w_j)}, w_i)$  或  $AE(X(w_j) \cap \overline{X(w_i)}, w_j)$ . 不妨设  $l = i$ , 诊察  $AE(b_i, w_i)$  的测试  $t$ , 将使  $b_i = 0$ ,  $w_i = d$ ,  $w_j = 0$ , 至少有一个  $Z_c(t) = d$ . 其他的 AE 故障不可能改变  $w_i(t) = d$ ,  $z_c(t) = d$  这一事实. 如果  $w_i$  与  $w_j$  有“与”桥故障,  $w_i = w_j = 0$ ,  $Z_c(t) = d$ . 因而,  $t$  也诊察  $B(w_i, w_j)$ .

**引理 2.9.** 非冗余的输出线之间的桥接故障强于一个 OE 单故障.

**证.** 任何一对输出线  $z_i, z_j$ , 如果它们不是冗余的输出线, 则  $W(z_i) \neq W(z_j)$ . 不妨设  $(w_i, z_i)$  有交叉点,  $(w_i, z_j)$  无交叉点, 则  $OM(w_i, z_i)$  及  $OE(w_i, z_j)$  是可诊察的. 任何诊察  $OE(w_i, z_j)$  的测试  $t$ , 必有  $w_i(t) = 1$ ,  $z_i(t) = 1$ ,  $z_j(t) = d$ . 考虑  $B(z_i, z_j)$ , 在正常情况下,  $z_i(t) = 1$ ,  $z_j(t) = 0$ ; 而在故障情况下,  $z_i(t) = 0$ ,  $z_j(t) = 0$ . 因而,  $B(z_i, z_j)$  被诊察.

**引理 1.10.** 原始输入线之间的短路故障强于一个交叉点单故障.

**证.** 考虑  $B(x_i, x_j)$ . 设位线  $b_{i1} = x_i$ ,  $b_{i2} = \bar{x}_i$ ,  $b_{j1} = x_j$ ,  $b_{j2} = \bar{x}_j$ ,

$$B(x_i, x_j) = B(b_{i1}, b_{j1}) \cap B(b_{i2}, b_{j2}),$$

其中,  $\cap$  表示两个故障同时发生. 若  $B(x_i, x_j)$  可诊察, 则这两个位线桥接故障至少一个是可诊察的. 从引理 2.7 的证明情况(2)中可知,  $B(x_i, x_j)$  也强于一个交叉点单故障.

综合引理 2.7—2.10, 我们得到

**定理 2.2.** 对无冗余输入线、乘积线或输出线的 PLA, 任何同类线之间的“与”桥故障都

强于一个交叉点单故障。

可以相信,上述定理对于“或”桥故障也是正确的。

综合引理 2.1—2.10, 我们可以列表 1, 表明无冗余输入线、乘积线或输出线的 PLA 故障之间的强于关系。以  $AE$ ,  $OE$ ,  $AM$ ,  $OM$  故障为基础, 其他故障都强于这些故障的一种。

经过本节的讨论, 我们建立了一个统一的单故障模型, 即交叉点单故障。一个测试集, 只要能诊察所有可诊察的交叉点单故障, 就必然能诊察所有可诊察的固定型单故障和桥接单故障。因而, 后面两个故障模型就没有必要单独地加以考虑了。这就大大简化了 PLA 测试问题的研究。

表 1. PLA 故障间的强于关系

|             | $AE$ | $AM$ | $OE$ | $OM$ |
|-------------|------|------|------|------|
| 位线 $s-a-0$  |      |      |      | ✓    |
| 位线 $s-a-1$  |      | ✓    |      |      |
| 乘积线 $s-a-0$ |      |      |      | ✓    |
| 乘积线 $s-a-1$ |      | ✓    |      |      |
| 输出线 $s-a-0$ |      |      |      | ✓    |
| 输出线 $s-a-1$ |      |      | ✓    |      |
| 输入线短路       | ✓    |      |      |      |
| 位线短路        | ✓    |      |      |      |
| 乘积线短路       | ✓    |      |      |      |
| 输出线短路       |      |      | ✓    |      |

### 三、ETG PLA 的概念与设计

随机逻辑电路测试产生之所以困难, 主要原因是扇出重汇聚, 而 PLA 测试产生的困难主要来源于复杂的故障模型。克服这一困难的途径, 一个是研究更好的测试生成算法, 另一个则是可测试性设计。

McCluskey<sup>[3]</sup> 定义了可测试性设计 (DFT) 为使测试更加经济的设计技术。这当然是一个笼统的说法。迄今提出的 DFT 方案大多是增加扫描通路、触发器、寄存器等, 以提高电路中各点的可观测性和可控制性。Min<sup>[3]</sup> 提出所谓容易产生测试 (ETG) 的电路的概念, 即在电路设计之初, 就设计一个电路, 使之特别容易去产生测试, 而不改变电路结构, 也不特别的增加硬件。文献[3]以 PLA 为例, 给出了一种 ETG PLA 的设计。只要增加一些乘积线和输出线, 就可以使测试产生非常容易。

本文在文献[3, 6]的基础上, 推广了拟非并发和分离的概念, 可以使硬件开销大大减小。

任何乘积线  $w_i$  都可表示为

$$w_i = x_1^* x_2^* \cdots x_m^*,$$

此处

$$x_j^* = \begin{cases} x_j \text{ (或 1) 若 } * = 10, \\ \bar{x}_j \text{ (或 0) 若 } * = 01, \\ X \text{ ("don't care") (或 -) 若 } * = 11, \end{cases}$$

其中,  $x$  的个数称为  $w_i$  的维数, 记为  $d(w_i)$ .  $w_i$  可以看作  $m$  维布尔空间的一个点集. 两根乘积线  $w_i, w_j$  之间的海明距离 (敌对位的个数) 称为乘积线之间的距离, 记为  $\rho(w_i, w_j)$ .

**定义 3.1.** 对任何乘积线  $w_i$ , 把所有  $x$  换成零, 得到一个点  $c_i \in w_i$  称为  $w_i$  的核.

**定义 3.2.** 点  $c_i$  的邻域, 用  $T^i$  表示, 是与  $c_i$  的距离不大于 1 的点的集合.

例如乘积线  $1X0X$  的核是 1000, 1000 的邻域是  $\{1000, 0000, 1100, 1010, 1001\}$ .

**定义 3.3.** 一个 PLA 称为 ETG PLA, 如果

$$T = \{T^1, T^2, \dots, T^n\}$$

是它的一个完全测试集, 其中  $T^i$  是乘积线  $w_i$  的核  $c_i$  的邻域.  $T$  是完全测试集, 是指  $T$  能诊察所有可诊察的交叉点单故障.

从上述定义显然可见, 对 ETG PLA, 产生测试集  $T$  是非常简单的.

**定义 3.4.**  $w_i$  与  $T^i$  的交集 (记为  $M_i$ ) 中的测试称为  $w_i$  的内部测试.

**定义 3.5.** 删去 PLA 的一根乘积线  $w_i$ , 余下的 PLA 称为  $w_i$  的余 PLA, 记为  $CPLA_i$ .

对输入矢量  $t$ ,  $w_i$  的余 PLA 的输出矢量记为  $out_i(t)$ , 它的  $z_j$  分量记为  $out_i(t)|z_j$ .

按照文献[7], PLA 称为非并发的, 如果对所有乘积线, 任何输入矢量  $t \in w_i$  不激发任何其他乘积线, 或者说, 对任何矢量  $t$  都是非并发的.

**定义 3.6.** PLA 称为拟非并发的, 如果对任何输出线  $z_c$  及任何乘积线  $w_i$ , 存在一个矢量  $t_{ij} \in M_i$ , 它在  $\{w_i \cup W(z_c)\}$  中是非并发的.

从上述定义显然可见, 非并发的 PLA 当然是拟非并发的. 拟非并发的概念是非并发概念的推广.

**定理 3.1.** 若 PLA 是拟非并发的, 则  $T$  诊察所有可诊察的 OE, OM 单故障.

**证.** 考虑  $OM(w_i, z_j)$ . 由于 PLA 拟非并发, 必存在  $t_{ij} \in M_i$ , 使得在  $W(z_j)$  中, 只有  $w_i(t_{ij}) = 1$ , 因而  $z_j(t_{ij}) = 1$ . 但

$$out_i(t_{ij})|z_j = 0,$$

因而, 在  $OM(w_i, z_j)$  出现时,  $z_j(t_{ij})$  将为零  $t_{ij} \in T$  可诊察该故障.

考虑  $OE(w_i, z_j)$ . 由于  $t_{ij} \in M_i$  在  $\{w_i \cup W(z_j)\}$  中非并发,  $out_i(t_{ij})|z_j = 0$ . 因而  $z_j(t_{ij}) = \bar{d}$ , 此处  $\bar{d}$  表示正常时为零, 故障时为 1.

例 1. 考虑如下的 PLA:

$$\begin{array}{ccccccc} 1 & X & X & X & 1 & . & \\ X & X & 0 & 0 & . & 1 & \\ X & 0 & 0 & 1 & . & 1 & \\ X & 0 & 1 & 0 & . & 1 & \end{array}$$

$OE(w_1, z_2)$  是可诊察的, 因为可以找到许多输入模式, 正常时应该为零, 而故障时为 1. 譬如  $z_2(1111) = \bar{d}$ . 但这些输入模式都不在  $T$  内, 因而不能被  $T$  诊察. 另一方面, 这个 PLA 不是拟非并发的. 因为对  $z_2$  和  $w_1$ , 任何  $M_1 = \{1000, 1100, 1010, 1001\}$  中的测试, 都激发  $\{w_1, w_2, w_3, w_4\}$  中的两根. 将其变成拟非并发的, 如下所示, 就成为一个 ETG PLA.

$$\begin{array}{ccccccc}
 1 & X & 0 & 0 & 1 & 1 & 1 \\
 1 & X & 1 & 0 & 1 & . & . \\
 1 & X & X & 1 & 1 & . & . \\
 0 & X & 0 & 0 & . & 1 & 1 \\
 X & 0 & 0 & 1 & 1 & . & . \\
 X & 0 & 1 & 0 & 1 & . & .
 \end{array}$$

**定义 3.7.** PLA 称为分离的, 如果对于任何乘积线  $w_i$  及任何  $t_{ij} \in T^i$ ,

$$\text{out}_i(t_{ij}) \not\geq Z(w_i),$$

除非  $AE$  或  $AM(x_j, w_i)$  是不可诊断的, 其中  $t_{ij}$  表示  $c_i$  的第  $j$  位取反所得到的测试. 向量  $V_1 \geq V_2$  当且仅当若  $V_2$  某一位为 1, 则  $V_1$  之对应位必为 1.

**定理 3.2.** 若 PLA 是分离的, 则  $T$  诊断所有可诊断的  $AE$ ,  $AM$  单故障.

**证.** 若  $AE(x_j, w_i)$  可诊断, 由于  $M_i \subset T^i$ , 对任何  $t \in M_i$ ,

$$Z(t) \geq Z(w_i), \quad (1)$$

若在  $(\bar{x}_j, w_i)$  处有交叉点,  $c_i$  不能激发  $w_i$ ,

$$Z(c_i) = \text{out}_i(c_i) \not\geq Z(w_i),$$

这一矛盾诊断了  $AE(x_j, w_i)$ . 若在  $(\bar{x}_j, w_i)$  处无交叉点,  $c_i$  或  $t_{ij}$  总有一个不能激发  $w_i$ , 它的输出就不能覆盖  $Z(w_i)$ , 也与 (1) 式矛盾. 因此,  $AE$  可诊断的单故障必可被  $c_i$  或  $t_{ij}$  诊断出来.

若  $AM(x_j, w_i)$  可诊断. 故障存在时,  $t_{ij}$  将激发  $w_i$ , 产生覆盖  $Z(w_i)$  的输出. 而在无故障情况下,  $t_{ij}$  不能激发  $w_i$ , 根据 PLA 的分离性, 其输出不能覆盖  $Z(w_i)$ . 这一矛盾便可诊断  $AM(x_j, w_i)$ .

**例 2.** 考虑如下的 PLA:

$$\begin{array}{ccccccc}
 1 & 1 & 0 & X & 1 & 1 & . \\
 0 & 1 & X & X & 1 & . & .
 \end{array}$$

$AM(\bar{x}_1, w_1)$  是可诊断的, 因为  $z_1(1111) = \bar{d}$ ,  $z_1(1110) = \bar{d}$ . 但 1111, 1110 都不属于  $T$ . 而  $T$  中诊断  $AM(\bar{x}_1, w_1)$  的测试只可能是 1100, 它激发  $w_1$ , 而产生的输出覆盖了  $z(w_1)$ . 所以, 需要增加输出线, 使之分离, 如下所示.

$$\begin{array}{ccccccc}
 1 & 1 & 0 & X & 1 & 1 & . \\
 0 & 1 & X & X & 1 & . & 1
 \end{array}$$

**定义 3.8.** 乘积线  $w_i$  称为冗余的, 如果对于任何  $t \in w_i$ ,  $\text{out}_i(t) \geq Z(w_i)$ .  $w_i$  称为可合并的, 如果存在乘积线  $w_j (j \neq i)$  及  $k (1 \leq k \leq m)$ , 使得  $w_i$  与  $w_j$  只有在第  $k$  位敌对 (0/1 或 1/0), 其他各位完全相同, 而且,  $Z(w_i) = Z(w_j)$ . 将  $w_i$  的第  $k$  位改为“—”称为合并.

**定义 3.9.** PLA 称为极小化了的 PLA 如果 (1) 或阵列中无不可诊断的  $OE$  故障; (2) 与阵列中无不可诊断的  $AE$  故障; (3) 不存在可合并的乘积线; (4) 不存在冗余的乘积线. 这种极小化的 PLA 是对 PLA 尽可能多的置入交叉点, 并去掉冗余乘积线. 反复执行以下极小化算法, 可以把一个给定的 PLA 转换为一个与之等价的极小化了的 PLA.



极小化算法:

(1) 对或阵列中的每一个  $OE$  故障, 如果它是不可诊断的, 置入相应的交叉点以去掉它; (2) 如果存在可合并的乘积线, 合并之; (3) 如果存在冗余的乘积线, 去掉它; (4) 对与阵列的每一个  $AE$  故障, 如果发现一点  $AE$  故障是不可诊断的, 置入相应的交叉点以去掉它. 然后, 再检查下一点.

根据定理 3.1 及 3.2, 我们有:

**定理 3.3.** 若一个极小化了的 PLA 是拟非并发的, 而且是分离的, 则此 PLA 是 ETG PLA.

ETG PLA 设计算法:

(1) 极小化 PLA; (2) 对或阵列中每一交叉点, 检查是否拟非并发. 若否, 使之拟非并发, 返回(1); (3) 对与阵列中每一交叉点, 检查是否分离. 若否, 填分离要求表; (4) 根据分离要求表, 增加输出线; (5) 验证设计出的 ETG PLA 是否与给定的 PLA 等价; (6) 验证设计出的 PLA 是否 ETG; (7) 为此 ETG PLA 产生测试集; (8) 输出结果.

#### 四、ETG 与其他方法的比较

PLA 可测试性设计方法已有很多, 文献[4]中比较了主要的 25 种. 它们可以分为两类: DFT 方法和 ETG 方法. 我们把那些不改变 PLA 电路结构、不增加控制输入和控制触发器、寄存器的方法统称为 ETG 方法, 其余则称为 DFT 方法. 例如文献[4]中提到的 CONC2, LOD, MIN, FTPLA, TSBF, TBSL, DCT 等方法都属于 ETG 方法, 其余的则为 DFT 方法.

ETG PLA 与 DFT PLA 比较起来, 有如下的不同之处:

(1) DFT PLA 增加移位寄存器或触发器, 以便单独控制每一根位线或乘积线, 提高可控性和可观测性. 而 ETG PLA 与普通的 PLA 结构完全相同, 不过在设计 ETG PLA 时, 必须遵循某些设计规则, 其结果可能比极小化的 PLA 增加若干乘积线、输出线或输入线.

(2) DFT PLA 的测试集与它所实现的函数关系甚小, 甚至无关. 而 ETG PLA 的测试集是与函数有关的, 不过这种关系甚为明显.

(3) DFT PLA 的附加硬件增加了时间延迟, 因而影响电路性能. 而 ETG PLA 对性能影响很小.

(4) DFT PLA 进行在线测试需要特定的测试方法, 而且要有一个连续的充分长的测试时间区间. 而 ETG PLA 毋需测试方式, 测试可以插在系统运行的任何时刻进行.

本文介绍的改进的 MIN 方法已实现为一个软件, ETG\_PLA\_DESIGNER, 装入 PLAT 软件包中. 对文献[8]中所用的 Stanford 10 个 PLA 实例的运行结果如表 2 所示. 其中  $N_i$ ——输入数,  $N_p$ ——乘积线数,  $N_o$ ——输出数,  $N_{op}$ ——增加的乘积线数,  $N_{oo}$ ——增加的输出数, %HO——所需附加的硬件开销的百分比, %HJS——文献[9]中报道的改进文献[8]的方法所需硬件开销的百分比, CTime——在 VAX 11/785 上所用的计算时间. 表 2 中  $N_{op}$  有些是负数, 它表明某些乘积线已被删除. 这里所指硬件开销是以交叉点总数来衡量的. 从表 2 可见, ETGPLA 所需要增加的硬件开销平均为原 PLA 的 4.39%, 而文献[9]的方法平均为 9.41%. 用其他方法就更多. 另外, 在文献[10]中已经证明, 测试产生的计算复杂性, 对 ETG

PLA 是  $O(n)$ , 而对文献[8,9]的 PLA 是  $O(n^2)$ , 其中  $n$  为乘积线数。

表2 实验结果

| 名 称     | $N_i$ | $N_p$ | $N_o$ | $N_{op}$ | $N_{ao}$ | %HO    | %HJS   | CTime  |
|---------|-------|-------|-------|----------|----------|--------|--------|--------|
| ALUTEST | 14    | 36    | 21    | -1       | 1        | -0.8   | +8.2   | 39.9   |
| BAR     | 8     | 29    | 25    | -1       | 3        | +3.6   | +9.8   | 13.2   |
| BARNEW  | 8     | 33    | 27    | -2       | 2        | +1.7   | +18.8  | 26.9   |
| CERBS   | 18    | 50    | 37    | 2        | 2        | +6.8   | +5.5   | 132.7  |
| COND    | 10    | 24    | 2     | 0        | 2        | +9.0   | +9.1   | 0.4    |
| MASTER  | 15    | 27    | 13    | -1       | 2        | +0.8   | +9.3   | 35.2   |
| NEWALU  | 15    | 26    | 28    | 0        | 1        | +1.7   | +6.9   | 48.9   |
| RECUR   | 7     | 9     | 9     | 0        | 0        | 0      | 0      | 0.4    |
| RIMP    | 12    | 39    | 21    | 4        | 2        | +15.2  | +8.9   | 91.6   |
| TRAFFIC | 5     | 8     | 7     | 0        | 1        | +5.9   | +17.8  | 0.5    |
| 平 均     |       |       |       |          |          | +4.39% | +9.41% | 38.97s |

文献[4]中所谓的 DCT 方法(参见文献[11])用增加输入线的办法,使得 PLA 的每一交叉点都是非冗余的,以简化测试产生。这也是一种 ETG 方法。文献[11]列出的第一个例子(参见文献[11]图1)要增加1根输入线,而用本文的方法并不需要,只要增加几个交叉点连结就可以了。文献[11]的另一个例子(参见文献[11]图7)要求增加两根乘积线,而用本文的方法则不需要,只要增加几个交叉点连结就可以了。

## 五、结 论

PLA 是一类集成电路芯片,也可以是用户定制或半定制的专用集成电路(ASIC),并大量嵌入到各种类型的微处理器芯片中。80年代以来,国际上对 PLA 的设计与测试进行了大量的研究。本文首先建立了统一的单故障模型,证明了对于无冗余输入线、乘积线和输出线的 PLA,只要考虑交叉点单故障,就自动的包括了固定型单故障及桥接故障,使 PLA 的测试问题大大简化。

本文改进了作者1984年提出的容易产生测试的 PLA 的概念和设计方法,主要是推广了伪非并发和分离的概念,使硬件开销大大减少。平均约为5%左右,而其他 PLA 可测试性设计方法的硬件开销一般为10—20%。ETG PLA 的设计已开发为软件,装在实用的软件包 PLAT 中。

李锦涛和李忠诚两位博士生在本研究工作及程序编制中都做了很多工作,特此致谢。

## 参 考 文 献

- [1] Min, Y., *CRC Tech. rps*, 83-6, Stanford Univ, Stanford, Calif., May, 1983.
- [2] 闵应骅, 计算机学报, 1986, 9: 1.
- [3] Min, Y., *Proc. Int'l Symp. Fault-Tolerant Computing*, USA, June, 1984, 436—442.
- [4] Zhu, X. & Breuer, M. A., *IEEE Design & Test of Computers*, August, 1988.
- [5] McCluskey, E. J., *Design for Testability* (Ed. Pradhan, D. K.), Chapter 2, Prentice-Hall, N. J., 1986.
- [6] 闵应骅, 计算机学报, 1986, 9: 3.

- 
- [ 7 ] Wang, S. L. & Avizienis, A., *Dig FTCS-9*, Wisconsin, 1979.
  - [ 8 ] Bozorgui-Nesbat, S. & McCluskey, E. J., *IEEE Tran. on Comp.*, **35**(1986), April.
  - [ 9 ] Khakbay, J. & Bozorgui-Nesbat, S., *Proc. 1985 Int'l Conf. on CAD*, 1985.
  - [ 10 ] Min, Y., Malaiya, Y. K. & Gupta, B., *Proc. of IEE.*, **136**(1989), Pt. E, No.2.
  - [ 11 ] Ramanatha, K. S. & Biswas, N. N., *IEEE Trans. on Computers*, **37**(1988), No.9.