论 文

新型 HfO_2 栅介质中的频散效应及参数提取方法刘红侠^{①*}, 匡潜玮^①, 栾苏珍^①, ZHAO Aaron^②, TALLAVARJULA Sai^②^① 西安电子科技大学微电子学院, 宽禁带半导体材料与器件教育部重点实验室, 西安 710071^② 美国应用材料公司, Sunnyvale, CA 94086, USA

* 通信作者. E-mail: hxliu@mail.xidian.edu.cn

收稿日期: 2009-05-23; 接受日期: 2009-09-10

国家自然科学基金 (批准号: 60976068)、教育部科技创新工程重大项目培育资金 (批准号: 708083)、教育部博士点基金 (批准号: 200807010010) 和西安应用材料创新基金 (批准号: XA-AM-200701) 资助项目

摘要 本文研究了原子层化学气相淀积 ALCVD (atom layer chemical vapor deposition) 方法淀积的 $\text{HfO}_2/\text{SiO}_2/\text{p-Si}$ MOS 电容的电特性. 高频时, 积累电容出现了频率色散现象. 针对双频 C-V 法测量超薄 $\text{HfO}_2/\text{SiO}_2$ 堆栈栅 MOS 电容中制备工艺和测量设备引入的寄生效应, 给出了改进的等效电路模型, 消除了频率色散. 研究发现, 高 k 介质中存在的缺陷和 SiO_2/Si 处的界面态, 使高频 C-V 特性发生漂移. 对禁带中界面态的分布进行归纳, 得到 C-V 曲线形变的规律. 研究了形变的 C-V 曲线与理想 C-V 特性的偏离, 给出了界面态电荷密度的分布, 得到了相对于实测 C-V 曲线的矫正线. 通过比较理想 C-V 曲线和矫正线, 提取了平带电压、栅氧化层电荷、 SiO_2/Si 界面的界面态密度等典型的电学参数.

关键词高 k 栅介质
二氧化铪
频率色散
等效电路模型
双频 C-V 法
参数提取

1 引言

随着大规模集成电路 VLSI (very large scale integrated circuits) 技术的迅猛发展, 半导体器件的特征尺寸按照摩尔定律不断减小, 在进入到 45 nm 工艺节点下, 工业生产要求栅氧化层的等效厚度 (在保持栅电容值不变的条件下, 以相对介电常数为 3.9 的 SiO_2 作为标准得到的栅介质层厚度) 1 nm 左右, 如仍采用传统的 SiO_2 作为栅氧化层介质, 电子的直接隧穿效应和栅介质承受的电场将变得很大, 由此引起栅介质的漏电流增大和可靠性下降等严重问题^[1~6], 严重阻碍了 MOS 器件的进一步发展, 这意味着传统的 SiO_2 介质已经达到了使用的物理极限. 根据美国的国家半导体工业协会制定出的国际半导体技术发展路线图 ITRS (international technology roadmap for semiconductor), 在 2010 年后 SiO_2 栅介质的厚度将下降至 1 nm. 理论计算表明, 在此厚度下量子力学效应导致的隧穿电流的迅速增大和消耗功率的迅速增加将使器件无法正常工作. 这个问题的唯一办法是用具有较高介电常数的电介质材料取代 SiO_2 用作栅介质层. 因此提出了采用高介电常数的栅介质替代传统 SiO_2 的解决方法. 在保持等效厚度不变的条件下增加介质层的物理厚度, 可以大大减小直接隧穿效应和栅介质层承受的电场强度.

图 1 $\text{HfO}_2/\text{SiO}_2/\text{Si}$ 堆栈栅结构的 TEM 照片

针对 MOS 器件, 电容测量方法是一种表征高 k 栅介质电特性的重要方法^[7~12]. 但是这种测量方法在高频段, 不同的测量频率会测量出不同的结果即频率色散现象. 本文针对原子层化学气相淀积 ALCVD 制备的 $\text{HfO}_2/\text{SiO}_2/\text{p-Si}$ MOS 结构电容进行了测试, 给出了改进的四元件小信号等效模型, 消除了高频测量过程中的频率色散现象. 在讨论界面态电荷对高频 MOS C-V 特性影响和形变规律的基础上, 给出一种沿电压方向形变的数据处理方法, 从四元件模型修正的 C-V 线直接计算界面态电荷密度的分布, 并对常规 C-V 法确定平带电压、固定电荷密度和可动电荷密度的误差进行了讨论和修正.

2 样品制备

实验中采用的 HfO_2 高 k 栅介质样品由美国 AM 公司制备. 其采用电阻率为 $1.0\sim 10\ \Omega\cdot\text{cm}$ 的 p 型 Si(100) 硅片作为衬底. Si 衬底在装入淀积室前, 首先进行表面化学清洁处理, 具体清洗过程为, 先将硅衬底在热的 $\text{H}_2\text{SiO}_4\text{:H}_2\text{O}_2$ 溶液中煮, 以去除硅片表面的金属离子和其他杂质, 然后用去离子水充分冲洗后, 在稀释的 HF 溶液中浸泡, 以去除表面的自然氧化层, 用去离子水充分冲洗并用 N_2 吹干后, 立即装入原子层化学气相淀积 (ALCVD) 系统中淀积 HfO_2 层. 为了防止 HfO_2 高 k 材料产生过多的界面缺陷, 形成比较理想的低界面陷阱的绝缘层, 首先在 p-Si 衬底上生长一层厚度为 0.8 nm 的 SiO_2 层. 然后采用 HfCl_4 和 H_2O 作为反应前驱体淀积 HfO_2 层, 每次循环后使用 N_2 净化生长室, 生长室中的气压保持在 0.01 Torr 范围内, 生长厚度为 3.0 nm 的 HfO_2 高 k 介质层. 薄膜淀积后, 在 H_2 和 N_2 的混合气氛中退火, 以钝化 SiO_2/Si 界面的 Si 悬挂键和改善 $\text{HfO}_2/\text{SiO}_2/\text{Si}$ 堆栈栅结构的特性. 样品的 TEM 照片如图 1 所示.

为了研究制备的 HfO_2 高 k 栅介质样品的质量和提取相关的电学参数, 利用电子束蒸发方法淀积 2000 Å 的 Al 电极, 淀积时采用金属掩模版形成上电极图形, 制备了 4 种不同面积的电容, 面积分别为 $21\times 21\pi\ \mu\text{m}^2$, $15\times 15\pi\ \mu\text{m}^2$, $37\times 37\ \mu\text{m}^2$ 和 $65\times 21\ \mu\text{m}^2$.

3 四元件等效电路模型

典型的测量电容 C-V 特性的两元件并联电路模型如图 2(a) 所示, 由电容 C 和电导 G 并联. 然

图 2 MOS 电容的小信号等效电路模型

 图 3 Al(200 nm)/HfO₂(3 nm)/SiO₂(0.8 nm) 堆栈栅 MOS 结构的 J-V 曲线

而, 随着栅氧化层厚度的不断减小, 各种隧穿机制引起的栅漏电流不断增加, 相应的等效电阻也必须考虑, 阱/衬底和金属接触产生的串联寄生电阻 R_S 也会使 MOS 电容测量结果产生误差, 两元件电路模型已无法适用, 此时需要用如图 2(b) 所示的三元件电路模型来进行修正. 对于使用 HfO₂ 替代 SiO₂ 作为栅介质材料的 MOS 电容, 相同的等效厚度下使用 HfO₂ 可以获得更高的物理厚度, 这使得栅漏电流大幅减小, 如图 3 所示, Al(200 nm)/HfO₂(3 nm)/SiO₂(0.8 nm) 堆栈栅 MOS 电容在 5 V 时栅漏电流仅为 0.212 $\mu\text{A}/\text{cm}^2$, 此时等效电阻 R_P 可以忽略. 此外堆栈栅结构中的 HfO₂ 层比普通的 SiO₂ 材料存在着更高量级的缺陷数量, 这些缺陷作为俘获中心对电子的俘获与释放过程会直接影响 MOS 电容值, 对测量的结果影响很大. 另外, 交流测量信号在通过电缆时存在延迟和相位变化也会影响测量结果. 其他的因素, 如背接触电极的不理想, MOS 电容的尺寸等对测量结果也会产生影响^[13~16]. 因此, 图 2(c) 提出了针对 HfO₂ 栅介质 MOS 电容改进的四元件小信号等效电路, 得到修正的双频 C-V 模型. 在该模型中, C_0 是理想的栅介质电容, D_t 是由于 HfO₂ 中存在大量缺陷而引入的缺陷因子, R_S 是阱/衬底电阻和金属接触电阻产生的串联电阻, C_S 是连接线和探针系统引入的并联电容. 只需要两种频率下的测量结果, 即可以通过计算得到精确的电容量值.

图 2(a) 中的两元件并联电路中的阻抗 Z 可以表示为公式 (1).

$$Z(\omega) = \frac{D - j}{\omega C(1 + D^2)}, \quad (1)$$

其中 $D = G/(\omega C)$ 为消散因子, G 和 C 为测量值, $\omega = 2\pi f$ 为角频率.

图 2(c) 中的四元件电路模型中的阻抗表示为公式 (2).

$$Z(\omega) = \frac{R_S(1 - j\omega C_S R_S)}{1 + (\omega C_S R_S)^2} + \frac{D_t - j}{\omega C_0(1 + D_t^2)}. \quad (2)$$

并联测量电路的阻抗表达式 (1) 和四元件等效电路的阻抗表达式 (2) 的实部和虚部分别相等.

$$\text{实部: } \frac{D}{\omega C(1 + D^2)} = \frac{R_S}{1 + (\omega C_S R_S)^2} + \frac{D_t}{\omega C_0(1 + D_t^2)}, \quad (3)$$

$$\text{虚部: } \frac{1}{\omega C(1 + D^2)} = \frac{\omega C_S R_S^2}{1 + (\omega C_S R_S)^2} + \frac{1}{\omega C_0(1 + D_t^2)}. \quad (4)$$

联立公式 (3) 和 (4) 解方程组可得到 C_0 、 D_t 、 C_S 和 R_S , 分别如公式 (5)~(8) 所示.

$$C_0 = (\omega_1 - \omega_2) \frac{D_t}{1 + D_t^2} \left[\frac{\omega_1 D_1}{C_1(1 + D_1^2)} - \frac{\omega_2 D_2}{C_2(1 + D_2^2)} \right], \quad (5)$$

$$D_t = \frac{[C_1 C_2(1 + D_1^2)(1 + D_2^2)]^2}{[\omega_1 C_2(1 + D_2^2) - \omega_2 C_1(1 + D_1^2)][\omega_1 D_1 C_2(1 + D_2^2) - \omega_2 D_2 C_1(1 + D_1^2)]}, \quad (6)$$

$$C_S = \omega \frac{D C_0(1 + D_t^2) - D_t(1 + D^2)}{C_0(1 + D_t^2) - C(1 + D^2)}, \quad (7)$$

$$R_S = \frac{C C_0(1 + D^2)(1 + D_t^2)}{C_S [D C_0(1 + D_t^2) - D_t C(1 + D^2)][C_0(1 + D_t^2) - C(1 + D^2)]}. \quad (8)$$

4 模型的实验验证及参数提取

实验中 MOS 电容的高频 C-V 特性采用 Keithley 590 测试仪系统, 偏压扫描速率为 0.1 V/s, 交流小信号的幅值为 50 mV, 测量在避光、电屏蔽的条件下进行. 图 4 给出了 Al(200 nm)/HfO₂(3 nm)/SiO₂(0.8 nm)/p-Si MOS 电容在并联模式下的 C-V 测量曲线和基于四元件等效电路模型得到的双频 C-V 修正曲线, MOS 电容的面积 S 分别为 $S_1=21 \times 21 \pi \mu\text{m}^2$, $S_2=37 \times 37 \mu\text{m}^2$, $S_3=65 \times 21 \mu\text{m}^2$, $S_4=15 \times 15 \pi \mu\text{m}^2$.

从图 4 中可看出, 对于不同面积的电容, C-V 曲线在高频时出现严重的色散现象. 考虑寄生元件 D_t 、 R_S 和 C_S 的影响后, 利用改进的四元件等效电路模型可以有效地消除频率色散现象, 得到的电容曲线更加接近 100 KHz 时测量得到的电容曲线, 两者的误差小于 0.1%. 这表明修正的四元件等效电路模型可以更加精确地计算出电容值. 测量值和修正值之间的微小偏差主要是由 C-V 测量过程中的热噪声所引起的. 当 MOS 电容在一定偏压下处于耗尽或反型状态时, 会产生热电子空穴对, 即热载流子, 继而产生热噪声.

5 实验结果与分析讨论

图 5 是 4 种不同面积 MOS 电容的双频修正 C-V 曲线和理论模拟值的对比, 虚线为矫正线. 从图中可以看到, 双频修正后的 C-V 曲线与理想曲线仍然存在偏离, 这是由界面处的陷阱导致的. 随着测量频率的增加, 界面陷阱电荷无法跟上交流电压的变化, 且陷阱同时受到变化缓慢的栅电极直流信号的影响, 最终使得测量的 C-V 曲线沿电压轴延展, 与理想曲线的形状发生偏移.

图 4 4 种不同面积 MOS 样品的 C-V 测量曲线和双频修正曲线

从图中还可以看到, 与理想曲线相比, C-V 曲线的下半部不变, 上半部偏移. 由偏移变形 C-V 曲线判别原则可知, 禁带下半部分为单施主型界面态. 当 $V_g > 0$ 时, MOS 器件处于反型态时, 表面能带向下弯曲, E_F 接近 E_c , C-V 曲线应与无界面态 C-V 曲线重合. 当 $V_g < 0$ 时, 表面能带上弯, E_F 以上的施主型界面态带正电. 为了补偿掉界面陷阱上额外的正电荷, 外场 V_g 要增加一个负 ΔV_g 才能使表面呈平带状态. 随着 V_g 向负值增大, 由于施主型界面态上附加的正电荷的屏蔽, V_g 需要附加更大的负 ΔV_g 才能出现表面空穴的积累状态, C-V 曲线向负 V_g 方向偏移. E_F 移到施主型界面态峰位时, C-V 曲线上出现变化规律不同的拐点.

从图 5 可以得到 4 种不同面积 MOS 电容的栅氧化层电容, 样品 1~4 的栅氧化层电容分别是 38.551、38.106、37.994 和 19.675 pF. 由图 5 可以得到 4 种不同面积 MOS 电容的平带电压, 先找出理想 C-V 曲线中零偏压时的电容值, 再在矫正线上找到与此电容值对应的电压即为平带电压 V_{FB} , 电容值为平带电容 C_{FB} . 从图中得到样品的平带电压. 由平带电压 V_{FB} 公式 $V_{\text{FB}} = \Phi_{\text{ms}} - Q_{\text{ox}}/C_{\text{ox}}$, 已知半导体的掺杂浓度、金属的功函数和平带电压即可计算出氧化层电荷密度. 对于 Al 和 p 型 Si, 金属半导体功函数差 Φ_{ms} 为 -0.818 V . 由此可计算出栅氧化层电荷密度分别为 1.74×10^{12} , 1.10×10^{12} , 1.98×10^{12} 和 $5.49 \times 10^{11} \text{ cm}^{-2}$. 通过 Terman 方法可计算出在禁带中央位置, 样品的 SiO_2/Si 界面的界面态密度分别为 4.32×10^{11} , 3.2×10^{11} , 1.7×10^{11} 和 $8.34 \times 10^{11} \text{ cm}^{-2}$. 从图 5 中得到的 4 种不同面积 MOS 电容的栅氧化层电容的电参数, 如表 1 所示.

图 5 4 种不同面积 MOS 电容 C-V 特性的理论值和双频修正值的对比

表 1 提取的 MOS 电容的电参数

参数	面积			
	S_1	S_2	S_3	S_4
$C_{\text{OX}}(\text{pF})$	38.551	38.106	37.994	19.675
$\Delta V_{\text{FB}}(\text{V})$	-0.773	-0.788	-0.765	-0.789
$N_{\text{OX}}(\text{cm}^{-2})$	1.74×10^{12}	1.10×10^{12}	1.98×10^{12}	5.49×10^{11}
$D_{\text{it}}(@0.56 \text{ eV})$	4.32×10^{11}	3.2×10^{11}	1.7×10^{11}	8.34×10^{11}

6 结论

本文研究了 $\text{HfO}_2/\text{SiO}_2$ 堆栈栅 MOS 电容的电特性. 研究发现, 高频时积累电容出现了频率色散现象. 为此, 提出了改进的小信号等效电路模型. 与传统的两元件等效电路相比, 增加了栅介质层的缺陷因子、串联寄生电阻和并联电容三个参数. 实验和计算结果表明, 基于该模型得到的双频 C-V 修正曲线可消除高频时的频率色散现象. 由于界面态的存在使高频 C-V 特性受到影响, 对禁带中界面态的分布进行归纳, 得到一些 C-V 曲线形变的规律. 通过分析形变曲线与理想 C-V 特性之间的偏离, 给出

界面态电荷密度的分布. 通过与理想的 C-V 曲线进行比较, 提取了典型的 MOS 电容的电学参数. 实验结果表明, 该方法能够消除频率色散效应, 提供更加准确的电容测量值.

参考文献

- 1 Ribes G, Mitard J, Denais M, et al. Review on high-k dielectrics reliability issues. *IEEE Trans Dev Mater Reliab*, 2005, 5: 5–19
- 2 Kim Y M, Lee J C. Reliability characteristics of high-k dielectrics. *Microelectr Reliab J*, 2004, 44: 183–193
- 3 Deshpande A S. *Fundamental Studies on Alternative High-k Gate Dielectric Materials*. Chicago: University of Illinois at Chicago, 2005. 133–138
- 4 Kaushik V S, O’Sullivan B J, Poutois G, et al. Estimation of fixed charge densities in hafnium-silicate gate dielectrics. *IEEE Trans Electron Dev*, 2006, 53: 2627–2633
- 5 Zhang Z H, Campbell S A. Effect of deposition chemistry and annealing on charge in HfO_2 stacks. *IEEE Trans Electron Dev Lett*, 2006, 27: 448–450
- 6 Barlage D, Arghavani R, Dewaele G, et al. High-frequency response of 100nm integrated CMOS transistors with high-k gate dielectrics. *IEDM Tech Dig*, 2001, 10: 1–4
- 7 Lonnum J F, Johannessen J S. Dual-frequency modified C-V technique. *Electron Lett*, 1986, 22: 456–457
- 8 Yang K J, Hu C. MOS capacitance measurements for high leakage thin dielectrics. *IEEE Trans Electron Dev*, 1999, 46: 1500–1501
- 9 Nara A, Yasuda N, Satake H, et al. Applicability limits of the two-frequency capacitance measurement technique for the thickness extraction of ultrathin gate oxide. *IEEE Trans Semicond Manuf*, 2002, 15: 209–213
- 10 刘红侠, 蔡乃琼. 针对新型 HfO_2 栅介质改进的四元件电路模型双频 C-V 法. *西安电子科技大学学报*, 2008, 35: 1051–1055
- 11 Luo Z, Ma T P. A new method to extract EOT of ultrathin gate dielectric with high leakage current. *IEEE Electron Dev Lett*, 2004, 25: 655–657
- 12 Lue H T, Liu C Y, Tseng T Y. An improved two-frequency method of capacitance measurement for SrTiO_3 as high-k gate dielectric. *IEEE Electron Dev Lett*, 2002, 23: 553–555
- 13 Choi J, Kim S. Effects of N_2 RPN on the structural and electrical characteristics of remote plasma atomic layer-deposited HfO_2 films. *IEEE Electrochem Solid Stat Lett*, 2006, 9: F13–F15
- 14 Schmitz J, Cubaynes F N, Havens R J, et al. RF capacitance-voltage characterization of MOSFETs with high leakage dielectrics. *IEEE Trans Electron Dev*, 2003, 24: 37–39
- 15 Goo J S, Mantei T, Wiczorek K, et al. Extending two-element capacitance extraction method toward ultra leaky gate oxides using a short-channel length. *IEEE Electron Dev Lett*, 2004, 25: 819–821
- 16 Mudanai S, Li F, Samavedam S B, et al. Interfacial defect states in HfO_2 and ZrO_2 nMOS capacitors. *IEEE Electron Dev Lett*, 2002, 23: 728–731