

2-3 混值编码与混值计数器*

吴训威 陈偕雄

(杭州大学电子工程系)

F. Prosser

(美国印第安纳大学计算机系)

摘 要

本文分析了三值信号的二值表示和三值电路的二值结构特征,提出了使用二值触发器和三值触发器设计混值计数器的方案.文中基于 B²TCD 混值编码提出了 8421 BCD 码加法计数器使用混值逻辑的新设计.

关键词: 多值逻辑,混值编码,计数器

多值逻辑电路能处理更多信息的优点,和它的电性能不如传统的二值电路的缺点,构成了一对矛盾.一个可能的解决方案是探讨一条新途径,例如,采用混值逻辑电路^[1]的新设计——将二值和多值逻辑单元集成在同一芯片上,以求发挥多值与二值逻辑电路各自的优点.

可能存在如下三种混值逻辑电路的形式:

(1) 用简单的多值装置产生多值信号,例如在 ROM 中利用控制沟道的宽长比产生多值电流信号,然后变换为一组二值信号再行输出^[2].

(2) 为了减少芯片的引脚数,芯片的输入和输出信号尽可能采用多值信号.多值输入信号经过译码器变换为一组二值信号进行处理,然后把处理后的信号编码为多值信号再行输出^[3].

(3) 根据多值信号可译码为多轨二值信号,把多值电路直接作成二值结构,从而使多值电路能和二值电路一起集成在同一芯片上.

作为以前工作的继续,本文的讨论将限于第三种混值电路设计在时序电路中的应用.

一、三值信号的二值表示和三轨二值输出的三值触发器

在二值条件下,晶体管 and MOS 管总是工作在“开”或“关”两种状态.为了表示一个多值信号,让每个晶体管工作在放大状态(如 PL),或者保持它的二值工作状态,而采用编码方式来区分多个不同的值.为了充分利用现有的二值集成技术,我们采用后一种方案.

一个二值器件,如二值反相器,按其阈值对输入有两种不同的响应.因此,如果输入为 m 值信号,则必须有 $m - 1$ 个有不同阈值的二值器件以对 m 个不同的输入值作鉴别.例如,在

本文 1988 年 5 月 9 日收到,1988 年 12 月 28 日收到修改稿.

* 国家自然科学基金资助项目.

$m = 3$ 时, 需要有两个二值器件, 如图 1(a) 所示. 图中输入信号的三个逻辑级分别为 $0, \frac{1}{2}, 1$, 而两个二值器件的阈值分别取为 $\frac{1}{4}, \frac{3}{4}$. 图中的两个输出信号 y_1, y_2 虽然在形式上为二值信号(取值为 0, 1), 但是它们的组合表示译码前的三值信号 x , 并且这两个二值信号也可以通过编码转换成三值信号. 以传统的两种三值 CMOS 反相器设计为例, 在图 1(b) 中^[4], 两个二值反相器 (PMOS 和 NMOS 反相器)

的阈值分别为 $\frac{3}{4}$ 和 $\frac{1}{4}$. 当输入 x 为 $\frac{1}{2}$ 时, 两管均导通, 因此需用电阻对 y_1, y_2 编码产生三值反相信号 \bar{x} . 由于不存在在两管均截止的情况, 因此原来的反相器电阻可以拆除. 在图 1(c) 中^[5], PMOS 和 NMOS 管的阈值分别为 $\frac{1}{4}$ 和 $\frac{3}{4}$,

因此当输入 x 为 $\frac{1}{2}$ 时两管均截止. 由于不出现两管均导通的情况, 因此 y_1, y_2 可直接相接而编码产生三值反相信号 \bar{x} . 事实上, 未经编码的二值信号组(如图 1 中的 y_1, y_2) 更容易处理, 且它们在本质上仍描写三值信息, 因此我们可以考虑设计基于二值结构, 以二值信号形式存在而不用电阻编码网络的三值组合电路及三值时序电路.

三值信号的阈函数 ' x' ' 为一组二值信号, 它的定义为

$$x' = \begin{cases} 1, & \text{当 } x = I, \\ 0, & \text{当 } x \neq I, \end{cases} \quad (1)$$

式中 $x, I \in \{0, \frac{1}{2}, 1\}$. 文献[6]认为它们与二值信号的双轨表示 (x, \bar{x}) 相对应, 乃是三值信号的三轨表示. 此外, 文献[6]提出了与二值 JK 触发器相对应的 JKL 触发器, 它的次态方程为

$$Q_+ = J \cdot {}^0Q^0 + (K \oplus \frac{1}{2}) \cdot \frac{1}{2} Q^{\frac{1}{2}} + (L \oplus 1) \cdot Q^1, \quad (2)$$

式中 J, K, L 为激励输入, \oplus 表示模 $\frac{3}{2}$ 加. 该触发器的图形符号如图 2(a) 所示, 图中 CL 为时钟脉冲, $S_{0D}, S_{\frac{1}{2}D}$ 和 S_{1D} 分别为置 0、置 $\frac{1}{2}$ 、置 1 输入. 事实上, 该触发器可以分解成图 2(b), 2(c) 所示两部分. 第一部分由阀门组成, 用以对三值激励输入进行译码, 而第二部分的主体由具有二值输入和输出的二值触发器所组成.

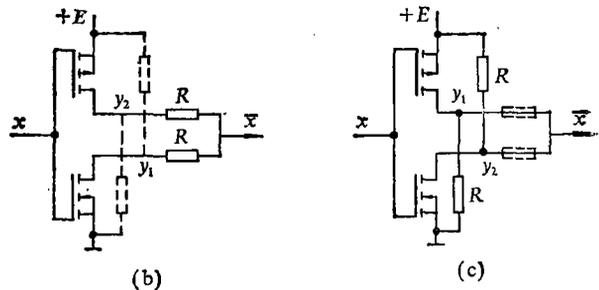
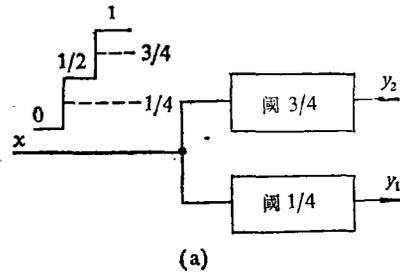


图 1 三值信号的译码和编码的三值反相输出

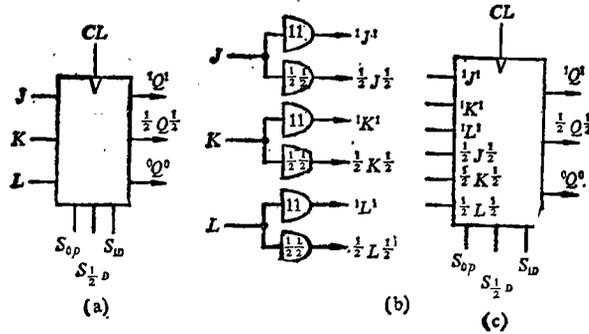


图 2 三值 JKL 触发器

表 1 三值 JKL 触发器的激励表

状态转换			激励函数		
Q	Q_+	\bar{Q}	J	K	L
0	0	0	0	d	d
0	$\frac{1}{2}$	α	$\frac{1}{2}$	d	d
0	1	δ	1	d	d
$\frac{1}{2}$	0	ϵ	d	1	d
$\frac{1}{2}$	$\frac{1}{2}$	$\frac{1}{2}$	d	0	d
$\frac{1}{2}$	1	β	d	$\frac{1}{2}$	d
1	0	γ	d	d	$\frac{1}{2}$
1	$\frac{1}{2}$	ζ	d	d	1
1	1	1	d	d	0

根据(2)式所示的三值 JKL 触发器的逻辑功能, 不难得到如表 1 所示的激励表。表中九种符号 $0, \frac{1}{2}, 1, \alpha, \beta, \gamma, \delta, \epsilon, \zeta$ 分别表示九种特定的触发器行为, 数字表示触发器的状态不变, 希腊字母表示触发器特定的状态转换, d 则表示任意取值 $(0, \frac{1}{2}, 1)$ 。由表 1 可见三值 JKL 触发器具有理想的激励表, 且与二值 JK 触发器相对应。

二、混值信号及其编码

考虑一个 2-3 混值系统, 即假定其中存在二值及三值两种信号, 并分别用字母 (a, b, c, \dots)

和字母 ($A, B, C \dots$) 予以表示, 这里 $a, b, c \dots \in \{0, 1\}$, $A, B, C \dots \in \{0, \frac{1}{2}, 1\}$. 二值信号仅取三值信号中的最小值和最大值. 这样, 我们就可能直接地把原有的三值代数系统移用于 2-3 混值系统, 而在该系统中二值信号被当作不取中间值的三值信号.

由于混值系统中的信号为混值信号, 因此我们用一组混值信号表示信息. 二值系统中的编码的一些考虑可以推广到 2-3 混值系统. 例如, 可以用一个三值信号 A 和两个二值信号 b, c 表示十进制数相应的编码, 这种编码暂时称为 B^2TCD 码, 即 Binary-Binary-Ternary-Coded-Decimal. 下面列举了一些 B^2TCD 编码的例子.

(1) 821 B^2TCD 有权码 它的编码表如表 2 第二栏所示, 其中三值信号 A 的权为 8, 其他两个二值信号 b, c 的权分别为 2 和 1.

表 2 几种 B^2TCD 编码

十进制数	A	b	c	D	e	f	G	h	i	${}^1A^1$	${}^{\frac{1}{2}}A^{\frac{1}{2}}$	b	c
0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	1	$\frac{1}{2}$	0	0	0	0	1	0	0	0	1
2	0	1	0	1	0	0	0	1	0	0	0	1	0
3	0	1	1	1	0	1	0	1	1	0	0	1	1
4	$\frac{1}{2}$	0	0	$\frac{1}{2}$	0	1	$\frac{1}{2}$	0	0	0	1	0	0
5	$\frac{1}{2}$	0	1	$\frac{1}{2}$	1	1	$\frac{1}{2}$	1	1	0	1	0	1
6	$\frac{1}{2}$	1	0	1	1	1	1	0	0	0	1	1	0
7	$\frac{1}{2}$	1	1	1	1	0	1	0	1	0	1	1	1
8	1	0	0	$\frac{1}{2}$	1	0	1	1	0	1	0	0	0
9	1	0	1	0	1	0	1	1	1	1	0	0	1

(2) 单距 B^2TCD 码 表 2 第三栏 (D, e, f) 即为单距 B^2TCD 码, 该编码中任意两个相邻码字之间只有一个信号位发生变化.

(3) 反射 B^2TCD 码 表 2 第三栏中的 B^2TCD 码还具有反射特性, 其中 e 为反射位.

(4) 自补 B^2TCD 码 表 2 第四栏 (G, h, i) 具有自补特性, 其中补运算定义为 $\bar{m} = 1 - m, m$ 可以是二值信号或三值信号.

应该指出, 上述第一种 821 B^2TCD 码与二值系统的 8421 BCD 码有着直接的联系. 考虑到

$$A = {}^1A^1 + \frac{1}{2} \cdot {}^{\frac{1}{2}}A^{\frac{1}{2}}, \tag{3}$$

图 3 所示。由图 3 可以得到

$$J_A = K_A = \frac{1}{2} b \cdot c,$$

$$L_A = \frac{1}{2} c, \quad (4)$$

$$j_b = k_b = \overline{A} \cdot c = \overline{A} + \overline{c}, \quad (5)$$

$$j_c = k_c = 1, \quad (6)$$

该十进制混值加法计数器的电路实现如图 4(a) 所示, 其中“1”, “ $\frac{1}{2}$ ”分别接至与逻辑级相应的固定电平, 而两个三值与门用数字 3 予以标记。图中所有触发器均用二值时钟脉冲的负边沿触发, 所有预置输入均对低电平响应, 且复位输入的低电平能置系统为初态 000。

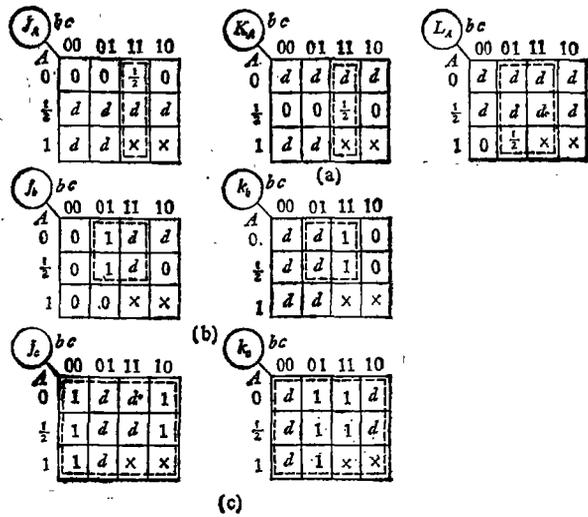


图 3 激励函数的混值 K 图

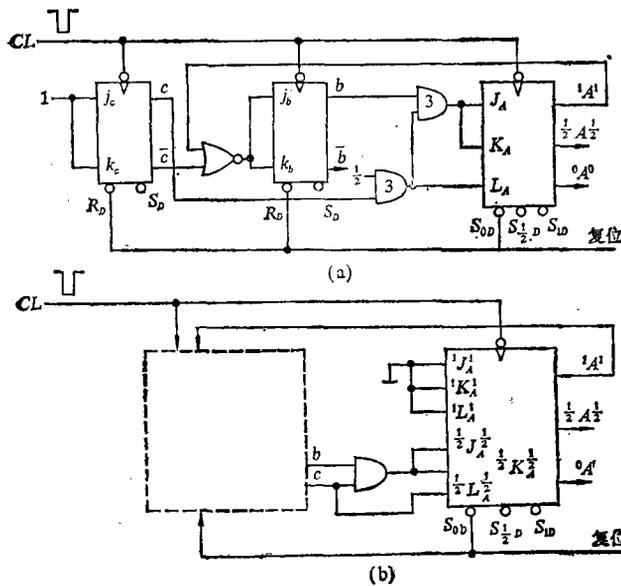


图 4 821 B²TCD 码十进制同步混值计数器的逻辑图

即使考虑到三值触发器较二值触发器为复杂, 它仍然可能导致成本的节省。此外, 置位、复位端要较二值设计节省一个输入端。该计数器仅有两个多余态 110 和 111, 而不是传统设计中的六个多余态。根据(3)~(6)式及二值 \$jk\$ 触发器的次态方程可以得到它们的次态分别是 111 和 010, 从而可以得到该计数器的总状态图, 如图 5 所示。可以看出, 图 4 所示的计数器具有在两个时钟周期内自校正的能力。

由于上述设计中使用的三值触发器具有二值三轨输出, 它们可以用作其他触发器的异步

以上设计中应用了激励输入为三值的三值触发器 \$A\$。事实上, 我们可直接采用图 2(c) 所示的具有二值结构的三值触发器进行设计。由(4)式可得

$$\left. \begin{aligned} {}^1J_A^1 &= {}^1K_A^1 = {}^1L_A^1 = 0, \\ \frac{1}{2}J_A^{1/2} &= \frac{1}{2}K_A^{1/2} = b \cdot c, \frac{1}{2}L_A^{1/2} = c, \end{aligned} \right\} \quad (7)$$

(7)式表明, 我们可以用图 4(b) 所示的结构代替三值 \$JKL\$ 触发器和两个三值与门, 从而获得了用二值集成电路便可实现的新设计, 避免了三值电路硬件实现上的困难。它的四个输出 \$A^1, \frac{1}{2}A^{1/2}, b\$ 和 \$c\$ 与 8421BCD 码加法计数器的相应输出完全相同, 但前者少用了一只触发器, 即

时钟信号,从而可以用于混值异步计数器的设计。以上述 821 B²TCD 码加法计数器为例。由表 3 可以看出,触发器 c 的 r_c 跳变全覆盖三值触发器 A 及二值触发器 b 的全部要求的转换行为,也即 $r_c \geq \{\alpha_A, \beta_A, \gamma_A, \delta_b, \gamma_b\}$, 因此, r_c 可用作触发器 A 和 b 的时钟信号。在没有 r_c 跳变的那些时钟周期内,由于触发器 A 和 b 不受触发而提供了附加的任意取值条件,因此图 3(a),(b)可改画成图 6(a),(b)。图中的短划表示任意取值项。

由图 6 可以得到

$$J_A = K_A = \frac{1}{2} b, L_A = \frac{1}{2}, \tag{8}$$

$$j_b = \overline{A^1}, k_b = 1. \tag{9}$$

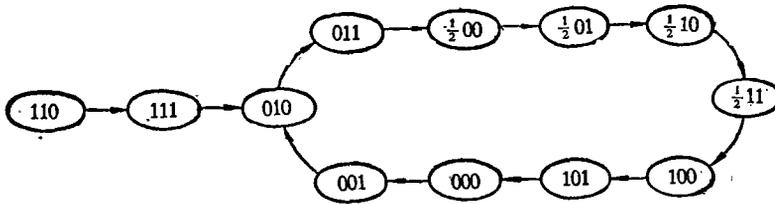


图 5 821 B²TCD 码混值同步十进制加法计数器的总状态图

(8)式可以分解成

$$\left. \begin{aligned} {}^1J_A = {}^1K_A = {}^1L_A = 0, \\ \frac{1}{2}J_A^{1/2} = \frac{1}{2}K_A^{1/2} = b, \frac{1}{2}L_A^{1/2} = 1, \end{aligned} \right\} \tag{10}$$

由(6),(9),(10)式可以得到 821 B²TCD 码混值异步十进制加法计数器的逻辑图,如图 7 所示。当触发器 c 从 1 → 0,即发生 r_c 跳变时,它将提供触发器 A 及 b 所需要的负跳变。图 7 所示

电路与 8421 BCD 码异步加法计数器的传统设计相比,不仅节省了一只触发器,而且只用了一只反相器,因此它具有非常简单的电路结构。此外,它的触发器级联级数仅为 2,从而可能提高工作速度。由于该电路仅有两个多余态,因此它的可靠性也优于 8421 BCD 码异步加法计数器的传统设计。

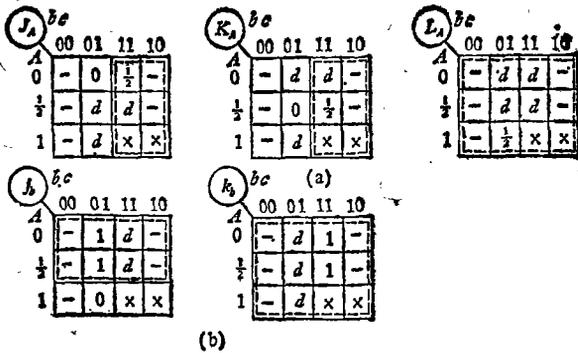


图 6 异步时钟作用下触发器 A 与 b 的激励函数的混值 K 图表示

四、结 论

2- m 混值逻辑在数字设计中有着重要的应用。本文使用的三值触发器不同于传统的三值触发器,它们在本质上是三值触发器,但是无论在信号的形式上,还是内部结构上具有二值特点,从而可以用传统的二值集成技术制造混值电路。

文中从对 2-3 混值信号的编码,即混值编码着手,讨论了用一个三值触发器和两个二值触发器设计十进制加法计数器的设计过程。设计结果表明,这种混值计数器功能上相当于传统

2- m 混值逻辑在数字设计中有着重要的应用。本文使用的三值触发器不同

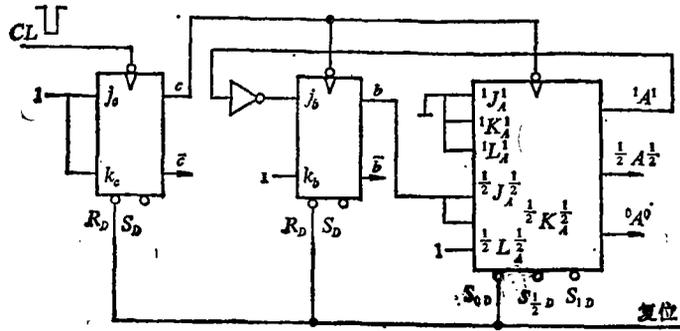


图 7 821 B²TCD 码混值异步十进制加法计数器的逻辑图

的 8421 BCD 码加法计数器,但它却具有冗余态少、电路结构简单等优点。这些优点在设计无冗余混值计数器,如六进制、十二进制计数器时将会表现得更加明显。

由于 2-5 混值逻辑可以构成无冗余的十进制编码,并且它恰好与中国算盘相对应,因此 2-5 混值逻辑可能为数字逻辑工作者所接受。

参 考 文 献

- [1] Hurst, S. L., *IEEE Trans. Comput.*, **C-33**(1984), 1160—1179.
- [2] Rich, D. A., *ibid.*, **C-35**(1986), 99—106.
- [3] Etiemble, D. & Israel, M., *ibid.*, **C-26**(1977), 1222—1232.
- [4] Mouftah, H. T. & Jordan, I. B., *Proc. IEEE Int. Symp. on MVL*, 1974, 285—302.
- [5] Hu, M., Smith, K. C. & Mouftah, H. T., *ibid.*, 1983, 64—69.
- [6] 吴训威、陈偕雄, *中国科学 A 辑*, 1985, 6: 624—654.
- [7] Prosser, F. & Wu, X., *Int. J. Electronics*, 64(1988), 399—407.