



基于整流特性的 RRAM 无源交叉阵列研究进展

张康玮, 龙世兵*, 刘琦, 吕杭炳, 李颖弢, 王艳, 连文泰, 王明, 张森, 刘明*

中国科学院微电子研究所纳米加工与新器件集成技术实验室, 北京 100029

* E-mail: longshibing@ime.ac.cn; liuming@ime.ac.cn

收稿日期: 2010-09-20; 接受日期: 2010-11-23

国家重点基础研究发展计划(“973”计划)(批准号: 2011CB309602, 2010CB934200, 2008CB925002)、国家自然科学基金(批准号: 60825403, 50972160)、国家高技术研究发展计划(“863”计划)(批准号: 2009AA03Z306)和国家科技重大专项(批准号: 2009ZX02023-005-4)资助项目

摘要 阻变存储器(resistance random access memory, RRAM)无源交叉阵列由于其结构简单、密度高、易 3D 集成等优点而得到广泛的关注, 是 RRAM 实现高存储密度的一种极具应用前景的集成方案. 但是无源交叉阵列中的串扰问题限制了其发展与应用. 本文从阻变存储器的集成、无源交叉阵列中的串扰现象出发, 综述了应用在无源交叉阵列中的 1D1R 结构(one diode one resistor)和具有自整流效应的 1R 结构(one resistor), 这 2 种结构在一定程度上都能够抑制串扰现象的出现, 从而避免误读. 与有源阵列相比, 必须对无源交叉阵列发展一套行之有效的测试方法才能够正确地评估其性能并实现商业应用, 综述了当前无源交叉阵列常用的操作电压配置方案. 最后, 展望了 RRAM 无源交叉阵列的应用前景.

关键词
整流特性
无源交叉阵列
阻变存储器
1D1R
自整流

1 引言

存储器在半导体市场中占有重要的地位, 随着便携式电子设备的不断普及, 非挥发存储器在整个存储器市场上的份额也越来越大. 目前, 市场上主流的非挥发存储器技术是基于电荷存储机制的“闪存”(flash)存储器件, 但是由于这类存储器存在操作电压大、速度慢、耐久性较差等缺点, 同时, 由于器件尺寸缩小过程中隧穿氧化层的减薄导致数据保持性能的恶化, 使得这类存储器很难延续到 32 nm 技术以下. 为了解决这个问题, 多种基于电阻值的变化作为信息存储方式的新型非挥发存储技术受到科研界和学术界的广泛关注, 如: 磁存储器(MRAM)^[1]、相变存储器(PRAM)^[2]和阻变存储器(RRAM)^[3]等. 其中, 阻变存储器具有操作电压低、操作速度快、保持时间长、非破坏性读取、

多值存储、结构简单以及与 CMOS 工艺兼容等优点^[4~7], 逐渐成为目前新型非挥发存储器的研究重点.

阻变存储器的集成一般分为有源阵列(1T1R)和无源阵列(1D1R 或 1R)两种. 有源阵列的 1T1R 结构的单元最小尺寸是由选择晶体管的尺寸来决定, 因此这种集成结构的单元面积大, 可缩小性受到晶体管 T 的限制, 并且这种平面集成方式不利于 3D 的堆叠, 而无源阵列则没有这些问题. 因此, 无论是从工艺还是从存储密度的角度进行考虑, 阻变存储器的无源交叉阵列都要比有源阵列更具有优势.

本文主要介绍了 RRAM 的几种集成方式、无源交叉阵列中的串扰现象、具有整流特性的 1D1R 结构、具有自整流特性的 1R 结构以及集成后在无源交叉阵列中的测试方法, 并简单介绍了 RRAM 无源交叉阵列的应用前景.

2 阻变存储器的集成

阻变存储器的集成一般分为有源阵列和无源阵列两种。有源阵列一般通过采用场效应晶体管(MOSFET)和阻变存储单元串联构成1T1R(one transistor one resistor)结构(图1),并在集成阵列中利用字线和位线来达到选通存储单元的目的^[8]。制作这种有源结构时,通常是将晶体管在前端制程完成,而阻变存储器则在后端制程完成,这样有助于节省面积来增加密度,但是由于阻变存储器要在后端制程完成,所以工艺集成时必须考虑热预算,而且制程温度不可过高。在这种有源阵列中,每个存储单元所占据的面积由选择晶体管的大小决定。假定在特定技术节点下最小的选择晶体管能够提供足够大的驱动电流使得RRAM单元发生电阻转变,那么每个存储单元的面积约为 $6F^2$ ^[4](F 为特征尺寸)。Wang等人^[9]利用双极结型晶体管(BJT)代替MOSFET^[10],由于BJT的多发射极共用相同的基极和集电极,所以该晶体管与RRAM串联后的存储单元的有效面积为 $4F^2$,使有源交叉阵列的存储密度大大增加。

在无源阵列中,每个存储单元由相互交叉的字线(word line, W/L)和位线(bit line, B/L)构成的上下电极所确定,因此在平面结构中存储单元最小单元面积为 $4F^2$ (图2(a)所示)。无源交叉阵列中的RRAM制备工艺简单,通常将CMOS电路在前端制程中完成,而RRAM在后端制程中制备,从而使CMOS电路制造和RRAM制备完全分开,有利于提高芯片的成品率,降低成本,并且还可以进行3D集成,这样每个存储单元的有效单元面积为 $4F^2/N$ (N 为堆叠的层数)(图2(b)所示),使得存储密度成倍提高^[6]。因此,无

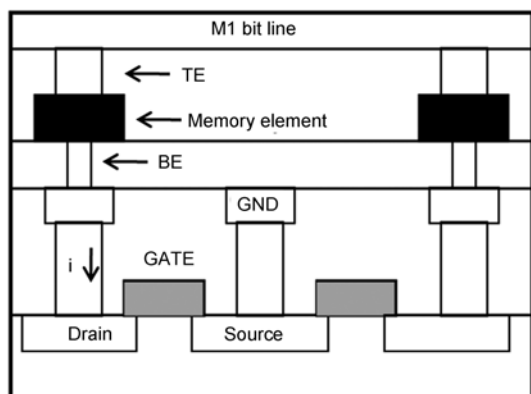


图1 有源交叉阵列的结构示意图

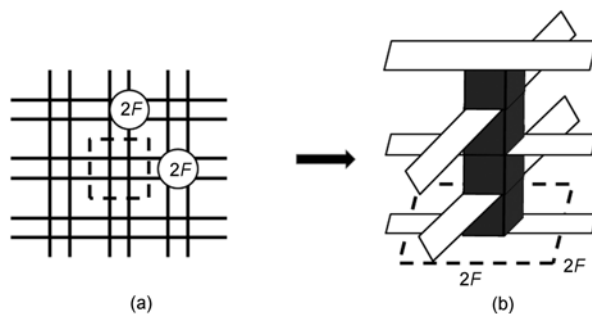


图2 无源交叉阵列的结构示意图

- (a) 在无源交叉阵列中存储单元面积是 $2F \times 2F = 4F^2$;
(b) 4层堆叠的存储器件的有效单元面积是 $4F^2/4 = F^2$

论从存储阵列集成密度还是工艺的角度考虑,无源交叉阵列是RRAM集成的首选方式,这也被认为是目前存储器件最经济的集成方式^[5]。采用无源交叉阵列时,每个交叉点必须具有整流特性,以避免因为交叉串扰而引起误读现象的发生^[6]。

3 无源交叉阵列中的串扰现象

目前所报道过的阻变存储器,无论是单极性还是双极性,其电流电压(I - V)特性曲线在低阻态时基本对称。在图3(a)所示的交叉阵列中,以其中一个最简单的 2×2 的阵列为例,如果3个相邻的交叉节点处于低阻状态,那么不管第4个交叉节点的实际电阻处于高阻态还是低阻态,其读出的电阻都为低阻,这种现象被称为交叉阵列的串扰(crosstalk)现象^[11]。图3(b)中,坐标为(3,3)的存储器件处于高阻状态,其余3个相邻器件(3,2),(2,2)和(2,3)都处于低阻状态,这时在(3,3)器件的字线上加读电压,电流可以沿着低阻通道 $(2,3) \rightarrow (2,2) \rightarrow (3,2)$ (黑色箭头所示)进行传导,使得这时本处于高阻状态的(3,3)器件被误读成低阻状态。此时,串扰并不是只发生在与这3个低阻单元相邻的这个高阻单元上,3个低阻单元形成的这个电流通道对周围其他的高阻态也会有影响。如图3(c)所示,不仅处于高阻态的(3,3)器件的电阻值误读成低阻值,周围其它器件的读出阻值变化也很大,如(4,2)器件由 $55 \text{ M}\Omega$ 读取为 $7.1 \text{ M}\Omega$ ^[12]。当阵列 $m \times n$ ($m, n > 2$)很大或多层阵列堆叠时,所述漏电通道将增多,导致漏电流增大使得误读现象更加严重。

抑制无源交叉阵列中串扰现象的方法主要有两种:采用外围电路^[13]和采用基于整流特性的无源交

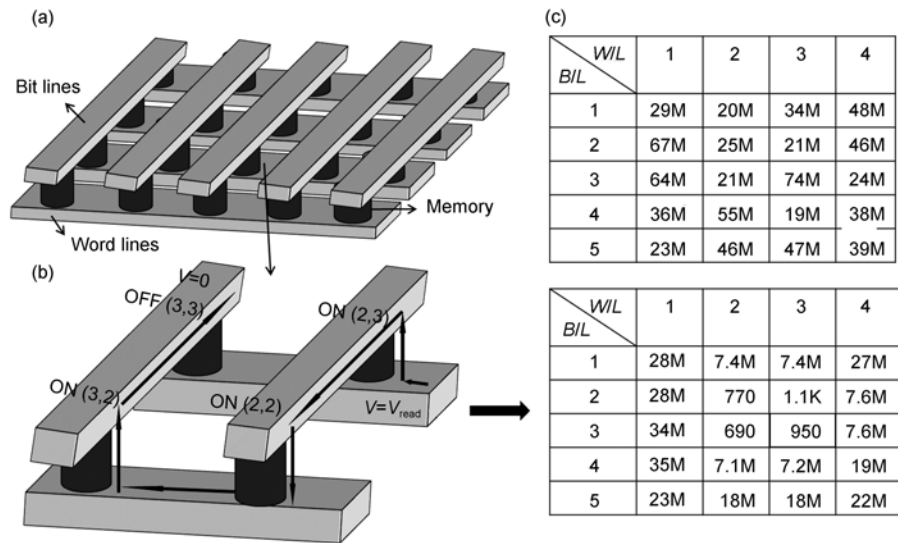
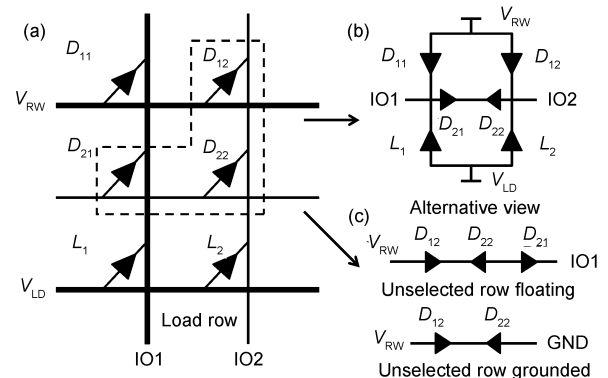


图3 无源交叉阵列及其串扰问题

(a) RRAM 无源交叉阵列; (b) 2×2 交叉阵列中的串扰现象; (c) (2, 3), (2, 2), (3, 2) 三个存储单元被编程到高阻态前后阵列中的各单元的电阻值; 其中(c)摘自参考文献[12]

叉阵列. 采用外围电路时, 需要在存储阵列上添加至少一行读取存储单元的负载器件(load device). 负载器件的一端连接到电源电压, 另一端和所读取的存储单元共享一列. 在这里所要读取的信号是由被选中的存储器件与负载行中的器件所构成的节点(例如 IO1 或 IO2)上的电压. 如图 4(a)所示, 在所读取的器件 D_{11} 上加一个高电压 V_{RW} , 节点 IO1 上读取的电压是 D_{11} 和 L_1 (读敏感电阻作负载器件)在电压 V_{RW} 和 V_{LD} (读取时接地)间的压降值. 这些器件上的电压与 CMOS 电路可识别的电压在同一量级上, 因此这种 CMOS 外围电路可以应用在纳米量级的存储阵列中. 如果电路中各种参数的变化可以忽略, 并且地址行上的所有器件均被编程到相同状态, 此时电路中没有串扰现象, 电路可等效为图 4(b). 事实上, 参数不变和器件编程到同一状态是很难实现的, 因此阵列中还是存在串扰现象. 为了解决阵列中的串扰问题, 如图 4(c)所示, 要将 D_{21} 和 D_{22} 所在的未被选中的行偏置到地(GND), 这样电流就不会从节点 IO2 流入节点 IO1. 这种方法能够准确读取 4×4 交叉阵列中每个单元的电阻值, 并常应用在 SRAM 的行译码器中^[13].

虽然采用外围电路的方法, 可以解决串扰问题并准确读取阵列中的存储单元, 但这也增加了存储芯片的制造成本和复杂度, 因此目前半导体行业更

图4 有负载电路的 2×2 无源交叉阵列

(a) 电路图; (b) 无串扰时的等效电路; (c) 串扰通路接地

多的是从器件的角度解决串扰问题, 发展出基于整流特性的无源交叉阵列. 在这种阵列中, 每个阻变存储器件上串连一个二极管, 使得每个存储单元都具有整流特性, 这不仅不影响阵列的存储密度, 还可以有效地避免阵列中的串扰现象. 如图 5 所示, 每个阻变存储器件都与二极管相连接, 即使(1, 1)器件处于高阻状态, 而其余 3 个相邻器件(1, 2), (2, 2)和(2, 1)都处于低阻状态, 这时由于二极管的整流作用, 在(1, 1)器件上加读电压时, 电流也主要通过(1, 1)器件来进行传导, 因此可以抑制“误读”现象.

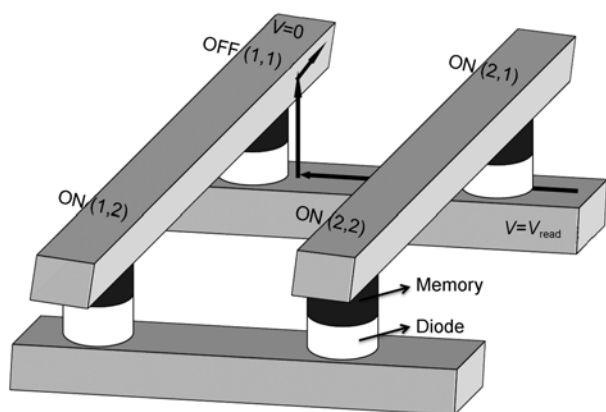


图5 读取高阻态器件的电流通路示意图

4 基于整流特性的无源交叉阵列

从器件的角度来说, 目前有2种方法可以抑制无源交叉阵列中的串扰现象, 一种是在每个阻变存储单元上串联一个具有整流特性的二极管, 构成 1D1R 结构; 另外一种则是寻找具有自整流效应的阻变存储器件, 即自整流的 1R 结构. 这2种结构的单元结构如图6所示.

4.1 基于整流二极管的1D1R结构的无源交叉阵列

为了能够应用在 3D 阻变存储交叉阵列结构中, 对串联二极管的性能有一定的要求, 比如正向电流大、整流比高、制备温度低、可 3D 集成、与 CMOS 技术兼容等特点^[14,15]. 其中, 二极管的正向电流密度 (forward current density) 大和整流比高 (F/R ratio) 是交叉阵列高信号读取余度 (signal sensing margin) 和高集成密度的关键因素^[15]. 二极管要有足够大的正向电流密度, 以满足给定单元大小的存储单元电阻值转变时所需的最大电流. 由于许多阻变材料的传导电流和交叉节点的截面面积有线性关系, 所以二极管的电流密度是影响器件尺寸缩小的重要因素. 例如, 如果电阻值转变所需的最大电流是 $10\ \mu\text{A}$, 二极管提供的最大电流密度是 $10^5\ \text{A}/\text{cm}^2$, 那么最小存储单元的大小是 $100\ \text{nm} \times 100\ \text{nm}$. 高整流比对存储单元的选择性很重要, 以保证电流应该流经那些被选择的单元, 而不流过那些未被选中的单元. 对于一个可集成的器件, 为了确保低的热预算, 要求二极管的制备温度低^[16]. 在 1D1R 的无源交叉阵列中, 为了能够使用同一极性的不同电压来实现存储单元的多次编程和

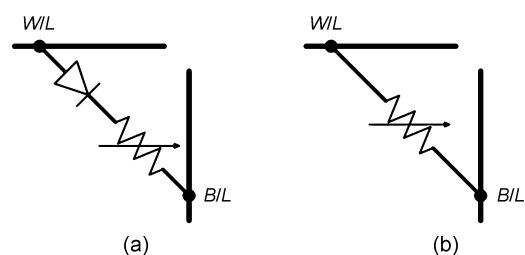
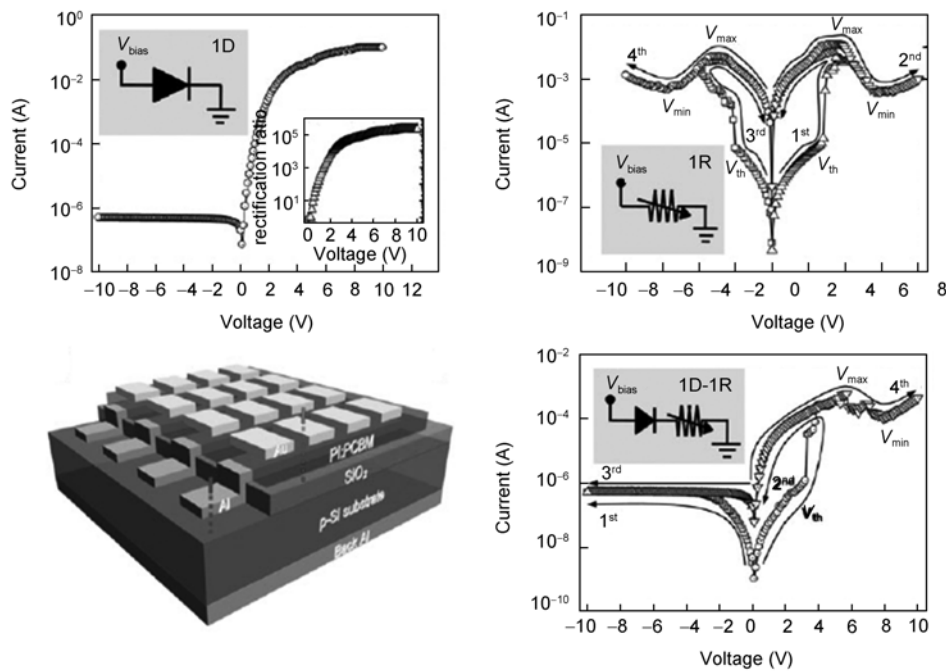


图6 (a)1D1R 结构和(b)1R 结构的基本单元结构示意图

擦除, 必须使用单极性或无极性的阻变存储器. 而对于阻变过程发生在不同电压极性下的双极性阻变存储器则需要串联一个更复杂的齐纳(Zener)二极管. 齐纳二极管的正向电流电压特性类似于普通的二极管, 而当负向电压达到击穿电压(齐纳电压)时齐纳二极管能够提供较大的反向电流. 作为串联在双极性阻变存储器上的齐纳二极管, 需要满足3个基本条件: 1)为了抑制交叉阵列的漏电通道, 齐纳二极管需要在读电压下具有高的正反向电流比; 2)为了获得合适的器件操作电压, 齐纳二极管的反向击穿电压要尽量的小; 3)为了保证电阻转变过程所需的操作电流, 需要齐纳二极管具有较大的正反向导通电流密度. 然而, 在同一齐纳二极管中很难同时满足以上3个条件, 从而在一定程度上制约了双极性 1D1R 结构的发展^[17].

根据制备二极管所用材料的不同, 目前应用到 1D1R 结构中的二极管的类型主要包括基于硅材料的二极管^[18,19]、基于氧化物的二极管^[16,20-22]和基于聚合物的二极管^[23,24]. Cho 等人^[19]制备的肖特基型 Al/p-Si 二极管, 在 $2.3\ \text{V}$ 的读取电压下整流比达到了 10^4 (图 7(a)), 将其与单极性的 Al/PI:PCBM/Au 有机存储器 (图 7(b)为其电阻转变特性) 串联组成交叉阵列 (图 7(c)) 后, 由于二极管的整流效应, 在正向偏压下, 有明显的电阻转变现象, 在负向偏压下则几乎没有转变现象, 很好地解决了串扰问题 (图 7(d)). 尽管目前半导体行业中经常使用外延硅制作平面型的 PN 结二极管, 但由于晶体硅集成温度很高, 并且很难在金属层上生长出高质量的外延硅, 因此基于外延硅的二极管很难应用到高密度的 3D 集成结构中^[14]. 对于非晶硅, 虽然集成温度很低, 但由于大的体电阻导致它的电流密度较小 ($<10^3\ \text{A}/\text{cm}^2$)^[16]. 为了实现掺杂杂质的电话化性质, 多晶硅集成时的热预算往往会超过后端制程的最大限制温度, 因此多晶硅很难集成

图 7 器件 I - V 特性曲线及其阵列结构示意图

(a) Al/p-Si 二极管的 I - V 特性曲线及其整流比随电压变化的曲线(右插图); (b) Al/PI:PCBM/Au 有机存储器的 I - V 特性曲线;
(c) Al/p-Si/Al/PI:PCBM/Au 的 1D1R 结构示意图; (d) Al/p-Si/Al/PI:PCBM/Au 整流二极管-存储器的 I - V 特性曲线; 摘自参考文献[19]

在 CMOS 工艺的后端制程中^[18]. 因此, 研究人员将研究重点转向了基于氧化物的二极管, 因为它们制备过程简单、可低温生长、可在任何衬底上制备, 与硅二极管相比, 在制备过程中具有更好的灵活性, 并且与 CMOS 兼容, 易于 3D 集成^[6,20].

氧化物二极管分为 PN 结型和肖特基型二极管. 基于氧化物的 PN 结二极管一般是 MIIM 结构(金属/P 型绝缘氧化物/N 型绝缘氧化物/金属), 它具有高的电流密度和大的整流比, 但开启电压和理想因子也比较大. 基于氧化物的肖特基二极管一般是 MIM 结构(金属/绝缘氧化物/金属), 因为其只使用一层氧化物半导体层, 并且导电率比 Si 小, 所以它的性能较好. 此外, 还可以通过控制界面间的肖特基势垒高度得到高的整流比^[25-27].

Lee 等人^[6]利用 p-CuO_x/n-InZnO_x 二极管和单极性的 NiO 阻变存储器, 制备了 2 层 8×8 存储阵列. 虽然由于二极管自身的电阻, 使每个存储单元的编程和擦除电压分别从 0.6 和 1.6 V 增加到 2 和 3 V, 但是氧化物二极管并未造成阵列其他特性的显著退化, 并且交叉阵列中没有串扰现象的出现, 层与层之间也没有明显的干扰. 他们还发现氧化物禁带宽度的

减小有助于二极管正向电流密度的增加, 这对提高 PN 结氧化物二极管的正向电流密度很有帮助. 这是因为 PN 结氧化物二极管中电流传导的主要机制是漂移-扩散过程, 而不是热电子发射过程, 因此可以用肖克莱方程表示出理想情况下的电流密度 J , 即:

$$J = J_p + J_n = J_0 \left[\exp\left(\frac{qV}{\eta kT}\right) - 1 \right], \quad \text{其中饱和电流密度}$$

$$J_0 = \frac{qD_p N_C N_V}{L_p N_D} \exp\left(-\frac{E_{gp}}{kT}\right) + \frac{qD_n N_C N_V}{L_n N_A} \exp\left(-\frac{E_{gn}}{kT}\right), \quad (J_p$$

和 J_n 分别是空穴电流密度和电子电流密度, D_p 和 D_n 分别是空穴和电子的扩散系数, L_p 和 L_n 分别是空穴和电子的扩散长度, E_{gp} 和 E_{gn} 分别是 P 型氧化物和 N 型氧化物的禁带宽度, N_C 和 N_V 分别是价带和导带的有效态密度, N_D 和 N_A 分别是电离施主和受主的浓度, q 是电子电量, V 是所加的偏压, η 是二极管的理想因子, k 是波尔兹曼常数, T 是温度).

Tallarida 等人^[22]在 100°C 的温度下用原子层沉积(ALD)方法制备的 Ag/ZnO/Ti/Au 肖特基二极管的整流比大于 10^7 , 将其与 Au/NiO/Au 单极存储器件集成在一起后成功地实现了 RRAM 器件高低电阻状态

的转变并且具有明显的整流特性. 他们通过电路模拟, 发现二极管高的开关比(ON/OFF ratio)可以确保交叉阵列在大规模集成中能够正常运行^[22], 这对大规模集成的稳定性有一定的指导意义.

基于聚合物的二极管, 要求具有半导体性质的聚合物层在正向偏压时, 允许有效电荷注入, 而反向偏压的时候则阻碍电子和空穴的注入, 从而得到高的整流比^[29]. 与无机二极管相比, 聚合物二极管具有制备成本低、热预算低、机械柔韧性好和制备过程简单等优点. 因此最近几年, 有机半导体越来越多地应用在电子学和光子学等领域^[30]. Teo 等人^[23]将整流比为 10^3 (± 1 V 的读取电压)的 Al/P3HT:PCBM/PEDOT/ITO 聚合物二极管与 ITO/PCz/Al 聚合物存储器串联形成一次编程(WORM)存储器, 编程之后器件有明显的整流现象, 这也为高密度的 3D 无源交叉聚合物存储器的应用提供了新方向.

表 1 给出了目前研究报道的可用于 1D1R 集成的整流二极管器件性能参数. 目前来说, 如何继续提高应用在无源交叉阵列中的二极管的整流比、电流密度和降低制备温度依然是研究的重点, 这样才能为 RRAM 器件的读写提供足够大的电流和有效地抑制器件之间的串扰.

4.2 基于自整流的 1R 结构的无源交叉阵列

基于 1D1R 结构的 RRAM 交叉阵列虽然可通过串联二极管抑制串扰现象, 但与 1R 结构相比, 不仅增加了工艺的复杂性, 而且由于整流二极管本身电

阻的分压作用, 与存储单元串联后, 不仅会导致操作电压的增加, 也会恶化存储器件的稳定性. 所以 1D1R 结构中急需解决的一个问题是找到合适的与电阻串联的整流二极管. 此外, 目前应用在 1D1R 结构中的二极管的性能还不够高, 比如氧化物二极管的整流比不够大, 不能够满足大交叉阵列要求; 其电流密度不够高, 使得单元操作电压提高很多甚至是不能实现电阻转变. 因此研究人员一直致力于寻找本身具有整流性质的阻变存储器.

具有自整流特性的阻变存储器件在低阻态时, 有明显的整流特性, 因此不用外接一个二极管就可以避免串扰问题. 目前被报道具有这种自整流特性的器件有 TiW/Ge₂Sb₂Te₅/W^[7], Au/ZrO₂:Au-nanocrystal/ n^+ -Si^[17], Ag/RbAg₄I₅/ n -Si^[31], Si/a-Si core/Ag nanowires^[32], Ag/a-Si/p-Si^[33], Pt/ZrO₂/ n^+ -Si^[34]和 Ag nanowires/a-Si/poly-Si^[35]等. Zuo 等人^[34]利用具有自整流特性的 Pt/ZrO₂/ n^+ -Si 存储器制备了一次编程存储器, 这种新型器件可以作为反熔丝被编程到低阻态, 并永远保持在低阻态, 此时它的整流比大于 10^4 , 这种存储器件的开关比大约为 10^6 , 并且在编程前后电阻分布集中, 室温下的数据保持特性高达 10^5 s(图 8 所示). Jo 等人^[36]制备了基于 α -Si 忆阻器的 1 Kb 的高密度(2 Gb/cm²)交叉阵列(如图 9), 显示了高的器件产率(~98%)、高的开关比(ON/OFF ratio $>10^3$)和好的均匀性(80%单元的低阻态值在 50~150 k Ω 的范围内). 此外, Ag/ α -Si/p-Si 结构本身的自整流特性很好地解决了双极性阻变存储器阵列中的串扰问题.

表 1 部分报道的可用于 1D1R 集成的整流二极管

Diode type	Diode structure	Current density	I / R ratio	Fabrication temperature
Si-based diodes	p-Si/ n -Si ^[18]	$> 10^5$ A/cm ²	$>10^5$ @1 V	$>1000^\circ\text{C}$
	Al/p-Si ^[19]	—	10^4 @2.3 V	—
Oxide-based diodes (p-n junction type)	p-NiO _x / n -TiO _x ^[14]	5×10^3 A/cm ² @3 V	10^5 @ ± 3 V	$<300^\circ\text{C}$
	p-CuO _x / n -InZnO _x ^[16]	3.5×10^4 A/cm ² @2.45 V	10^6 @ ± 2.45 V	Room temperature
	p-NiO _x / n -ITO _x ^[28]	$> 10^4$ A/cm ² @1.5 V	$<10^3$	Ambient temperature
Oxide-based diodes (schottky type)	(In,Sn) ₂ O ₃ /TiO ₂ /Pt ^[15]	400 A/cm ² @1 V	1.6×10^4 @ ± 1 V	250 $^\circ\text{C}$
	Pt/TiO _x /Pt ^[21]	50 A/cm ² @-1 V	10^3 @ ± 1 V	200 $^\circ\text{C}$
	Ag/ZnO/Ti/Au ^[22]	10^4 A/cm ²	$>10^7$	100 $^\circ\text{C}$
	Ti/TiO ₂ /Pt ^[25]	2×10^3 A/cm ² @3 V	10^5 @ ± 3 V	Room temperature
Polymer-based diodes	Pt/TiO ₂ /Ti ^[27]	3×10^5 A/cm ² @1 V	10^9 @1 V	100 $^\circ\text{C}$
	Al/P3HT:PCBM/PEDOT/ITO ^[23]	—	10^3 @ ± 1 V	—
	P3HT/ n -ZnO ^[24]	10^4 A/cm ² @4 V	10^5 @ ± 4 V	—
	Au/P3HT/PVP/Al ^[30]	—	1×10^2 - 2×10^3	60 $^\circ\text{C}$
	Au/OPV5/Ti ^[30]	0.3–0.8 A/cm ²	10^2 @4V	40 $^\circ\text{C}$

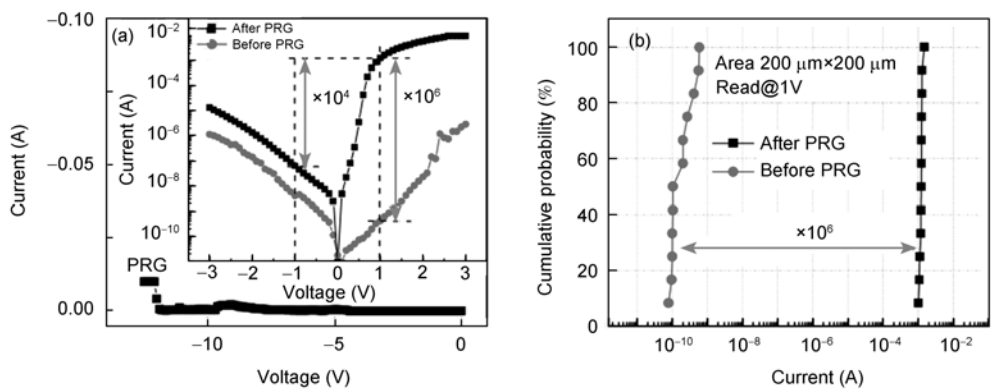


图 8 (a)WORM 器件的编程过程(PRG)及其电流-电压曲线(插图)和(b)该器件编程前后正向电流均匀性统计分布图, 摘自参考文献[34]

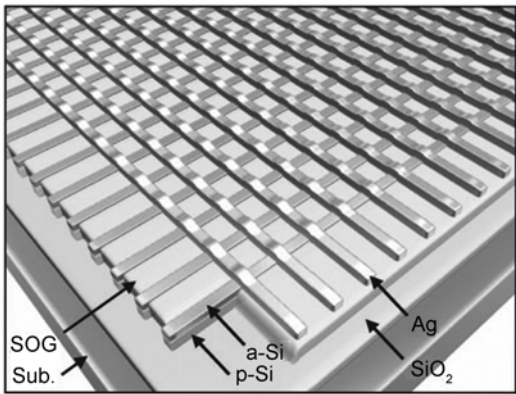


图 9 Ag/a-Si/p-Si 交叉阵列示意图, 摘自参考文献[36]

表 2 给出了目前研究报道的有自整流特性的 RRAM 器件的性能参数. 具有自整流特性的阻变存储器件与 CMOS 技术完全兼容, 结构也比 1D1R 结构简单, 稳定性好, 并且克服了来自二极管的限制, 没有串联二极管引入的干扰, 如操作电压增大、重复性变差等. 这些优势使得自整流阻变存储器件在高密度的无源交叉阵列结构的应用中具有较强竞争力.

5 无源交叉阵列的测试方法

在无源交叉阵列中, 只有每条位线(B/L)和字线(W/L)上需要串联一个选择晶体管, 而存储单元并不串联选通晶体管, 因为存储器件本身既有存储的作用又有选通的功能, 并且每个单元的面积 $4F^2$. 为了提高阵列中存储器件的读取余度, 要在每条字线和位线加上偏压. 无源交叉阵列的偏压(forward bias)配置方式有两种, 分别为 1/2 V 法和 1/3 V 法. 在 1/2 V 法中, 对于选中单元的字线, 要加上大小为 V 的电压, 其位线上的电压是 0, 其他字线和位线上的电压均为 1/2 V , 这样选中的存储单元上的电压是 V , 选中单元所在的字线和位线上的其他单元的电压是 1/2 V , 其他未选中字线和位线上的存储单元的电压是 0. 在 1/3 V 法中, 对于选中单元的字线电压为 V , 其位线电压是 0, 其他字线和位线上的电压分别为 1/3 V 和 2/3 V , 这样选中的存储单元上的电压是 V , 选中单元所在的字线和位线上的其他单元的电压则是 1/3 V , 其他未选中的字线和位线上存储单元的电压是 -1/3 V [7,37]. 对于一个 $m \times n$ 的交叉阵列(m 条字线, n 条位线), 采用

表 2 部分报道的具有自整流效应的 RRAM

Structure	R_{HRS} / R_{LRS}	F / R ratio	Endurance	Retention
TiW/Ge ₂ Sb ₂ Te ₃ /W ^[7]	—	—	>10 ³	5000 s
Au/ZrO ₂ : Au-nanocrystal/n ⁺ -Si ^[17]	—	700@±0.5 V	100	—
Ag/RbAg ₄ I ₃ /n-Si ^[31]	10 ³ @0.2 V	—	10 ³	—
Si/a-Si core/Ag nanowires ^[32]	10 ⁴	10 ⁶ @1 V	10 ⁴	>2 weeks
Ag/a-Si/p-Si(crystalline) ^[33]	10 ³	—	10 ⁶	>3 months
Pt/ZrO ₂ /n ⁺ -Si ^[34]	10 ⁶ @1 V	>10 ⁴	—	10 ⁵ s
Ag nanowires/a-Si/poly-Si ^[35]	>10 ⁶ @0.5 V	>10 ⁶ @±0.5 V	>10 ⁸	> 4 years

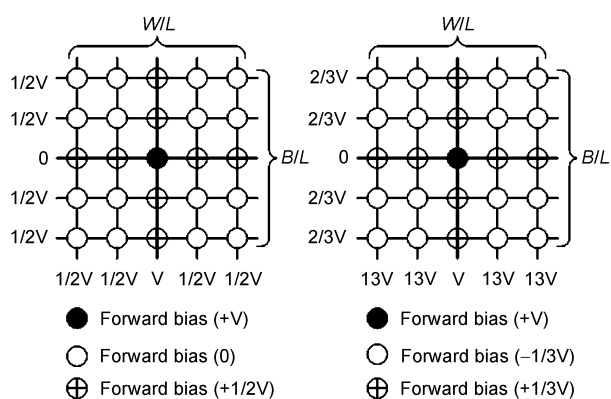


图 10 采用(a) 1/2 V 和(b)1/3 V 测试法时, RRAM 交叉阵列的偏压配置方式

1/2 V 法和 1/3 V 法测试时, 两种方法的总电流的理论值分别为 $I(V) + (m+n-2)I(V/2)$ 和 $I(V) + (m-1)(n-1)I(V/3)$, 其中 $I(V)$, $I(V/2)$, $I(V/3)$ 分别为在偏压 V , $V/2$, $V/3$ 下每个单元的电流值。比较这 2 种方法, 1/3 V 法的操作电流比较小, 读取余量相对较大。而由于 1/2 V 法的漏电通路比较少, 所以它的读取电流相对较低。总体而言, 由于 1/3 V 法的操作电流小, 读取余量大, 因此 1/3 V 法要好于 1/2 V 法。但是对于特定的低读取电流

应用的情况, 一般要选择 1/2 V 法。例如 Chen 等人^[7]用硫族化合物 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 作电阻, 采用 0.18 μm CMOS 工艺制作出具有自整流特性的 4 Kb 的 RRAM 交叉阵列。对于这个阵列, 1/2 V 法中总的编程电流 129 mA, 而 1/3 V 法中总的编程电流只有 16 mA。

6 RRAM 无源交叉阵列的应用前景

相比有源交叉阵列, 无论从存储密度还是工艺角度考虑, 无源交叉阵列都是 RRAM 存储器一种非常实用的阵列结构, 在高密度大容量可移动信息存储以及未来的可重构、通用处理等领域都具有很好的应用前景。高密度是目前存储器行业追求的一个重要性能, 基于整流特性的 RRAM 无源交叉阵列由于其结构简单、密度高、易 3D 集成而得到广泛的关注, 是 RRAM 实现高密度的一种极具应用前景的方法。在追求 1D1R 结构中的整流二极管的高电流密度和大整流比性能的同时, 如何实现并提高 RRAM 器件本身的自整流性能从而采用结构和工艺更加简单的 1R 结构也是 3D-RRAM 无源交叉阵列一个重要的研究方向。

参考文献

- 1 Tehrani S. Status and outlook of MRAM memory technology (Invited). IEDM Tech Dig, San Francisco, USA, 2006
- 2 Koh G H, Hwang Y N, Lee S H, et al. PRAM process technology. Int Conf Integrated Circuit Design Technol, Austin, Texax, 2004
- 3 Hsu S T, Li T K, Awaya N. Resistance random access memory switching mechanism. J Appl Phys, 2007, 101: 024517
- 4 Zhuang W W, Pan W, Ulrich B D, et al. Novel colossal magnetoresistive thin film nonvolatile resistance random access memory (RRAM). IEDM Tech Dig, San Francisco, USA, 2002
- 5 Scott J C. Is there an immortal memory? Science, 2004, 304: 62-63
- 6 Lee M J, Park Y, Kang B S, et al. 2-stack 1D-1R cross-point structure with oxide diodes as switch elements for high density resistance RAM applications. IEDM Tech Dig, Washington D C, USA, 2007
- 7 Chen Y C, Chen C F, Chen C T, et al. An access-transistor-free (0T/1R) non-volatile resistance random access memory (RRAM) using a novel threshold switching, self-rectifying chalcogenide device. IEDM Tech Dig, Washington D C, USA, 2003
- 8 Chen A, Haddad S, Wu Y C, et al. Non-volatile resistive switching for advanced memory applications. IEDM Tech Dig, Washington D C, USA, 2005
- 9 Wang C H, Tsai Y H, Lin K C, et al. 3-Dimensional 4F^2 ReRAM cell with CMOS compatible logic process. IEDM Tech Dig, San Francisco, USA, 2010
- 10 Servalli G. A 45 nm generation phase change memory technology. IEDM Tech Dig, 2009, 113-116
- 11 Lee M J, Park Y, Suh D S, et al. Two series oxide resistors applicable to high speed and high density nonvolatile memory. Adv Mater, 2007, 19: 3919-3923
- 12 Baek I G, Kim D C, Lee M J, et al. Multi-layer cross-point binary oxide resistive memory (OxRRAM) for post-NAND storage application. IEDM Tech Dig, Washington D C, USA, 2005
- 13 Rose G S, Yao Y X, Tour J M, et al. Designing CMOS/molecular memories while considering device parameter variations. ACM J Emerging Technol Comput Syst, 2007, 3: 1-24

- 14 Lee M J, Seo S, Kim D C, et al. A low-temperature-grown oxide diode as a new switch element for high-density, nonvolatile memories. *Adv Mater*, 2007, 19: 73–76
- 15 Shin Y C, Song J, Kim K M, et al. (In,Sn)₂O₃/TiO₂/Pt schottky-type diode switch for the TiO₂ resistive switching memory array. *Appl Phys Lett*, 2008, 92: 162904
- 16 Kang B S, Ahn S E, Lee M J, et al. High-current-density CuO_x/InZnO_x thin-film diodes for cross-point memory applications. *Adv Mater*, 2008, 20: 3066–3069
- 17 Zuo Q Y, Long S B, Liu Q, et al. Self-rectifying effect in gold nanocrystal-embedded zirconium oxide resistive memory. *J Appl Phys*, 2009, 106: 073724
- 18 Golubović D S, Miranda A H, Akil N, et al. Vertical poly-Si select pn-diodes for emerging resistive non-volatile memories. *Microel Eng*, 2007, 84: 2921–2926
- 19 Cho B, Kim T W, Song S, et al. Rewritable switching of one diode- one resistor nonvolatile organic memory devices. *Adv Mater*, 2009, 21: 1228–1232
- 20 Ahn S E, Kang B S, Kim K H, et al. Stackable all-oxide-based nonvolatile memory with Al₂O₃ antifuse and p-CuO_x/n-InZnO_x diode. *IEEE Electron Device Lett*, 2009, 30: 550–552
- 21 Shima H, Takano F, Muramatsu H, et al. Control of resistance switching voltages in rectifying Pt/TiO₂/Pt trilayer. *Appl Phys Lett*, 2008, 92: 043510
- 22 Tallarida G, Huby N, Kutrzeba-Kotowska B, et al. Low temperature rectifying junctions for crossbar non-volatile memory devices. *IEEE IMW Tech Dig*, Costa, Mesa, 2009
- 23 Teo E Y H, Zhang C, Lim S L, et al. An organic-based diode- memory device with rectifying property for crossbar memory array applications. *IEEE Electron Device Lett*, 2009, 30: 487–489
- 24 Katsia E, Huby N, Tallarida G, et al. Poly (3-hexylthiophene)/ZnO hybrid pn junctions for microelectronics applications . *Appl Phys Lett*, 2009, 4: 143501
- 25 Huang J J, Kuo C W, Chang W C, et al. Transition of stable rectification to resistive-switching in Ti/TiO₂/Pt oxide diode. *Appl Phys Lett*, 2010, 96: 262901
- 26 陈海波, 周继承, 李幼真. 纳米 Ta 基阻挡层薄膜及其扩散体系电阻特性研究. *中国科学 E 辑: 技术科学*, 2008, 38: 421–427
- 27 Park W Y, Kim G H, Seok J Y, et al. A Pt/TiO₂/Ti schottky-type selection diode for alleviating the sneak current in resistance switching memory arrays. *Nanotechnol*, 2010, 21: 195201
- 28 Lee W Y, Mauri D, Hwang C. High-current-density ITOx/NiOx thin- film diodes. *Appl Phys Lett*, 1998, 72: 1584–1586
- 29 Roman L S, Berggren M, Inganäs O. Polymer diodes with high rectification. *Appl Phys Lett*, 1999, 75: 3557–3559
- 30 Katsia E, Tallarida G, Kutrzeba-Kotowska B, et al. Integration of organic based schottky junctions into crossbar arrays by standard UV lithography. *Org Electron*, 2008, 9: 1044–1050
- 31 Liang X F, Chen Y, Yang B, et al. A nanoscale nonvolatile memory device made from RbAg₄I₅ solid electrolyte grown on a Si substrate. *Microel Eng*, 2008, 85: 1736–1738
- 32 Dong Y J, Yu G H, Michael C, et al. Si/a-Si core/shell nanowires as nonvolatile crossbar switches. *Nano Lett*, 2008, 8: 386–391
- 33 Jo S H, Lu W. CMOS compatible nanoscale nonvolatile resistance switching memory. *Nano Lett*, 2008, 8: 392–397
- 34 Zuo Q Y, Long S B, Yang S Q, et al. ZrO₂-based memory cell with a self-rectifying effect for crossbar WORM memory application. *IEEE Electron Device Lett*, 2010, 31: 344–346
- 35 Kim K H, Jo S H, Gaba S, et al. Nanoscale resistive memory with intrinsic diode characteristics and long endurance. *Appl Phys Lett*, 2010, 96: 053106
- 36 Jo S H, Kim K H, Lu W. High-density crossbar arrays based on a Si memristive system. *Nano Lett*, 2009, 9: 870–874
- 37 左青云, 刘明, 龙世兵, 等. 存储器及其集成技术研究进展. *微电子学*, 2009, 39: 546–551