

# 数字电路的开关级设计理论\*

吴训威

(杭州大学电子工程系, 杭州 310028)

F. Prosser

(美国 Indiana 大学计算机科学系)

**摘要** 在分析数字电路传统设计理论中存在问题的基础上, 提出了应用开关变量与信号变量两者来分别描写数字电路中内部元件的开关状态及电路信号, 并由此出发建立了开关-信号理论. 根据 CMOS 电路的工作原理, 发展了与之相关的开关级设计技术. 设计实例表明, 由于在设计中以晶体管为构造单元, 因此开关级设计的电路要较传统的门级设计具有较简单的结构.

**关键词** 数字电路 开关理论 开关级设计 CMOS 电路

## 1 数字电路的传统设计理论及其疑点

数字电路传统设计的基本要点如下<sup>[1]</sup>:

(1) Boole 变量用于表示电路中的信号. 变量的 2 个取值 1 与 0, 在物理上代表信号电平的 2 种取值, 如 5 V 与 0 V.

(2) 在 Boole 代数中变量之间的基本运算为非、与、或. 它们的 2 种复合运算与非及或非出常被引用. 这些运算均是由相应的基本电路单元来实现的, 并称之为门电路. 例如, 图 1 具体给出了 CMOS 非门(反相器)及与非门等 2 个门电路.

(3) 非、与、或等 3 种基本运算组成完备集, 即可用它们来表示任意一个函数. 此外, 与非运算(或者或非运算)可单独组成完备集. 于是, 只要得到具体的函数表示形式, 便能用门来实现相应的电路结构.

### 例 1.1 模 2 加法器

在 Boole 代数中我们可以把  $x$  与  $y$  的模 2 加表示为

$$x \oplus y = (x \cap \bar{y}) \cup (\bar{x} \cap y) = \overline{x \cap y} \cap \overline{\bar{x} \cap \bar{y}}.$$

由上式即可得到在图 2(a) 中的电路.

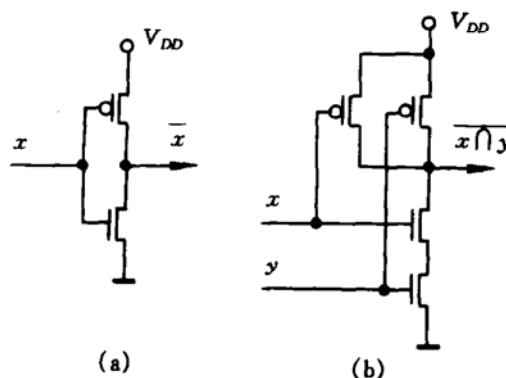


图 1 CMOS 门电路

(a) 非门, (b) 与非门

1995-05-28 收稿, 1996-01-31 收修改稿

\* 国家自然科学基金资助项目

### 例 1.2 D 型锁存器

D 型锁存器的功能可表示为

$$Q' = (D \cap CP) \cup (Q \cap \overline{CP}) = \overline{\overline{D \cap CP} \cap \overline{Q \cap \overline{CP}}}$$

式中  $CP$  为控制信号。由图 2(b) 给出了相应于上式的电路。

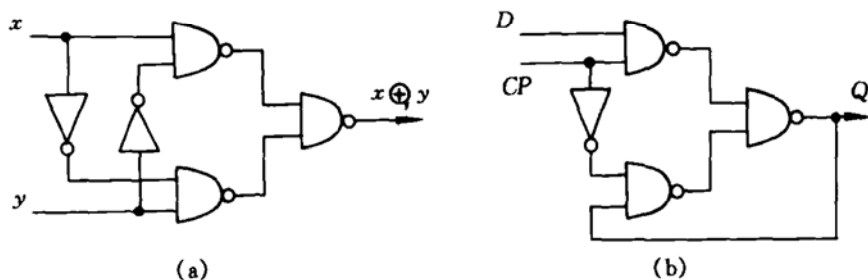


图 2 门级的电路设计  
(a) 模 2 加法器, (b) D 型锁存器

根据如上用门构成电路的设计程序,我们将称之为门级设计。然而,在这一基于 Boole 代数的门级设计中却可发现存在如下疑点:

(1) Boole 代数中的变量习惯上常称为开关变量,但并未用它们来表示被设计电路中的开关状态。

(2) Boole 代数中的非、与、或运算组成完备集,但它们却不能用来表示一个 CMOS 传输门中输出对输入的函数关系,这是因为高阻状态在 Boole 代数中无法表示。

(3) 习惯上常用开关的串联与并联去解释与、或两种运算,然而我们在前述的设计中并没有用开关去实现相应的电路。

上面的第 3 点是非常重要的,并且我们相信,如果用开关晶体管而不是用门作为构造单元,则这种开关级设计将可导致较简单的电路结构。可是,尽管人们已认识到开关级技术是有益的,但对于这种可把电路中晶体管的使用数减到最少的有效设计方法迄今仍是了解甚少<sup>[2,3]</sup>。

尽管缺乏一个系统性的理论,但以往的设计人员已经设法使用开关来构成电路。Sutton<sup>[4]</sup>已提出了一种实用的方法来获得实现函数  $f$  的 CMOS 电路。在该一方法中首先用  $\bar{f}$  的与-或逻辑表示式来指导电路中控制逻辑 0 输出的 nMOS 部分的设计。在此设计中分别用 nMOS 管的串联、并联来实现与、或运算。然后,进一步由对偶的  $f$  表示式来确定电路中控制逻辑 1 输出的 pMOS 部分的设计。显然,按此方法设计的电路将会比由门组合而实现的电路要简单得多。

### 例 1.3 模 2 加法器

对于  $x, y$  的模 2 加有

$$\bar{f} = (\bar{x} \cap \bar{y}) \cup (x \cap y) \text{ 及 } f = (x \cup y) \cap (\bar{x} \cup \bar{y}).$$

按 Sutton 的方法,由上式便可得到相应的电路设计,如图 3(a) 所示。

另一方面,人们已发现应用由一对互补开关所组成的 CMOS 传输门可以得到结构非常简单的二选一数据选择器,并且还可以由此来获得一些较简单的有关电路设计。

### 例 1.4 D 型锁存器

D 型锁存器的功能可以表示成如下二选一数据选择的形式:

$$Q' = \begin{cases} D, & \text{如 } CP=1, \\ Q, & \text{如 } CP=0. \end{cases}$$

利用互补开关我们便可得到如图 3(b) 所示的 D 型锁存器.

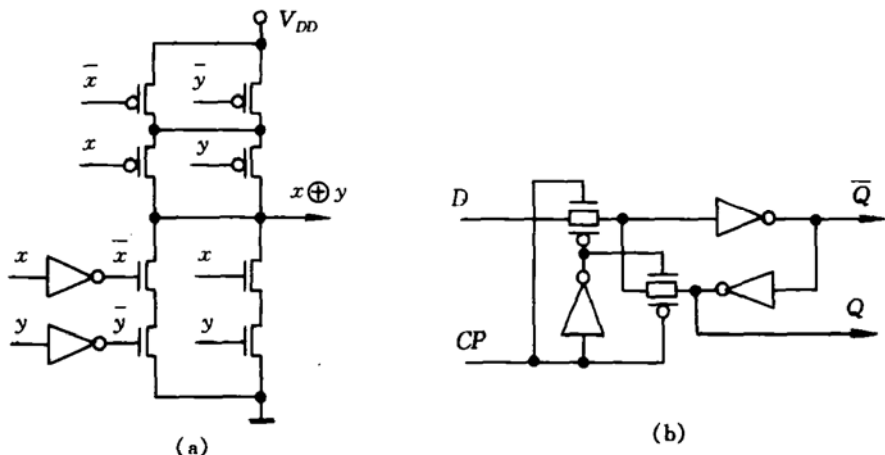


图 3 具有开关结构的电路设计

(a) 模 2 加法器, (b) D 型锁存器

应该指出,在以上的两个设计中仍然缺乏一个系统的、统一的设计理论,并且它们均不能用 Boole 代数来解释,这是因为传统的 Boole 代数限于描写信号间的关系而不能反映开关的功能. 本文将讨论如何使用信号及开关状态两者来描写电路的工作情况,并在此基础上进一步研究数字电路的开关级设计技术.

## 2 开关 - 信号理论

为了研究开关级设计,首先要增加引入另一类变量来描写电路中的开关,并且应该把它与原先用于描写信号的变量予以明确区分.

(1) 设  $\alpha, \beta \cdots$  为开关变量,它们的两个取值  $T$  与  $F$  用于表示一个 MOS 管的开与关两种相反的状态. 与开关变量有关的基本运算为非、与、或. 它们的定义如下:

非运算

$$\bar{\alpha} \triangleq \begin{cases} T, & \text{如 } \alpha = F, \\ F, & \text{如 } \alpha = T; \end{cases} \quad (1)$$

与运算

$$\alpha \cdot \beta \triangleq \begin{cases} T, & \text{如 } \alpha = \beta = T, \\ F, & \text{否则}; \end{cases} \quad (2)$$

或运算

$$\alpha + \beta \triangleq \begin{cases} F, & \text{如 } \alpha = \beta = F, \\ T, & \text{否则}. \end{cases} \quad (3)$$

以上述基本运算为基础可建立起开关代数.

(2) 设  $x, y, \dots$  为二值信号变量, 它们的两个取值 1 与 0 用于表示电路中的 2 个信号电平高电平与低电平. 它们具有明确的数值意义, 并且可以根据它们与阈值 (记为 0.5) 的比较来检测. 与二值信号变量有关的基本运算为补、取小、取大. 它们的定义如下:

补运算

$$\bar{x} \triangleq \begin{cases} 1, & \text{如 } x=0, \\ 0, & \text{如 } x=1; \end{cases} \quad (4)$$

取小运算

$$x \cap y \triangleq \begin{cases} 1, & \text{如 } x=y=1, \\ 0, & \text{否则;} \end{cases} \quad (5)$$

取大运算

$$x \cup y \triangleq \begin{cases} 0, & \text{如 } x=y=0, \\ 1, & \text{否则.} \end{cases} \quad (6)$$

以上述基本运算为基础可建立起二值信号代数. 于是, 同时具有 2 种代数系统, 并可看出两者是相互同构的. 然而, 在传统的讨论中它们两者却被混淆在一起而从未考虑它们在物理内容上的本质差异及两者的相互关系.

以图 1(a) 中的反相器为例, 可用  $x, \bar{x}, \alpha_p$  及  $\alpha_n$  来分别表示输入信号、输出信号及 pMOS 管与 nMOS 管的开关状态. 它们之间的关系如表 1 所列.

表 1 CMOS 反相器中信号与开关状态间的关系

| $x$    | $\alpha_p$ | $\alpha_n$ | $\bar{x}$ |
|--------|------------|------------|-----------|
| 0(低电平) | T(通)       | F(断)       | 1(高电平)    |
| 1(高电平) | F(断)       | T(通)       | 0(低电平)    |

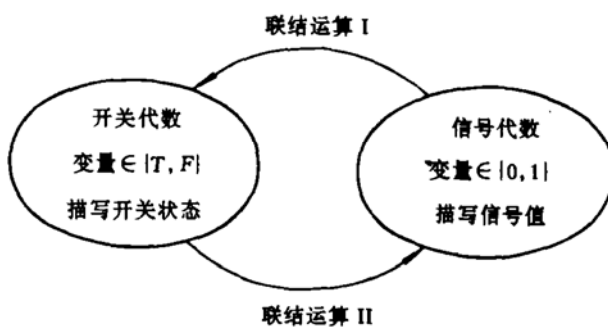


图 4 开关代数与二值信号代数之间的区分及联结

在两类变量之间可以引入如下两个联结运算来描写开关元件的开关状态与信号电平之间的相互作用. 它们是

联结运算 I: 描写二值信号如何控制元件的开 - 关状态的物理过程;

联结运算 II: 描写元件的开关状态如何控制二值信号传输的物理过程.

图 4 给出了开关代数与二值信号代数之间的关系, 并由之出发可建立一种开关 - 信号理论.

在 CMOS 电路中, MOS 管的开 - 关状态决定于其栅极信号及其阈值的比较, 因此可引入第一类联结运算:

高阈比较运算

$$\alpha_5 x \triangleq \begin{cases} T, & \text{如 } x > 0.5, \\ F, & \text{如 } x < 0.5; \end{cases} \quad (7)$$

## 低阈比较运算

$$x^{0.5} \triangleq \begin{cases} T, & \text{如 } x < 0.5, \\ F, & \text{如 } x > 0.5. \end{cases} \quad (8)$$

在(4), (5)式中 0.5 表示检测阈值位于两个逻辑级 1 与 0 之间. 这两个方程可分别表示 pMOS 管的低作用特性与 nMOS 管的高作用特性.

由上面的定义可以容易证明以下有关性质:

$$^{0.5}x = (\overline{x})^{0.5} = \widetilde{x^{0.5}}, \quad (9)$$

$$x^{0.5} = ^{0.5}(\overline{x}) = \widetilde{^{0.5}x}. \quad (10)$$

以上 2 式表示了 2 个阈比较运算可以通过变量之补来实现互相转换.

$$^{0.5}(x \cap y) = ^{0.5}x \cdot ^{0.5}y, \quad (11)$$

$$^{0.5}(x \cup y) = ^{0.5}x + ^{0.5}y, \quad (12)$$

(10) ~ (12) 式表示了在二值信号代数中的补、取小、取大运算和开关代数中的非、与、或运算之间可以通过高阈比较运算来建立相应的联系. 下式表示了高阈比较运算可对二值信号代数中的函数  $f(\cap, \cup, -, x, y, \dots)$  具有透入能力:

$$^{0.5}f(\cap, \cup, -, x, y, \dots) = f(\cdot, +, \sim; ^{0.5}x, ^{0.5}y, \dots). \quad (13)$$

另一方面, 由于 MOS 管的开关状态决定其源极信号是否能传输到其漏极, 因此可以引入如下第 2 类联结运算:

## 传输运算

$$c * \alpha \triangleq \begin{cases} c, & \text{如 } \alpha = T, \\ \Phi, & \text{如 } \alpha = F, \end{cases} \quad (14)$$

式中二值信号  $c$  被称为待传输的源极信号, 而  $\alpha$  表示某一传输开关网络的开关状态. 如有  $\alpha = T$ , 则信号  $c$  被传输至输出; 而如果  $\alpha = F$ , 则开关网络断路且输出端呈现为记作中的高阻态. 上式中如  $c = 0$ , 则开关网络应由 nMOS 管组成; 而如  $c = 1$ , 则应由 pMOS 管所组成.

为了表示两个或更多个传输分支在输出端的合并, 可进一步定义如下运算:

## 并运算

$$c_1 * \alpha_1 \# c_2 * \alpha_2 \triangleq \begin{cases} c_1 * \alpha_1, & \text{如 } c_2 * \alpha_2 = \Phi, \\ c_2 * \alpha_2, & \text{如 } c_1 * \alpha_1 = \Phi, \end{cases} \quad (15)$$

式中规定传输运算  $*$  优先于并运算  $\#$ . 此外, 如果  $c_1 \neq c_2$ , 且  $\alpha_1 = \alpha_2 = T$ , 则电压源  $c_1$  与  $c_2$  之间会出现冲突, 因此这一情况是不允许的. 作为例子, 现可把(4)式中的  $\overline{x}$  在开关级予以重写:

$$\overline{x} = 1 * x^{0.5} \# 0 * ^{0.5}x. \quad (16)$$

上式准确地描述了图 1(a) 中的电路结构.

可以证明对传输运算及并运算存在如下定律:

## 串行传输律

$$(c * \alpha_1) * \alpha_2 = c * (\alpha_1 \cdot \alpha_2), \quad (17)$$

并行传输律

$$c * \alpha_1 \# c * \alpha_2 = c * (\alpha_1 + \alpha_2), \quad (18)$$

交换律

$$c_1 * \alpha_1 \# c_2 * \alpha_2 = c_2 * \alpha_2 \# c_1 * \alpha_1, \quad (19)$$

结合律

$$(c_1 * \alpha_1 \# c_2 * \alpha_2) \# c_3 * \alpha_3 = c_1 * \alpha_1 \# (c_2 * \alpha_2 \# c_3 * \alpha_3) = c_1 * \alpha_1 \# c_2 * \alpha_2 \# c_3 * \alpha_3, \quad (20)$$

分配律

$$(c_1 * \alpha_1 \# c_2 * \alpha_2) * \alpha_3 = c_1 * (\alpha_1 \cdot \alpha_3) \# c_2 * (\alpha_2 \cdot \alpha_3). \quad (21)$$

### 3 数字电路的开关级设计

可以用上节提出的联结运算来导出一种新的规范函数形式. 例如, 一个二变量函数  $f(x, y)$  可有如下开关级的规范展开形式:

$$f(x, y) = f(0, 0) * (x^{0.5} \cdot y^{0.5}) \# f(0, 1) * (x^{0.5} \cdot y^{0.5}) \# f(1, 0) * (x^{0.5} \cdot y^{0.5}) \# f(1, 1) * (x^{0.5} \cdot y^{0.5}). \quad (22)$$

作为比较, 二变量函数在门级具有如下传统的最小项展开形式:

$$f(x, y) = [f(0, 0) \cap (\bar{x} \cap \bar{y})] \cup [f(0, 1) \cap (\bar{x} \cap y)] \cup [f(1, 0) \cap (x \cap \bar{y})] \cup [f(1, 1) \cap (x \cap y)]. \quad (23)$$

(23) 式表示了如何使用门电路来实现电路. 这些门电路现可重新命名为补门(反相器)、取小门(与门)及取大门(或门). 然而, (22) 式却表示了 4 个信号  $f(i, j)$  如何通过串接的 2 个开关传输到输出端. 这 2 个方程解释了开关级与门级在基本原理上的差异.

由于 (22) 式中的展开系数  $f(i, j) \in \{0, 1\}$ , 可分别对系数 1, 0 抽取因子而获得如下形式:

$$f = 1 *^{0.5} f \# 0 *^{0.5} f, \quad (24)$$

式中  $^{0.5}f$  与  $f^{0.5}$  分别为对源 1 与源 0 的开关函数. 利用 (10) 式上一方程可重写为

$$f = 1 *^{0.5} f \# 0 *^{0.5} \bar{f}. \quad (25)$$

如果在传统的二值信号代数中已获得函数的简化形式  $\bar{f}(\cap, \cup, -, x, y, \dots)$ , 则便可利用 (13) 式获得相应的开关级表示  $^{0.5}\bar{f}(\cap, \cup, -, x, y, \dots)$ . 后者已表示出如何通过串联与并联的 nMOS 开关连接来控制源 0 的传输. 根据 (25) 式中的  $^{0.5}(\bar{f}) = ^{0.5}\bar{f}$  及 De Morgan 定律, 两个开关级表示  $^{0.5}f$  与  $^{0.5}\bar{f}$  为对偶的, 这就是 Sutton 设计方法的原理. 如取  $f_1 = \bar{x} \cap \bar{y}$  及  $f_2 = x \oplus y$  作为例子, 则可有  $\bar{f}_1 = x \cap y$  及  $\bar{f}_2 = (\bar{x} \cap \bar{y}) \cup (x \cap y)$ . 此后便可获得如下开关级表示形式:

$$\begin{aligned} ^{0.5}\bar{f}_1 &= ^{0.5}x \cdot ^{0.5}y, \\ ^{0.5}\bar{f}_2 &= (^{0.5}\bar{x} \cdot ^{0.5}\bar{y}) + (^{0.5}x \cdot ^{0.5}y). \end{aligned}$$

上两式即可用于设计图 1(b) 及图 3(a) 中的 nMOS 部分.

根据 MOS 管的工作原理, 与 1, 0 对应的信号电平是分别由 pMOS 管与 nMOS 管传输的. 但是, 如果传输的信号可能为 1 与 0, 则就需要一个互补的结构来传输这一信号. 用于实现  $c * x^{0.5}$  与  $c * ^{0.5}x$  的电路如图 5 所示, 它们即为通常的 CMOS 传输门, 其中  $c$  为被传输信号,  $x$  为控制信号. 在传统理论中图 5 所示两个电路的输出将分别被记为  $(\bar{x} \cap c) \cup (x \cap \bar{c})$  及  $(x \cap c) \cup (\bar{x} \cap \bar{c})$ . 然而, Boole 代数中从未定义过一个变量与高阻  $Z$  之间的运算.

可变信号源而非恒定信号源(1,0)的使用经常会导致较简单的开关级电路设计.

### 例 3.1 模 2 加法器

对  $x, y$  之间的模 2 加, 可由图 6(a) 所示的 K 图获得如下的开关级表示:

$$x \oplus y = y * x^{0.5} \# x * y^{0.5} \# \bar{x} * ^{0.5}y. \quad (26)$$

然而, 图中用虚线圈住的部分已由  $y * x^{0.5}$  实现, 因此与源  $x$  有关的分支(式中  $x * y^{0.5}$  项)只需传输 1 而不必传输 0, 并且与源  $\bar{x}$  有关的分支(式中  $\bar{x} * ^{0.5}y$  项)只需传输 0 而不需传输 1. 因此这些传输分支上只要求一个 MOS 管即可, 如图 6(b) 所示. 然而, 对  $y * x^{0.5}$  项的传输则要求互补 MOS 晶体管对来予以实现, 这是因为 0 与 1 均需被传输. 上式可重写为

$$x \oplus y = y * x^{0.5} \# x(1) * y^{0.5} \# \bar{x}(0) * ^{0.5}y. \quad (27)$$

这是一种非常简单的电路实现, 在以前, 这一电路设计曾被认为是“不能用任何系统的设计方法得到”<sup>[9]</sup>.

### 例 3.2 D 型锁存器

把图 6(b) 中的设计思想推广后可获得 D 型锁存器的开关级设计, 如图 6(c) 所示. 注意到该电路中存在一个反馈回路.

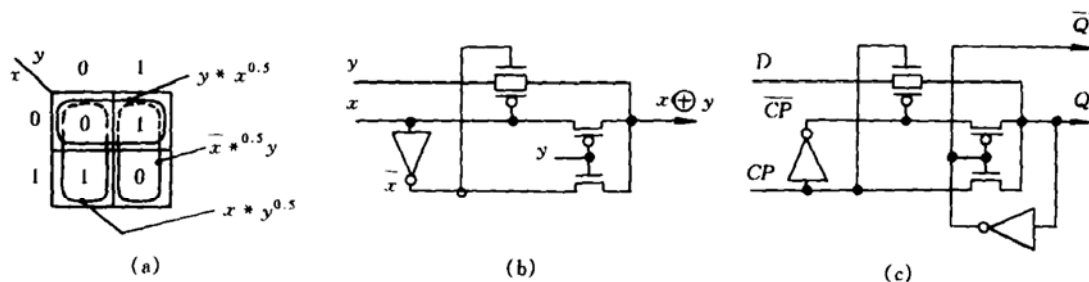


图 6 开关级的电路设计

(a) 模 2 加的 K 图, (b) 模 2 加法器, (c) D 型锁存器

为了证明电路开关级的设计效果, 以下将以两种实用 CMOS 集成电路产品, 全加器与移位寄存器单元为例来进行讨论.

### 例 3.3 全加器

全加器的产品具有如图 7(a) 所示的电路. 该电路需要 28 个 MOS 管. 在另一方面, 图 7(b) 则给出了全加器的开关级设计. 它只需要 20 个 MOS 管, 这是迄今为止所提出的最简单的具有驱动输出的 CMOS 全加器设计. 应用 pspice4.20 的计算机模拟已经表明, 在相同的模拟条件下两个电路在瞬态分析中具有相类似的特性.

### 例 3.4 移位寄存器单元

应用图 2(b) 中的 D 型锁存器可设计出如图 8(a) 所示的 CMOS 移位寄存器单元. 在该电路中若不计时钟反相器, 则需 16 个 MOS 晶体管. 然而, 如果采用图 6(c) 所示的移位寄存器单元, 则可获得只需 12 个 MOS 管的电路设计, 如图 8(b) 所示. 在相同条件下的计算机模

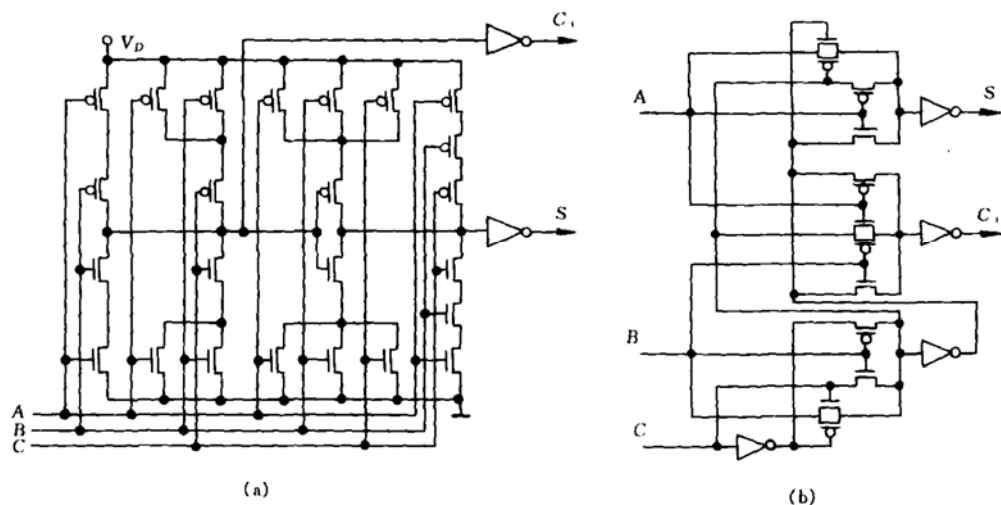
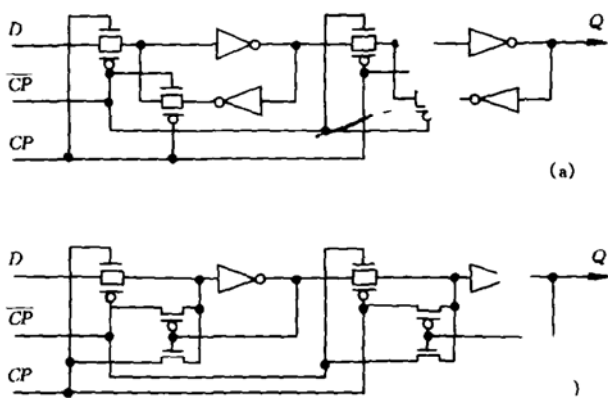


图 7 全加器传统产品设计(a)和开关级设计(b)

图 8 移位寄存器单元  
(a)传统的产品设计, (b)开关级设计

拟表明开关级设计电路的传输延迟减少至一半, 因此该一开关级设计的新的电路单元将能支持较快的电路操作。

#### 4 结论

在本文中引入另一类变量来描写电路元件的开关状态, 并区分了开关代数与二值信号代数等两类代数系统。它们之间能用阈比较运算、传输运算及并运算相互联结。由于这些新运算准确地描写了两类 MOS 开关管的作用, 由此导出的表示式将可用于指导 CMOS 电路的

开关级设计。实例表明, 开关级设计的电路要比按传统设计方法设计的电路为简单。

区分开关状态与信号值后带来的优点可以推广至其它集成电路族的设计, 如 nMOS<sup>[8]</sup> 与 ECL<sup>[9]</sup>, 此时, 开关级设计将再次获得较传统设计为简单的电路。

最后, 二值 CMOS 电路的开关级设计可以容易地推广至多值 CMOS 电路, 此时的信号将取多值, 而对应的多值信号代数即为 Post 代数<sup>[10]</sup>。研究表明, 应用开关级设计可以获得有效的多值 CMOS 电路<sup>[11,12]</sup> 及其它集成电路族的电路设计<sup>[13~15]</sup>。

#### 参 考 文 献

- 1 Prosser F, Winkel D. The Art of Digital Design: An Introduction Top-Down Design, Englewood Cliffs, NJ: Prentice-Hall, 1987
- 2 Shen J P, Hirschhorn S. Switch-level techniques. IEEE Design & Test of Computers, 1987, 4(4): 15~16
- 3 Hayes J P. An introduction to switch-level modeling. IEEE Design & Test of Computers, 1987, 4(4): 18~25



- 4 Sutton J A. Private Communication. Melbourne: Harris Corp, 1985
- 5 Wu X (吴训威). Theory of transmission switches and its application to design of CMOS digital circuits. *Int J of Circuit Theory and Applications*, 1992, 20: 891~905
- 6 Mukherjee A. Introduction to nMOS and CMOS VLSI System Design, Englewood Cliffs. NJ: Prentice-Hall, 1986
- 7 Zhuang N (庄南), Wu H (吴浩敏). A new design of CMOS full adder. *IEEE J Solid-State Circuits*, 1992, SC-27: 840~844
- 8 吴训威. 指导 nMOS 电路元件级设计的开关信号理论. *电子学报*, 1993, 21(11): 83~86
- 9 Wu X (吴训威), Chen X (陈偕雄). Algebra system for ECL logic circuits. *IEE Proc*, 1991, G-138: 21~27
- 10 Post E L. Introduction to a general theory of elementary propositions. *Amer J Math*, 1921, 43: 161~185
- 11 Wu X (吴训威), Prosser F. Design of ternary CMOS circuits based on transmission function theory. *Int J of Electronics*, 1988, 65: 891~905
- 12 Prosser F, WU X (吴训威), Chen X (陈偕雄). CMOS ternary flip-flops and their applications. *IEE Proc*, 1988, E-135: 266~272
- 13 Wu X (吴训威), Zhang Z (章专). Theory of differential current switches and design of ternary ECL circuits at switch level. *Int J of Electronics*, 1991, 71: 1 023~1 035
- 14 Wu X (吴训威), Zhao X (赵小杰). Design of ternary CMOS circuits based on theory of clipping voltage switches. *Int J of Electronics*, 1993, 75: 91~102
- 15 Wu X (吴训威), Deng X (邓小卫). Theory of grounded current switches and quaternary  $I^2L$  circuits. In: *IEEE Proc ISMVL Victoria*, 1991. 210~215