

阻变存储器无源高密度交叉阵列研究进展

李晓燕^{1,2}, 李颖弢^{2*}, 高晓平¹, 陈传兵², 韩根亮^{1*}

1. 甘肃省传感器与传感技术重点实验室, 兰州 730000;

2. 兰州大学物理科学与技术学院, 兰州 730000

* 联系人, E-mail: li_yt06@lzu.edu.cn; genlianghan@163.com

2018-03-09 收稿, 2018-04-22 修回, 2018-04-23 接受, 2018-09-27 网络版发表

国家自然科学基金(61774079, 61664001)、甘肃省科技重点研发计划(18YF1GA088)和甘肃省自然科学基金(17JR5RA180)资助

摘要 阻变存储器(resistive random access memory, RRAM)以其结构简单、操作速度快、可缩小性好、易三维(3D)集成、与互补金属氧化物半导体(complementary metal oxide semiconductor, CMOS)工艺兼容等优势成为下一代非挥发性存储器的有力竞争者之一, 但基于阻变存储器无源交叉阵列中的交叉串扰问题影响了其实现高密度存储的应用和发展. 本文简单介绍了阻变存储器交叉阵列中的串扰现象, 详细综述了避免无源交叉阵列串扰的1D1R(one diode one resistor)结构、1S1R(one selector one resistor)结构、背靠背(back to back)结构及具有自整流效应的1R(one resistor)结构. 同时, 对基于阻变存储器无源交叉阵列实现高密度存储的研究发展趋势以及面临的挑战进行了展望.

关键词 阻变存储器, 高密度, 无源交叉阵列, 交叉串扰

微电子技术是当代高科技和信息产业的核心技术, 在国民经济、国防建设以及信息化社会中有着极其重要的战略意义, 集成电路从20世纪60年代的“小规模集成”发展到现在的“超大规模集成”. 而作为微电子技术的重要组成部分, 半导体存储器技术也迅速朝着“更高密度、更快速度、更低功耗”的方向发展. 特别是近年来, 随着移动智能终端、云计算、物联网、大数据等新信息技术的快速发展与普及, 消费市场对于非挥发性存储器的需求越来越大. 基于电荷存储机制的非挥发性浮栅存储器(flash), 作为目前非挥发性半导体存储器市场中的主流产品和代表性技术, 由于其编程电压较高、读写速度较慢、功耗较大及隧穿氧化层厚度减小会引起漏电流增加等问题, 随着半导体技术工艺节点不断提升, Flash存储器在可缩小性、功耗、可靠性等方面遇到的技术瓶颈更加严峻^[1,2]. 近年来半导体业界、科研界和学术界, 采用基于电阻值变化作为信息存储方式, 实现了以磁存储

器(magnetic random access memory, MRAM)、相变存储器(phase-change random access memory, PRAM)和阻变存储器(resistive random access memory, RRAM)等为代表的新型非挥发性存储器^[3-5]. 其中, 阻变存储器具有可缩小性好、功耗低、操作速度快、非破坏性读取以及与CMOS工艺兼容等优点, 因此备受半导体产业界的关注^[6,7].

阻变存储作为一种新兴存储技术, 能否实现高密度存储是其立足的根本. 因此, 高密度集成成为近年来RRAM研究的重点. RRAM器件因为能够将单元面积做到 $4F^2$ (F 为每个工艺技术代的特征线宽), 这是理想的最小存储单元面积. 因此, 基于RRAM器件的交叉阵列被认为是实现高密度存储最简单、最有效的方法. 基于RRAM的交叉阵列集成一般分为有源阵列(active)和无源阵列(passive)两种, 有源阵列的基本单元是一个晶体管作为选择管串联一个阻变单元构成的1T1R(one transistor one resistor)结构, 无源阵列

引用格式: 李晓燕, 李颖弢, 高晓平, 等. 阻变存储器无源高密度交叉阵列研究进展. 科学通报, 2018, 63: 2954–2966

Li X Y, Li Y T, Gao X P, et al. An overview of resistive random access memory based high-density crossbar array (in Chinese). Chin Sci Bull, 2018, 63: 2954–2966, doi: 10.1360/N972018-00164

基本单元主要包括1D1R结构、1S1R结构和1R结构。有源阵列中每个存储单元的最小面积由晶体管的大小决定,最小单元面积为 $6F^2$,这就丧失了RRAM可缩小性的优势。再者,1T1R结构中T的制备是在前段工艺完成,需要高温制备过程,不能够实现三维(3D)集成,因此在高密度集成上存在劣势。而无源交叉阵列结构则工艺制备简单,同时可以采用三维的多层集成,实现高密度存储,被认为是目前存储器件最经济的集成方式^[8]。

本文首先介绍了基于有源阵列的1T1R结构以及无源交叉阵列中的串扰现象。其次,对解决无源交叉阵列串扰问题的1D1R结构、1S1R结构、背靠背结构,以及具有自整流效应的1R结构进行了总结。最后对RRAM无源交叉阵列的高密度集成目前存在的主要问题以及研究的重点作了简单评述。

1 阻变存储器的集成

阻变存储器的集成通常分为有源阵列和无源阵列,有源阵列一般是由场效应晶体管(MOSFET)和阻变存储单元串联构成1T1R结构,其中晶体管起到选通和隔离的作用,即当对阻变存储单元进行操作时,选择的晶体管导通,选择所需的操作单元,而其他阻变存储单元的晶体管则关闭,这样能避免对周围单元产生串扰和误操作,从而起到隔离的作用,并在集成阵列中利用字线和位线来达到选通存储单元的目的^[9-12]。有源阵列的制作,晶体管通常在前端工艺完成,阻变存储器则在后端工艺完成,所以工艺集成必须考虑热预算,且制备过程中的温度不能过高。阵列中晶体管的大小决定了每个存储单元的面积,假定在特定的技术节点下最小选择晶体管能提供足够大的驱动电流使阻变存储单元发生电阻转变,每个存储单元的面积则为 $6F^2$ ^[10]。

对于无源阵列,每个存储单元是由相互交叉的字线(word line, WL)和位线(bit line, BL)构成的上下电极所确定,平面结构能够实现最小的存储单元面积—— $4F^2$ 。无源交叉阵列的制备工艺相对简单,通常是将CMOS电路在前端工艺完成,RRAM则在后端工艺中完成,由于无源阵列不依赖CMOS工艺的前端制程,因此能够进行多层堆叠,实现三维存储结构,所以每个存储单元最小面积为 $4F^2/N$ (N 为堆叠的层数),存储密度可以成倍提高^[13],相比无源阵列,有源阵列由于单元面积大,需占用衬底硅的面积,故而

不利于三维集成。因此,综合考虑存储阵列集成密度和工艺这两方面的因素,无源交叉阵列才是RRAM集成的首选方式,这也被认为是目前存储器件最经济的集成方式^[8]。

但是由于构成无源阵列结构RRAM的低阻态通常表现为欧姆特性,在读取相邻交叉节点的阻值时易产生串扰(cross-talk)现象,这样就会导致误读,随着存储阵列堆叠层数越多,误读现象会变得更加严重,因此在采用无源交叉阵列时,要使每个交叉点具有整流特性,以此来避免交叉串扰引起的误读现象。

2 无源交叉阵列中的串扰现象

如图1所示的交叉阵列,以一个最简单 2×2 的阵列结构为例,如果有一个RRAM器件单元A处于高阻态而其他3个RRAM器件单元B, C, D处于低阻态,在读取单元A的状态时电流将沿着3个处于低阻态的器件单元形成一条漏电通道,如图1中的虚线所示。形成的漏电通道不光增加不必要的功耗,而且使得读出来的电阻值不是器件单元A的真实电阻值,这就是交叉阵列的串扰问题,即所谓的误读现象^[14-17]。当阵列变大或者多层阵列堆叠时,所述漏电通道将随之增多,增大的漏电流使得误读现象更为严重。为解决RRAM交叉阵列中的交叉串扰问题,需要存储单元具有整流特性,通常在每个阻变存储单元处串联一个具有整流特性的选择单元来构成新的器件结构。目前解决RRAM无源交叉阵列中串扰问题的主要器件结构包括:1D1R结构、1S1R结构、back to back结构,以及具有自整流效应的1R结构。

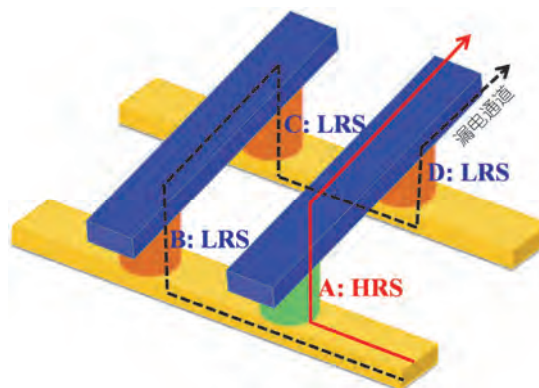


图1 (网络版彩色)无源交叉阵列的串扰示意图

Figure 1 (Color online) Crosstalk schematic diagram of passive cross array

3 1D1R结构

基于1D1R结构的无源交叉阵列,是在每个阻变存储单元上串联一个二极管,使每个存储单元都有整流特性,这不仅不会影响到阵列的存储密度,而且能够有效避免交叉阵列中的交叉串扰现象.由于每个阻变存储单元都与二极管相连,即使需要读取的器件处于高阻状态,而其余3个相邻器件皆处于低阻状态,由于二极管具有整流作用,在需要读取的器件上加读电压时,电流也主要通过该器件本身来进行传导,因而能够抑制“误读”现象.

根据二极管制备材料的不同,目前应用于1D1R结构中的二极管的类型主要分为基于硅材料的二极管^[18]、基于氧化物材料的二极管^[19,20]、以及基于聚合物材料的二极管^[21,22]. Lu等人^[23]制备的肖特基型Ti/n-Si(001)二极管,将其与双极性Pt/HfO₂/Ti结构的RRAM存储器件单元串联组成交叉阵列后,器件具有电阻转变特性,并且由于二极管的整流效应,存储单元在低阻态时具有明显的整流特性,在±2 V的读取电压下整流比可以达到10³,很好地解决了串扰问题.虽然基于Si材料的二极管的电流密度和整流比相对较高,但是Si不容易在金属材料上外延得到质量好的单晶Si或多晶Si,制备需要的热处理高温会预先破坏淀积层且会在金属层上产生额外的硅化物,所以不宜用于RRAM在后端制程中的集成^[19].而基

于氧化物材料的二极管可以在低温甚至在室温下制备,并且能够与CMOS工艺兼容,因此学术界和工业界更多地致力于研究具有低制备温度、与CMOS工艺兼容性良好的金属氧化物二极管.表1给出了部分目前研究报道的可用作RRAM无源交叉阵列选通管的氧化物二极管器件性能参数.

Lee等人^[26]在低温下制备了p-NiO_x/n-TiO_x二极管,其整流比在±2 V读取电压下可达到10⁵,且电流密度为5×10³ A/cm².将此二极管与双极性阻变存储单元Pt/NiO/Pt串联构成1D1R结构(Pt/NiO/Pt/p-NiO_x/n-TiO_x/Pt).如图2所示,由于串联了二极管,使得阻变存储单元在低阻态时具有明显的整流特性,从而能够有效抑制串扰现象. Huang等人^[30]在室温下用电子束蒸发、等离子增强化学气相淀积等技术制备了金属-介质层-金属(MIM)结构的肖特基型Ti/TiO₂/Pt二极管,其整流比在±3 V读取电压下可达到10⁵,正向电流密度为2×10³ A/cm²,整流特性在125℃、±3 V扫描模式下能够稳定循环10³个周期.研究表明通过控制电压开启过程和界面势垒,可以有效改善整流二极管的特性参数,减小界面势垒以及减小氧化物半导体的禁带宽度有助于增加电流密度,这对提高氧化物整流二极管的电流密度具有一定的指导意义. Teo等人^[21]将制备出的聚合物二极管ITO/PEDOT/P₃HT:PCBM/Al与非整流的阻变存储器件ITO/PCz/Al串联构

表1 部分报道的可用于1D1R集成的整流二极管

Table 1 Comparison of rectifying diodes for 1D1R integration

二极管类型	器件结构	电流密度	整流比	温度
硅二极管	p-Si/n-Si ^[18]	>10 ³ A/cm ²	>10 ³ @1 V	>1000℃
	Ti/n-Si(001) ^[23]	—	10 ³ @±2 V	—
	Al/p-Si ^[24]	—	10 ⁴ @2.3 V	—
氧化物二极管 (PN结型)	Pt/TiO _x /Pt ^[20]	50 A/cm ² @-1 V	10 ³ @±1 V	200℃
	(In,Sn) ₂ O ₃ /TiO ₂ /Pt ^[25]	400 A/cm ² @1 V	1.6×10 ⁴ @±1 V	250℃
	p-NiO _x /n-TiO _x ^[26]	5×10 ³ A/cm ² @3 V	10 ⁵ @±3 V	<300℃
	p-NiO _x /n-ITO _x ^[27]	>10 ⁴ A/cm ² @1.5 V	—	室温
	p-CuO/n-InZnO _x ^[28]	3.5×10 ⁴ A/cm ² @2.45 V	10 ⁶ @±2.45 V	室温
氧化物二极管 (肖特基结型)	Ag/ZnO/Ti/Au ^[29]	10 ⁴ A/cm ²	>10 ⁷	100℃
	Ti/TiO ₂ /Pt ^[30]	2×10 ³ A/cm ² @3 V	10 ⁵ @±3 V	室温
	Pt/TiO ₂ /Ti ^[31]	3×10 ⁵ A/cm ² @1 V	10 ⁹ @±1 V	100℃
有机二极管	Al/P3HT:PCBM/PEDOT/ITO ^[21]	—	10 ³ @±1 V	—
	P3HT/n-ZnO ^[22]	10 ⁴ A/cm ² @4 V	10 ⁵ @±4 V	—
	Au/P3HT/PVP/Al ^[32]	—	1×10 ² -2×10 ³	60℃
	Au/OPV5/Ti ^[32]	0.3~0.8 A/cm ²	10 ² @4 V	40℃

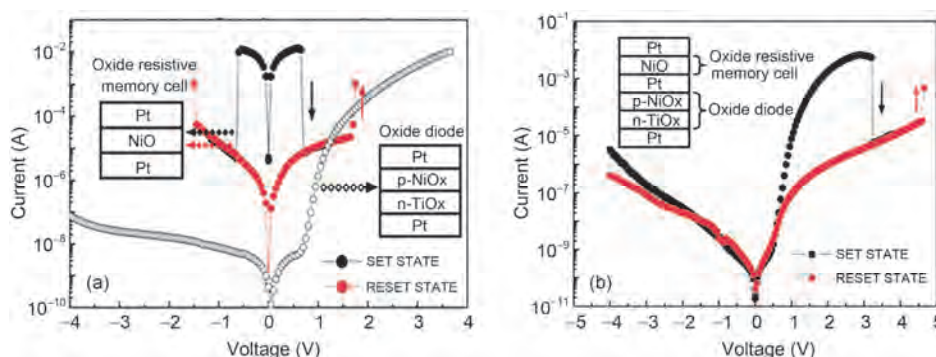


图2 (网络版彩色)Pt/NiO/Pt/p-NiO_x/n-NiO_x/Pt 1D1R结构的电流电压特性。(a) 阻变存储单元Pt/NiO/Pt, 二极管Pt/p-NiO_x/n-NiO_x/Pt的结构示意图及I-V特性;(b) Pt/NiO/Pt/p-NiO_x/n-NiO_x/Pt 1D1R结构的I-V特性曲线^[26]

Figure 2 (Color online) *I-V* characteristics of Pt/NiO/Pt/p-NiO_x/n-NiO_x/Pt 1D1R structure. (a) *I-V* characteristic of a Pt/NiO/Pt device structure, and the rectifying characteristic of a Pt/p-NiO_x/n-NiO_x/Pt diode structure. The insets show schematic diagrams of Pt/NiO/Pt and Pt/p-NiO_x/n-NiO_x/Pt structures; (b) *I-V* characteristics of a combined Pt/NiO/Pt/p-NiO_x/n-NiO_x/Pt 1D1R structure, the schematic diagram is shown in the inset^[26]

成一次编程(write once read many times, WORM)存储器, 其整流比达到 10^3 (± 1 V的读取电压), 具有明显的整流特性, 有效抑制了交叉串扰, 在很大程度上消除了误读现象. 这种具有整流特性的一次编程存储器的实现为打开聚合物交叉阵列三维大规模集成之路提供了很大可能性^[21].

由于二极管的单向导通性, 传统的1D1R结构只适用于单极性阻变存储器. 然而, 从大量的研究报道中可以发现双极性阻变存储器的性能要明显优于单极性阻变存储器; 另外, 与晶体管不同, 二极管正向导通后不存在饱和电流, 因此1D1R结构没有限流功能, 这两方面的因素严重影响了其在高密度集成中的应用. 鉴于此, Li等人^[33]提出了自限流的双极性1D1R结构. 与传统的单极性1D1R相比, 双极性1D1R采用肖特基二极管的反向电流作为钳制电流, 采用肖特基二极管的正向电流完成擦除过程, 该结构的提出为克服1D1R结构固有的缺陷(无限流功能以及不适用于双极性RRAM)提供了新思路. 图3(a)为制备的Ti/TiO_x/Ti以及Ni/TiO_x/Ti器件的I-V特性曲线. 从图中可以发现, Ti/TiO_x/Ti器件在正负电压范围内具有对称的I-V特性, 并且漏电流大, 意味着金属Ti与具有n型半导体特性的TiO_x界面形成了欧姆接触. 当采用高功函数的金属Ni作为上电极构成Ni/TiO_x/Ti器件, 其表现出明显的整流特性. 从图3(a)中可以发现Ni/TiO_x/Ti器件的反向电流随着电压的增大逐渐增大, 当反向电压达到-1 V时, 反向电流能够达到100 μ A, 如此大的电流可以与双极性的RRAM器件集成构成1D1R结构. 图3(b)所示为制备的Pt/HfO₂/Cu

RRAM存储单元的I-V特性曲线. 从图中可以看出, Pt/HfO₂/Cu结构RRAM存储单元表现出明显的双极性电阻转变特性. 当反向电压达到一定值时, 器件由高阻态转变为低阻态, 器件处于低阻态时, 施加正向电压, 当电压达到一定值时, 器件又由低阻态转变回高阻态. 图3(c)所示为Pt/HfO₂/Cu/Ti/Ni/TiO_x/Ti结构1D1R存储器件的I-V特性曲线. 从图中看出, 该1D1R结构展现出明显的双极性电阻转变特性. 当0 V $\rightarrow$ -2.5 V的电压施加在Pt电极上, 1D1R存储器件的电流在-0.5 V时快速增加, 意味着器件实现了由高阻态向低阻态的转变. 当采用0 V $\rightarrow$ 2.5 V的电压, 在电压值达到0.8 V时, 器件的电阻突然增大, 说明器件又转变回了高阻态. 图3(d)所示为Pt/HfO₂/Cu/Ti/Ni/TiO_x/Ti结构1D1R存储器的可重复性特性. 从图3(d)可以发现, 该双极性的1D1R存储器件具有稳定的可重复性, 在100次连续的直流扫描周期下, 器件依然具有稳定的电阻转变特性. 此外, 这种双极性的1D1R存储器件在由高阻态向低阻态转变(SET)过程中能够实现自整流的特性, 意味着该器件结构在实现SET的过程中不需要施加额外的限制电流, 大大降低了RRAM器件外围电路设计的难度.

基于以上研究结果, 1D1R结构是采用二极管来选择所需操作的存储单元并抑制串扰现象, 选择二极管是否具有较大的正向电流密度(forward current density)、较高的整流比(F/R ratio)、能否与阻变单元实现三维集成是基于1D1R结构交叉阵列实现高密度的关键因素^[25]. 因为Si二极管在制备过程中需要高的制备温度, 这不利于后端工艺的集成, 而基于

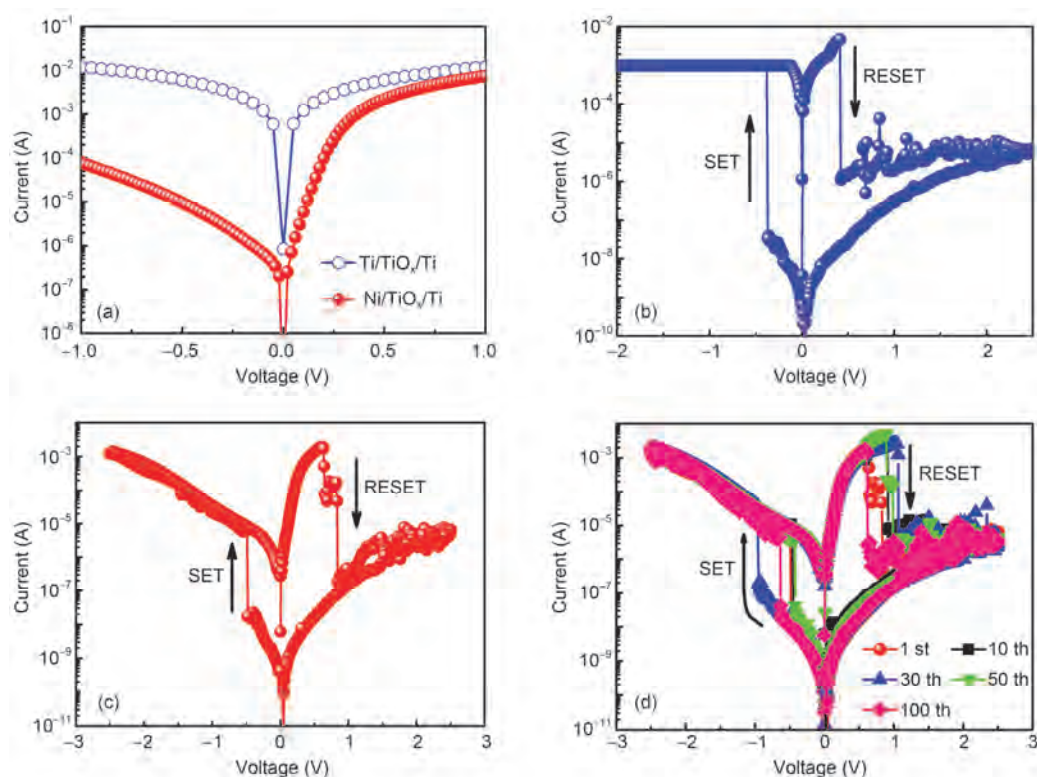


图3 (网络版彩色)自限流双极性 1D1R结构的电流电压特性. (a) Ti/TiO_x/Ti和Ni/TiO_x/Ti器件的*I*-*V*特性; (b) Pt/HfO₂/Cu RRAM存储单元的双极性电阻转变特性; (c) Pt/HfO₂/Cu/Ti/Ni/TiO_x/Ti 1D1R存储器件的*I*-*V*特性; (d) Pt/HfO₂/Cu/Ti/Ni/TiO_x/Ti 1D1R存储器件的可重复特性^[33]

Figure 3 (Color online) *I*-*V* characteristics of self-compliance bipolar 1D1R structure. (a) Typical *I*-*V* curves of Ti/TiO_x/Ti and Ni/TiO_x/Ti devices; (b) bipolar resistive switching characteristics of Pt/HfO₂/Cu RRAM cell; (c) *I*-*V* curve of Pt/HfO₂/Cu/Ti/Ni/TiO_x/Ti 1D1R memory device; (d) reproducibility of the bipolar switching characteristics of Pt/HfO₂/Cu/Ti/Ni/TiO_x/Ti 1D1R structure^[33]

金属氧化物材料的二极管具有制备温度低、与CMOS工艺兼容性良好的特点,因此备受关注.然而,目前基于金属氧化物材料的二极管的电流密度还不是很,当RRAM存储单元的器件面积持续缩小时,二极管提供的电流不足以使阻变存储器发生电阻转变,为了能够提供足够大的驱动电流,通常则需将二极管单元的尺寸做的比RRAM单元的尺寸大,导致存储单元的面积大于4F².因此,基于1D1R结构的集成方案在很大程度上依赖于整流二极管的性能,二极管的性能指标成为研究过程中最棘手的问题,能否研究出正向电流密度大、整流比高、制备温度低、易于三维集成的二极管是1D1R集成实现高密度的关键.

4 1S1R结构

1S1R结构是由一个电学特性对称的非线性电阻与阻变存储器件串联构成的,其中阻变存储单元具有稳定的双极性电阻转变特性. Huang等人^[34]将一个电学特性对称的非线性电阻Ni/TiO₂/Ni作为选通管,

与阻变存储器Ni/HfO₂/Pt串联,如图4所示,当V_{SET}大于选通管的开启电压V_{th}时,存储器件由高阻态转变为低阻态,当电流回扫,电压小于V_{th}时,直接表现为选通管的电学性质.

目前,1S1R结构存在的主要问题之一是非线性系数低,在其集成时,影响了阵列的大小^[34].因此寻找非线性系数大的对称性非线性电阻是发展1S1R结构的主要方向. Luo等人^[35]将外加引入隧穿层的一个电学特性对称的非线性电阻Cu/doped Cu-HfO₂/Pt作为选通管,与阻变存储器串联,构成1S1R结构.该选通管最大的电流密度大于1 MA/cm²,非线性系数高达10⁷,耐久性可以持续10¹⁰个循环,充足的读取余度可保证10⁵ Gb 的阵列尺寸, pA量级的漏电流可以有效抑制无源交叉阵列中的寄生电流,并且降低功耗. Lee小组^[36]报道了器件结构为Pt/TaO_x/TiO₂/TaO_x/Pt的非线性电阻,其最大的电流密度高于10⁷ A/cm²,并且非线性系数达10⁴,如图5所示.

2017年, Rivu等人^[37]报道的挥发性阈值开关选择

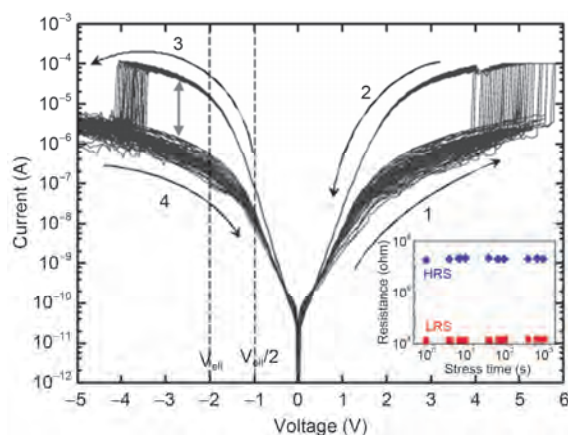


图4 (网络版彩色) Ni/TiO₂/Ni/HfO₂/Pt集成1S1R的电学特性曲线^[34]
Figure 4 (Color online) *I-V* characteristics of Ni/TiO₂/Ni/HfO₂/Pt 1S1R structure^[34]

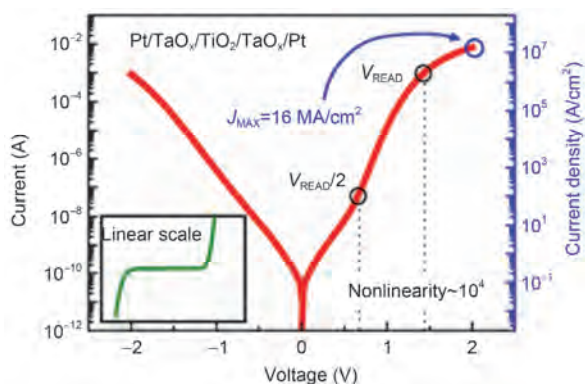


图5 (网络版彩色) Pt/TaO_x/TiO₂/TaO_x/Pt器件的电学特性曲线^[36]
Figure 5 (Color online) Typical *I-V* characteristic of Pt/TaO_x/TiO₂/TaO_x/Pt structure^[36]

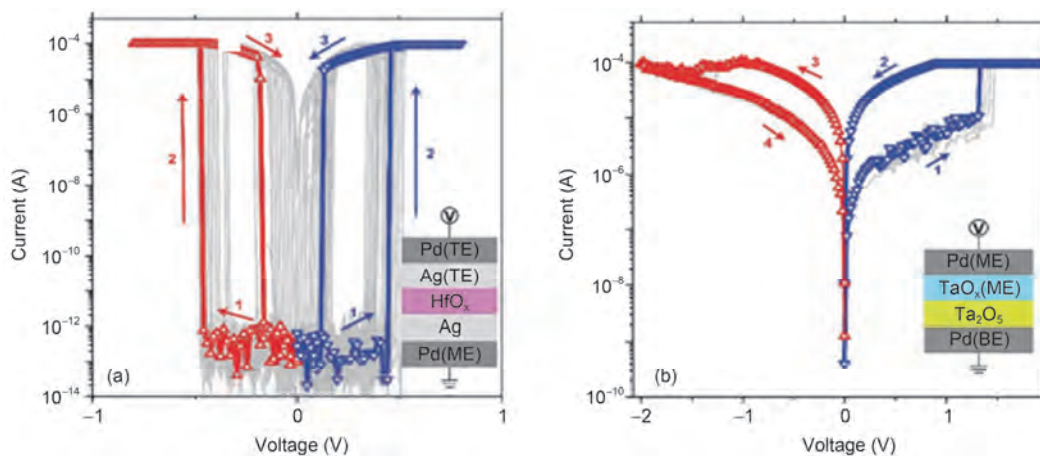


图6 (网络版彩色) 非线性电阻与阻变器件的电流电压特性. (a) 非线性电阻Pd/Ag/HfO_x/Ag/Pd结构的电流电压特性曲线; (b) 阻变存储器Pd/TaO_x/Ta₂O₅/Pd电流电压特性曲线^[37]

Figure 6 (Color online) *I-V* characteristics of the selector and RRAM devices. (a) Repeatabile bidirectional threshold switching of the Pd/Ag/HfO_x/Ag/Pd selector; (b) *I-V* curves of the Pd/Ta₂O₅/TaO_x/Pd RRAM cell^[37]

器Pd/Ag/HfO_x/Ag/Pd的非线性系数达到了 10^{10} , 耐久性可以持续 10^8 个循环, 开启斜率小于1 mv/dec, 是至今报道的斜率最大值, 开/关速度小于75/250 ns, 关断漏电流为 10^{-14} A, 该电流是迄今为止报道的最小值, 如图6(a)所示. 将该结构作为选通管, 与双极性阻变存储器Pd/TaO_x/Ta₂O₅/Pd(图6(b)是该阻变存储器的电流电压特性曲线)串联构成1S1R结构, 电压电流特性如图7所示, 与单独的阻变存储器相比, 很大程度地抑制了交叉阵列结构中的漏电流.

Qing等人^[38]制备出的基于梯形能带结构, 在于得到一致性和非线性系数高的非线性电阻Ru/TaO_x/W, 其电流密度大于1 MA/cm², 非线性系数大于 5×10^4 , 耐久性可以持续 10^{10} 个循环, 关断漏电流约为10 pA. 将其作为选通管与双极性阻变存储器Cu/HfO₂/Pt串联构成1S1R结构, 取合适的读取电压, 低阻态下的整流比可达 10^4 , 85℃下的数据保持特性大于 10^4 s, 在密度无源交叉阵列中有很大的应用潜力. 最近中国科学院微电子研究所刘明院士团队^[39]提出通过石墨烯缺陷工程控制活性电极离子向阻变功能层中注入的路径尺寸和数量, 集中化/离散化阳离子基阻变器件中导电通路的分布来调控其稳定性, 不仅获得了高驱动电流(双向500 μA)的易失性阈值开关选择器(threshold selector), 结构为Ag/Defect Graphene/SiO₂/Pt, 而且获得了低操作电流(1 μA)、高保持特性、低功耗的非易失性阻变存储器, 这为阻变存储器的1S1R结构三维高密度集成奠定了基础. 此工作是该

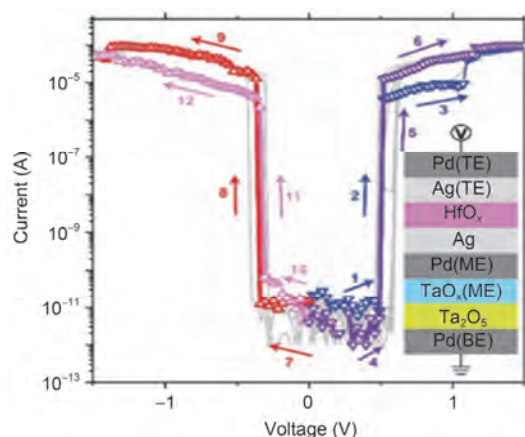


图 7 (网络版彩色)1S1R 结构Pd/Ag/HfO₂/Ag/Pd/TaO_x/Ta₂O₅/Pd电流电压特性曲线^[37]

Figure 7 (Color online) *I-V* characteristics of Pd/Ag/HfO₂/Ag/Pd/TaO_x/Ta₂O₅/Pd 1S1R structure^[37]

领域首次在相同结构阻变器件中实现电流-保持特性的双向调控,这种通用的基于二维材料阻挡概念的离子迁移调控方法,也能够移植应用到离子电池、离子传感等研究领域。

表2给出了部分目前研究报道的可用于1S1R集成的非线性电阻选择器的性能参数。与1D1R结构相比,1S1R结构中选通器件具有双极对称性,因而对RRAM的器件极性没有限制,而且这种结构对RRAM的编程和读取操作能够在同向进行,在减少漏电和降低功耗方面要明显优于1D1R结构。

5 互补电阻开关结构(back to back)

互补电阻开关(complementary resistive switches, CRS)也称背靠背结构,如图8所示,是由两个双极转变的阻变存储元件反向串联构成的,该概念是Linn

等人^[44]在2010年提出的。CRS结构具有特殊的读取性质,结构最初状态为OFF状态,此时存储单元A、B都处于高阻态;当CRS的状态处于“0”时,A为高阻态,B为低阻态;当CRS的状态处于“1”时,A为低阻态,B为高阻态;当CRS的处于“ON”状态时,A、B都处于低阻态,这种状态仅在读操作时才会发生。一经提出,这一概念便受到了科研界的广泛关注。2011年, Lee小组^[45]提出了基于背靠背概念的Pt/Ta₂O_{5-x}/TaO_{2-x}/Pt/TaO_{2-x}/Ta₂O_{5-x}/Pt结构,该结构器件由低阻态向高阻态转变(RESET)的电流仅为50 μA,并且能够完成10¹²周期的循环操作。

Breuer等人^[46]实现了基于TaO_x垂直堆叠的微米和纳米级CRS结构,该结构具有低开关操作电流(~200 μA),且耐久性可以持续1.25×10⁶个周期。此外,CRS时序逻辑运算首次实现,包括微米和纳米级CRS结构的逻辑与运算,以及纳米级CRS结构的逻辑蕴含运算,为基于CRS的逻辑内存操作提供了概念验证测量和模拟。Shi等人^[47]最近提出了一种基于石墨烯氧化物(graphene oxide, GO)材料的CRS存储器件,结构为Al/GO/ITO。研究表明该结构的阻变过程在很大程度上依赖于器件开启和存储过程中限制电流的大小,过大的限制电流使器件难达到CRS结构存储,在该结构中过程限制电流值约为200 μA。同样在存储过程中发现如果电流不受限,就会呈现典型的CRS结构*I-V*特性,而当限制电流小于500 μA时,器件就会呈现双极性阻变存储(bipolar resistive switching, BRS)特性,所以该器件结构表现出BRS和CRS特性的共存。高度一致的正反阻变电压使得CRS结构的“0”和“1”状态能够清晰地区分,而GO层中的氧空位对此起着非常重要的作用,同样也注意到该基于石

表 2 部分报道的可用于 1S1R集成的非线性电阻选择器

Table 2 Comparison of nonlinear resistor selectors for 1S1R integration

器件结构	最大电流密度(A/cm ²)	非线性系数	可重复性	高阻态漏电流(A)
Cu/doped Cu-HfO ₂ /Pt ^[35]	10 ⁶	10 ⁷	10 ¹⁰	10 ⁻¹²
Pd/Ag/HfO ₂ /Ag/Pd ^[36]	—	10 ¹⁰	10 ⁸	10 ⁻¹⁴
Pt/TaO _x /TiO ₂ /TaO _x /Pt ^[37]	10 ⁷	10 ⁴	10 ¹⁰	10 ⁻⁷
Ru/TaO _x /W ^[38]	10 ⁶	>5×10 ⁴	10 ¹⁰	10 ⁻¹¹
Ag/Defect Graphene/SiO ₂ /Pt ^[39]	—	5×10 ⁸	>10 ⁶	10 ⁻¹³
BE/doped-chalcogenide/SiO ₂ /TE ^[40]	1.6×10 ⁶	>10 ⁷	>10 ⁹	10 ⁻¹¹
BE/SLT/TE ^[41]	5×10 ⁶	10 ¹⁰	>10 ⁸	10 ⁻¹¹
BE/AsTeGeSiN/TE ^[42]	1.1×10 ⁷	10 ⁴	10 ⁸	10 ⁻⁶
TiN/NbO ₂ /Pt ^[43]	8×10 ⁷	10 ³	10 ³	10 ⁻⁶

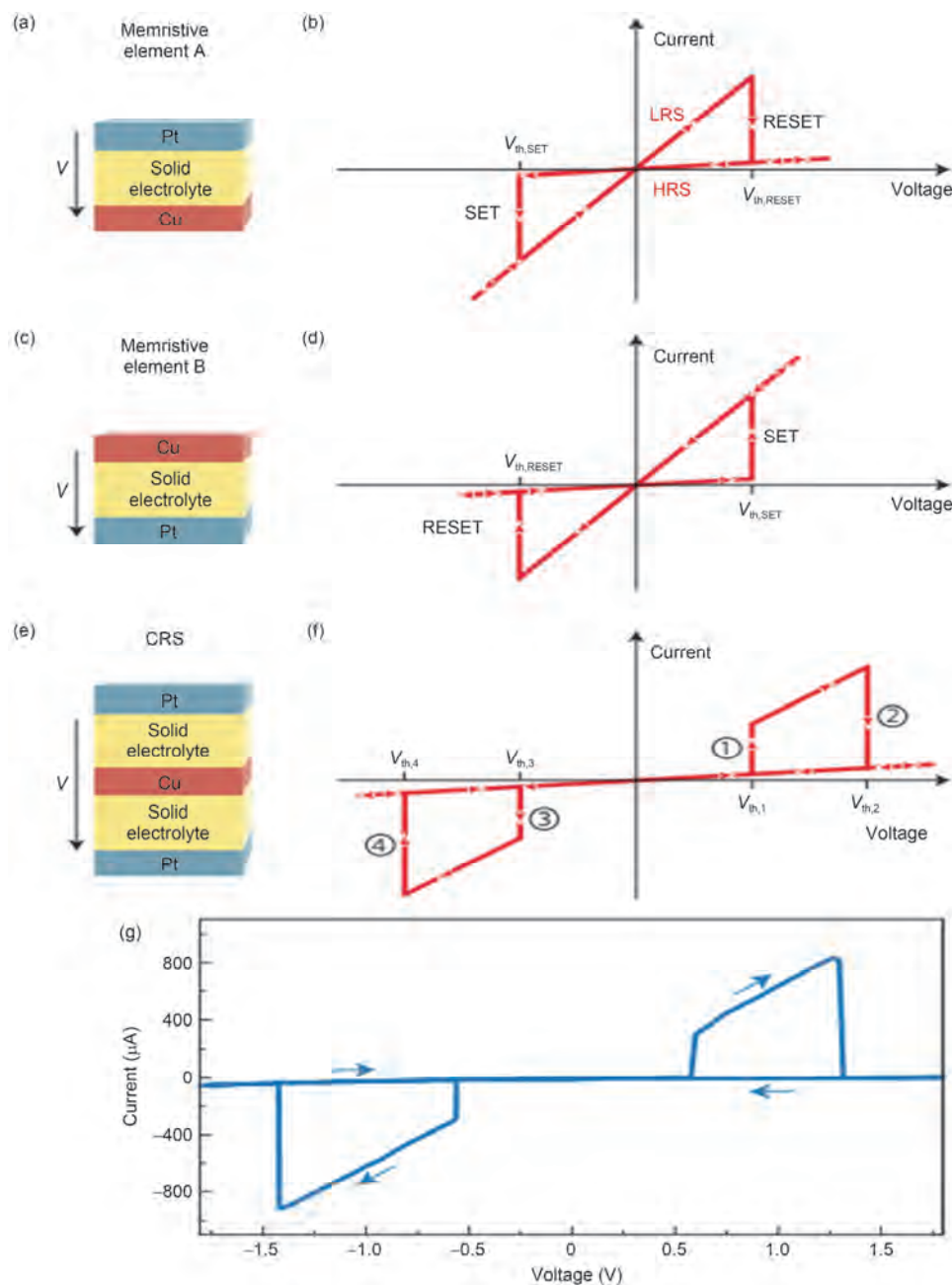


图 8 (网络版彩色) CRS结构的特性. (a) 双极性存储元件A; (b) 存储元件A的*I-V*特性; (c) 双极性存储元件B; (d) 存储元件B的*I-V*特性; (e) 存储元件A与B串联成CRS结构; (f) CRS结构的*I-V*特性; (g) Pt/SiO₂/GeSe/Cu/GeSe/SiO₂/Pt结构器件的*I-V*特性^[44]

Figure 8 (Color online) Characteristics of CRS structure. (a) Bipolar memory element A; (b) *I-V* characteristics of memory element A; (c) bipolar memory element B; (d) *I-V* characteristics of memory cell B; (e) CRS resulting from the combination of element A and B; (f) *I-V* characteristics of CRS structure; (g) *I-V* characteristics of Pt/SiO₂/GeSe/Cu/GeSe/SiO₂/Pt structure device^[44]

墨烯氧化物的阻变存储器在高阻态时的漏电流比较大, 不仅会增加功耗, 而且限制交叉阵列的密度, 因此, 在未来的工作中需要进一步的优化器件结构.

虽然CSR结构可以抑制无源交叉阵列中串扰问题, 但是由于高低阻态的开关比较低, 存储窗口较

小, 限制了阵列的大小. 此外由于CRS结构存储“0”和“1”时, 电阻状态都是高阻, 判断其状态之前需要加电压预处理, 多次的预处理操作很容易造成存储单元的损伤, 会减小其使用寿命.

2011年三星公司^[48]提出的1TS1R结构, 其*I-V*特

性与上文所提的背靠背结构的 I - V 特性相似,但两者不是同一种结构,其原理以及阻变过程皆不同. 1TS1R是由一个具有阈值开启(threshold switching, TS)特性的开关器件和一个双极转变的阻变存储单元串联构成的. TS是一种易失性存储器件,如图6所示为具有Pd/Ag/HfO_x/Ag/Pd结构的阈值开关选择器^[37],它可以通过控制施加电压的极性和大小呈现两种不同的易失性电阻状态,与双极性阻变存储单元串联后,当施加读取电压 V_{READ} 时,可以读取1R存储单元的状态,即可以确定1R单元的ON/OFF状态. 另一方面,当施加 $V_{\text{READ}/2}$ 读取电压时,1TS始终处于关闭状态,这会阻止电流流过1TS1R器件,此操作可以解决漏电通路的问题,为了1TS1R结构的正常运行,需要满足以下条件: $V_{\text{th}} < |V_{\text{RESET}}|$ 和 $V_{\text{th}} < V_{\text{SET}}$. 该结构的提出不仅能有效解决漏电通路问题,而且其自身也在高密度低功耗非易失性交叉阵列存储的方向上有着重要的应用前景.

6 具有自整流特性的1R结构

自整流器件是抑制阻变存储器交叉阵列结构中串扰现象的有效手段之一. 所谓自整流,即阻变存储单元在具有阻变特性的同时又具有整流特性,使其在不需额外选通管的前提下,实现自我选择功能,可以大大减小器件结构的复杂性. 因此该结构器件近年来受到了广泛的关注,并且被大量的研究和应用.

Tran等人^[49]报道了具有自整流特性的单极性NiSi/HfO_x/TiN器件,其低阻态下的整流比大于 10^3 (1 V),该存储器件的开关比约为 10^2 , 125℃下的数据保持特性达 10^5 s,该结构器件能够实现 $2^6 \times 2^6$ 的交叉存储阵列. 该小组接着又报道了具有自整流特性的双极性结构Ni/AlO_x/n⁺-Si器件^[50],其低阻态下的整流比大于700 (0.2 V),这种存储器件的开关比大约为 10^3 , 100℃下的数据保持特性达 10^4 s,能够实现 $2^5 \times 2^5$ 的交叉存储阵列. Li等人^[51]在2014年报道了基于HfO₂和SiO₂薄膜材料的自整流器件单元,分别采用Ni和n⁺-Si作为上下电极制备了具有Ni/HfO₂/n⁺-Si和Ni/SiO₂/n⁺-Si结构的阻变存储器件单元,发现Ni/HfO₂/n⁺-Si和Ni/SiO₂/n⁺-Si器件在低阻态时都具有明显的整流特性,这种低阻态的整流特性能够有效抑制交叉阵列中的串扰现象.

中国科学院微电子研究所^[52]报道了以非晶硅作

为插层材料的自整流器件,利用阻变材料层与非晶硅层的肖特基接触实现自整流特性. 通过对比研究可以判断Cu/a-Si/WO₃/Pt器件的整流特性来自于a-Si/WO₃的界面. 由于在初始开启过程中,WO₃层内部形成了由氧空位构成的导电通道,自整流现象的本质则是WO₃中氧空位通道与a-Si之间形成的肖特基接触. 所制备的自整流Cu/a-Si/WO₃/Pt器件具有非常优越的重复性和一致性,在经过连续1000次的 I - V 曲线扫描后,扫描得到的曲线和第一次的曲线基本重合. 此外,该结构器件的Reset电流很小,可以达到小于微安的量级,可适合于低功耗场合的应用. 同时,中国科学院微电子研究所^[53]利用具有自整流特性的Pt/ZrO₂/n⁺-Si结构存储器制备了一次编程存储器(WORM),该器件编程到低阻态时能够永久保持,并且整流比大于 10^4 ,开关比约为 10^6 ,而且在编程前后电阻分布集中,室温下的数据保持特性为 10^5 s (如图9所示).

表3给出了部分报道的有自整流特性的RRAM器件的性能参数. 具有自整流特性的阻变存储器结构简单、性能稳定、与CMOS工艺兼容,并且由于没有选择器件引入的干扰,克服了操作电压增大、重复性变差等缺点. 这些优势使得自整流阻变存储器在高密度无源交叉阵列结构的应用中具有较强的竞争力.

7 结论与展望

基于无源交叉阵列的RRAM具有高密度、易于三维集成的优势,因此最有可能在未来的高密度RRAM产品中有广阔的应用前景. 在无源交叉阵列结构中,由于泄漏电流的存在,通常需要与RRAM单元串联一个选通管来抑制交叉串扰引起的误读现象,目前采取的解决方法主要包括: (1) 串联一个具有整流特性的二极管,构成1D1R结构; (2) 串联一个非线性电阻,构成1S1R结构; (3) 串联一个互补电阻开关器件,构成1CRS1R结构; (4) 自整流RRAM器件. 对基于RRAM器件的高密度无源交叉阵列来说,虽然目前已经取得了一些成功,然而RRAM无源交叉阵列的高密度集成应用依然面临许多挑战,更多重要工作仍在进行中,更多问题仍需解决. 对于1D1R结构,能否找到具有高的电流密度、大的整流比和低温工艺的整流二极管,是决定1D1R结构能否集成应用的关键. 对于1S1R和1CRS1R结构集成中的关键问题,如材料的选取、非线性系数的优化、开关比的提

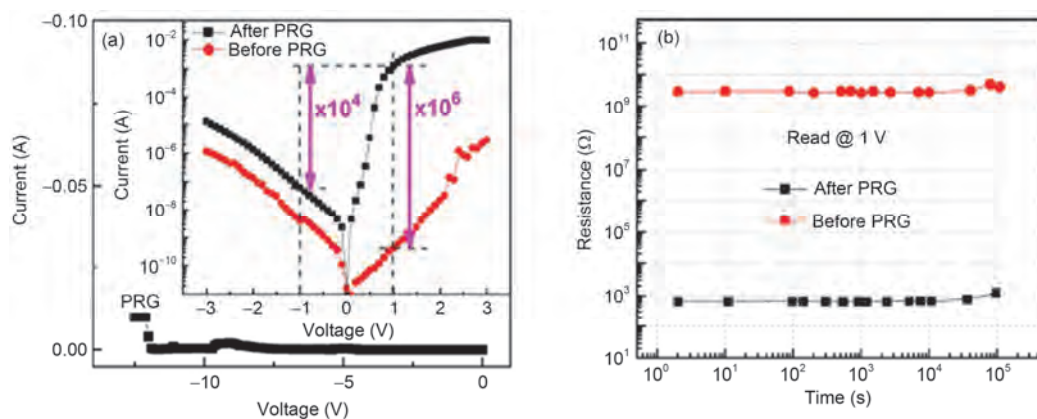


图9 (网络版彩色)WORM器件的电流电压特性. (a) WORM器件的编程过程(PRG)及其电流-电压曲线; (b) 室温下数据保持特性统计分布图^[53]
Figure 9 (Color online) *I*-*V* characteristics of the WORM device. (a) Programming process (PRG) for the fresh device. Inset is the typical *I*-*V* curves of the WORM memory; (b) retention characteristics of the WORM memory at room temperature^[53]

表3 部分报道的具有自整流效应的RRAM

Table 3 Comparison of RRAM with self-rectifying effect

器件结构	高低阻态比	自整流比	可重复性	保持特性
NiSi/HfO ₂ /TiN ^[49]	10 ²	10 ³ @1 V	—	10 ⁵ s
Ni/AlO _x /n ⁺ -Si ^[50]	10 ³	700@0.2 V	—	10 ⁴ s
Pt/ZrO ₂ /n ⁺ -Si ^[53]	10 ⁶	10 ⁴	—	10 ⁵ s
Ni/HfO _x /n ⁺ -Si ^[54]	—	10 ³ @0.5 V	>10 ⁵	10 ⁵ s
TiW/Ge ₂ Sb ₂ Te ₅ /W ^[55]	—	—	>10 ³	5000 s
Au/ZrO ₂ :Au-nanocrystal/n ⁺ -Si ^[56]	—	700@±0.5 V	100	—
Ag/RbAg ₄ I ₃ /n ⁺ -Si ^[57]	10 ³ @0.2 V	—	10 ³	—
Cu/a-Si/WO ₃ /Pt ^[52]	10 ² @0.5 V	10 ² @±0.75 V	—	—
Si/a-Si core/Ag nanowires ^[58]	10 ⁴	10 ⁶ @1 V	10 ⁴	>2周
Ag/a-Si/p-Si(crystalline) ^[59]	10 ³	—	10 ⁶	>3月
Ag nanowires/a-Si/poly-Si ^[60]	>10 ⁶ @0.5 V	>10 ⁶ @±0.5 V	>10 ⁸	>4年

高等还缺乏系统的研究,此外,理论上还缺乏相应模型的指导.因此,寻找性能、可应用性较好的材料,开展理论机制研究对1S1R和1CRS1R结构的集成应用具有十分重要的意义.相比于其他结构集成方案,具有自整流特性的1R结构集成工艺更加简单、成本更加低廉,并且避免了串联晶体管、二极管等选择器引入的干扰.这些优势使得自整流RRAM器件在高密度三维集成应用中具有较强竞争力,非常有希望在RRAM高密度存储中最终得到应用.整流比不够

高、电流密度小是目前自整流RRAM器件存在的主要问题.因此,进一步深入研究阐明自整流RRAM器件的内在物理机制,研制出整流比大、电流密度高、均匀性、稳定性和可靠性俱佳的高性能自整流RRAM器件是实现自整流RRAM高密读存储应用的关键.

可以预计,随着技术的不断进步、半导体技术的高速发展、研究工作的不断深入,阻变存储器无源阵列将取得巨大突破,有望在未来高密度存储技术中得到广泛的应用并取得巨大的商业价值.

参考文献

- Kim K. From the future Si technology perspective: Challenges and opportunities. In: International Electron Devices Meeting Technical Digest, 2010. 111–119

- 2 Meijer G I. Who wins the nonvolatile memory race? *Science*, 2008, 319: 1625–1626
- 3 Tehrani S. Status and outlook of MRAM memory technology. *International Electron Devices Meeting Technical Digest*, 2006. 585–588
- 4 Zhu J G, Zheng Y F, Prinz G A. Ultrahigh density vertical magnetoresistive random access memory. *J Appl Phys*, 2000, 87: 6668–6673
- 5 Lai S, Lowrey T. OUM-a 180 nm nonvolatile memory cell element technology for stand alone and embedded applications. In: *International Electron Devices Meeting Technical Digest*, 2001. 803–806
- 6 Guan W H, Long S B, Liu Q, et al. Nonpolar nonvolatile resistive switching in Cu doped ZrO_2 . *IEEE Electr Device L*, 2008, 29: 434–437
- 7 Simpson R E, Krbal M, Fons P, et al. Toward the ultimate limit of phase change in $\text{Ge}_2\text{Sb}_2\text{Te}_2$. *Nano Lett*, 2010, 10: 414–419
- 8 Scott J C. Is there an immortal memory? *Science*, 2004, 304: 62–63
- 9 Lee M-J, Park Y, Kang B S, et al. 2-stack 1D-1R cross-point structure with oxide diodes as switch elements for high density resistance RAM applications. In: *International Electron Devices Meeting Technical Digest*, 2007. 771–774
- 10 Chen A, Haddad S, Wu Y C, et al. Non-volatile resistive switching for advanced memory applications. In: *International Electron Devices Meeting Technical Digest*, 2005. 746–749
- 11 Zhang W W, Pan W, Ulrich B D, et al. Novel colossal magnetoresistive thin film nonvolatile resistance random access memory (RRAM). In: *International Electron Devices Meeting Technical Digest*, 2002. 193–196
- 12 Wang C H, Tsai Y H, Lin K C, et al. Three-dimensional 4F^2 ReRAM cell with CMOS logic compatible process. In: *International Electron Devices Meeting Technical Digest*, 2010. 664–667
- 13 Servalli G. A 45 nm generation phase change memory technology. In: *International Electron Devices Meeting Technical Digest*, 2009. 113–116
- 14 Zuo Q Y. Research on a memory device with resistive switching mechanism for cross array (in Chinese). Master Dissertation. Beijing: Institute of Microelectronics, Chinese Academy of Sciences, 2010 [左青云. 适用于交叉阵列的阻变机制存储器件研究. 硕士学位论文. 北京: 中国科学院微电子研究所, 2010]
- 15 Lee M J, Park Y, Suh D S, et al. Two series oxide resistors applicable to high speed and high density nonvolatile memory. *Adv Mater*, 2007, 19: 3919–3923
- 16 Yang X Y. Research on resistance change mechanism and integration technology of resistive memory (in Chinese). Master Dissertation. Beijing: Institute of Microelectronics, Chinese Academy of Sciences, 2013 [杨晓一. 阻变存储器电阻转变机理与集成技术研究. 硕士学位论文. 北京: 中国科学院微电子研究所, 2013]
- 17 Zhang K W. Resistor-reversible memory based on rectification characteristics (in Chinese). Master Dissertation. Beijing: Institute of Microelectronics, Chinese Academy of Sciences, 2012 [张康玮. 基于整流特性的阻变存储器. 硕士学位论文. 北京: 中国科学院微电子研究所, 2012]
- 18 Golubovic D S, Miranda A H, Akil N, et al. Vertical poly-Si select pn-diodes for emerging resistive non-volatile memories. *Microelectron Eng*, 2007, 84: 2921–2926
- 19 Ahn S E, Kang B S, Kim K H, et al. Stackable all-oxide-based nonvolatile memory with Al_2O_3 antifuse and p- CuO_x /n- InZnO_x diode. *IEEE Electr Device L*, 2009, 30: 550–552
- 20 Shima H, Takano F, Muramatsu H, et al. Control of resistance switching voltages in rectifying Pt/ TiO_x /Pt trilayer. *Appl Phys Lett*, 2008, 92, doi: 10.1063/1.2838350
- 21 Teo E Y H, Zhang C F, Lim S L, et al. An organic-based diode-memory device with rectifying property for crossbar memory array applications. *IEEE Electr Device L*, 2009, 30: 487–489
- 22 Katsia E, Huby N, Tallarida G, et al. Poly (3-hexylthiophene)/ZnO hybrid pn junctions for microelectronics applications. *Appl Phys Lett*, 2009, 94, doi: 10.1063/1.3114442
- 23 Lu C, Yu J, Chi X W, et al. Self-compliance Pt/ HfO_2 /Ti/Si one-diode-one-resistor resistive random access memory device and its low temperature characteristics. *Appl Phys Express*, 2016, 9, doi: 10.7567/APEX.9.041501
- 24 Cho B, Kim T W, Song S, et al. Rewritable switching of one diode-one resistor nonvolatile organic memory devices. *Adv Mater*, 2009, 21: 1228–1232
- 25 Shin Y C, Song J, Kim K M, et al. $(\text{InSn})_2\text{O}_3/\text{TiO}_2/\text{Pt}$ schottky-type diode switch for the TiO_2 resistive switching memory array. *Appl Phys Lett*, 2008, 92, doi: 10.1063/1.2912531
- 26 Lee M J, Seo S, Kim D C, et al. A low-temperature-grown oxide diode as a new switch element for high-density, nonvolatile memories. *Adv Mater*, 2007, 19: 73–76
- 27 Lee W Y, Mauri D, Hwang C. High-current-density $\text{ITO}_x/\text{NiO}_x$ thin-film diodes. *Appl Phys Lett*, 1998, 72: 1584–1586
- 28 Kang B S, Ahn S E, Lee M J, et al. High-current-density $\text{CuO}_x/\text{InZnO}_x$ thin-film diodes for cross-point memory applications. *Adv Mater*, 2008, 20: 3066–3069
- 29 Tallarida G, Huby N, Kutrzeba-Kotowska B, et al. Low temperature rectifying junctions for crossbar non-volatile memory devices. In: *International Electron Devices Meeting International Memory Workshop*, 2009, doi: 10.1109/IMW.2009.5090598
- 30 Huang J J, Kuo C W, Chang W C, et al. Transition of stable rectification to resistive-switching in Ti/ TiO_2 /Pt oxide diode. *Appl Phys Lett*, 2010, 96, doi: 10.1063/1.3457866

- 31 Park W Y, Kim G H, Seok J Y, et al. A Pt/TiO₂/Ti schottky-type selection diode for alleviating the sneak current in resistance switching memory arrays. *Nanotechnology*, 2010, 21, doi: 10.1088/0957-4484/21/19/195201
- 32 Katsia E, Tallarida G, Kutrzeba-Kotowska B, et al. Integration of organic based schottky junctions into crossbar arrays by standard UV lithography. *Org Electron*, 2008, 9: 1044–1050
- 33 Li Y T, Liu Q, Long S B, et al. Bipolar one diode–one resistor integration for high-density resistive memory applications. *Nanoscale*, 2013, 5: 4785–4789
- 34 Huang J J, Tseng Y M, Hsu C W, et al. Bipolar nonlinear Ni/TiO₂/Ni selector for 1S1R crossbar array applications. *IEEE Electr Device L*, 2011, 9: 1427–1429
- 35 Luo Q, Xu X X, Liu H T, et al. Cu BEOL compatible selector with high selectivity($>10^7$), extremely low off-current($\sim$ pA) and high endurance($>10^{10}$). In: *International Electron Devices Meeting Technical Digest*, 2015, 15: 253–256
- 36 Lee W, Park J, Kim S, et al. High current density and nonlinearity combination of selection device based on TaO_x/TiO₂/TaO_x structure for one selector-one resistor arrays. *Acs Nano*, 2012, 6: 8166–8172
- 37 Midya R, Wang Z R, Zhang J M, et al. Anatomy of Ag/Hafnia-based selectors with 10^{10} nonlinearity. *Adv Mater*, 2017, 29: 10.1002/adma.201604457
- 38 Luo Q, Xu X X, Lv H B, et al. Highly uniform and nonlinear selection device based on trapezoidal band structure for high density nano-crossbar memory array. *Nano Res*, 2017, 10: 3295–3302
- 39 Zhao X L, Ma J, Xiao X H, et al. Breaking the current-retention dilemma in cation-based resistive switching devices utilizing graphene with controlled defects. *Adv Mater*, 2018, 10: 10.1002/adma.201705193
- 40 Yang H X, Li M H, He W, et al. Novel selector for high density non-volatile memory with ultra-low holding voltage and 10(7) on/off ratio. In: *Symposium on VLSI Technology*, 2015. T130–T131
- 41 Jo S H, Kumar T, Narayanan S, et al. 3D-stackable crossbar resistive memory based on field assisted superlinear threshold (FAST) selector. In: *International Electron Devices Meeting Technical Digest*, 2014. 14: 160–163
- 42 Kim S, Kim Y B, Kim K M, et al. Performance of threshold switching in chalcogenide glass for 3D stackable selector. In: *Symposium on VLSI Technology*. 2013. T240–T241
- 43 Kim W G, Lee H M, Kim B Y, et al. NbO₂-based low power and cost effective 1S1R switching for high density cross point ReRAM Application. In: *Symposium on VLSI Technology*, 2014. 1–2
- 44 Linn E, Rosezin R, Kögeler C, et al. Complementary resistive switches for passive nanocrossbar memories. *Nat Mater*, 2010, 9: 403–406
- 45 Lee M J, Lee C B, Lee D, et al. A fast, high-endurance and scalable non-volatile memory device made from asymmetric Ta₂O_{5-x}/TaO_{2-x} bilayer structures. *Nat Mater*, 2011, 10: 625–630
- 46 Breuer T, Kim W, Menzel S, et al. Low-current and high-endurance logic operations in 4F²-compatible TaO_x-based complementary resistive switches. In: *International Electron Devices Meeting Silicon Nanoelectronics Workshop*, 2014, 10: 10.1109/SNW.2014.7348558
- 47 Shi K X, Wang Z Q, Xu H Y, et al. Complementary resistive switching observed in Graphene oxide-based memory device. *IEEE Electr Device L*, 2018, 39: 488–491
- 48 Chang S H, Lee S B, Jeon D Y, et al. Oxide double-layer nanocrossbar for ultrahigh-density bipolar resistive memory. *Adv Mater*, 2011, 23: 4063–4067
- 49 Tran X A, Zhu W G, Gao B, et al. A self-rectifying HfO_x-based unipolar RRAM with NiSi electrode. *IEEE Electr Device L*, 2012, 4: 585–587
- 50 Tran X A, Zhu W, Liu W J, et al. A self-rectifying AlO_y bipolar RRAM with sub-50- μ A set/reset current for cross-bar architecture. *IEEE Electr Device L*, 2012, 10: 1402–1404
- 51 Li Y T, Jiang X Y, Tao C L, et al. A self-rectifying bipolar RRAM device based on Ni/HfO₂/n⁺-Si structure. *Mod Phys Lett B*, 2014, 28: 10.1142/S0217984914500304
- 52 Lv H B, Li Y T, Liu Q, et al. Self-rectifying resistive-switching device with a-Si/WO₃ bilayer. *IEEE Electr Device L*, 2013, 34: 229–231
- 53 Zuo Q Y, Long S B, Yang S Q, et al. ZrO₂-based memory cell with a self-rectifying effect for crossbar WORM memory application. *IEEE Electr Device L*, 2010, 31: 344–346
- 54 Tran X A, Zhu W, Liu W J, et al. Self-selection unipolar HfO_x-based RRAM. *IEEE T Electron Dev*, 2013, 60: 391–395
- 55 Chen Y C, Chen C F, Chen C T, et al. An access-transistor-free (0T/1R) non-volatile resistance random access memory (RRAM) using a novel threshold switching, self-rectifying chalcogenide device. In: *International Electron Devices Meeting Technical Digest*, 2003. 905–908
- 56 Zuo Q Y, Long S B, Liu Q, et al. Self-rectifying effect in gold nanocrystal-embedded zirconium oxide resistive memory. *J Appl Phys*, 2009, 106, doi: 10.1063/1.3236632
- 57 Liang X F, Chen Y, Yang B, et al. A nanoscale nonvolatile memory device made from RbAg₄I₃ solid electrolyte grown on a Si substrate. *Microelectron Eng*, 2008, 85: 1736–1738
- 58 Dong Y J, Yu G H, Michael M C, et al. Si/a-Si core/shell nanowires as nonvolatile crossbar switches. *Nano Lett*, 2008, 8: 386–391
- 59 Jo S H, Lu W. CMOS compatible nanoscale nonvolatile resistance switching memory. *Nano Lett*, 2008, 8: 392–397
- 60 Kim K H, Jo S H, Gaba S, et al. Nanoscale resistive memory with intrinsic diode characteristics and long endurance. *Appl Phys Lett*, 2010, 96, doi: 10.1063/1.3294625

Summary for “阻变存储器无源高密度交叉阵列研究进展”

An overview of resistive random access memory based high-density crossbar array

Xiaoyan Li^{1,2}, Yingtao Li^{2*}, Xiaoping Gao¹, Chuanbing Chen² & Genliang Han^{1*}

¹ Key Laboratory of Sensor and Sensing Technology, Gansu Province, Lanzhou 730000, China;

² School of Physical Science and Technology, Lanzhou University, Lanzhou 730000, China

* Corresponding authors, E-mail: li_yt06@lzu.edu.cn; genlianghan@163.com

In the global era of knowledge economy and electronic information, semiconductor memories play a crucial role in the storage of the massive information. In order to achieve a higher integration density, the microelectronics process node is pushed forward to the next generation according to the Moore's Law. However, the current mainstream nonvolatile memory technology based on charge storage, such as flash memory, is rapidly running into its physical limit due to the tradeoffs between the high speed, long time retention and low power operation. Therefore, several new types of nonvolatile memories based on other storage concepts have been intensively investigated to replace Flash. Resistive random access memory (RRAM) device, which is based on resistance change modulated by electrical stimulus, has been considered as one of the most promising candidate for next-generation nonvolatile memory due to its potential advantages for simple structure, fast switching speed, excellent scalability, three-dimensional (3D) stackable integration, and good compatibility with the current complementary metal oxide semiconductor (CMOS) technology. However, a crossbar array consisting of only RRAM cell suffers unavoidable cross-talk interference due to leakage current paths through neighboring unselected cells with low resistances, leading to a misreading problem, the biggest hindrance for the high-density memory application. It can be effectively tackled by the addition of necessary nonlinearity to the RRAM by integrating a highly nonlinear and bidirectional selector device. In this paper, we give an overview on the familiar architectures to diminish the sneak current in crossbar array, including 1D1R (one diode one resistor), 1S1R (one selector one resistor), 1CRS1R (one CRS device one resistor, complementary resistive switch (CRS) devices forming by two back-to-back connected memory cells) and 1R (one resistor) with self-rectifying effect. In the meantime, we discuss the research trends and the challenges of high-density storage based on RRAM passive cross-array. Finally, future research direction and prospects, as well as main challenges awaiting RRAM high-density memory are given. The application of diodes with large forward current density, high rectification ratio, low preparation temperature and easy 3D integration are the key to achieve high density in 1D1R structure integration. It is of great significance to find materials with better performance and applicability, and to carry out theoretical research on the integrated applications of 1S1R and 1CRS1R structures. Since the 1R with self-rectifying effect is simpler and more cost-effective than other integrated structures, further research to clarify intrinsic physical mechanism of 1R, and develop high-performance self-rectifying RRAM devices with large rectification ratio, high current density, uniformity, stability, and reliability are the significant processes to the achievement of RRAM high-density storage applications.

resistive random access memory, high density, passive crossbar array, cross-talk

doi: 10.1360/N972018-00164