

Au/PZT/BIT/p-Si 结构铁电存储二极管 存储特性*

于 军^① 王 华^{①②} 董晓敏^① 周文利^① 王耘波^①
郑远开^① 赵建洪^① 谢基凡^①

(^①华中科技大学电子科学与技术系, 武汉 430074; ^②桂林电子工业学院电子信息分院, 桂林 541004)

摘要 采用脉冲激光沉积方法(PLD)制备了 Au/PZT/BIT/p-Si 结构铁电存储二极管. 对其铁电性能和存储特性进行了实验研究. 铁电性能测试显示较饱和的、不对称的电滞回线, 其剩余极化和矫顽场分别约为 $15 \mu\text{C}/\text{cm}^2$ 和 $48 \text{ kV}/\text{cm}$; 10^9 次开关极化后剩余极化和矫顽场分别仅下降 10% 和增加 12%; 观察到源于铁电极化的 C - V 和 I - V 特性回线; 电流密度 $+4 \text{ V}$ 电压下为 $6.7 \times 10^{-8} \text{ A}/\text{cm}^2$; 在 $+2 \text{ V}$ 的读电压下, 读“1”和读“0”电流有 $0.05 \mu\text{A}$ 的明显差别; 保持时间达 30 min 以上.

关键词 铁电薄膜 铁电存储二极管(FMD) 存储特性 脉冲激光沉积(PLD)

铁电存储器件由于其潜在的高速、高密度、低工作电压和低功耗而引起了科学家们的极大兴趣并得到了广泛的研究^[1, 2]. 铁电场效应晶体管(FFET)以金属-铁电-半导体(MFS)结构为基本存储单元, 它以铁电薄膜取代传统场效应晶体管中的栅介质层, 通过栅极的极化状态 ($+P_r$, $-P_r$) 对源-漏电流的调制来实现信息的存储读取, 这种读取是非破坏性的, 是一种比较理想的存储方式. 但 F/S 界面问题而导致高的漏电流和低的保持力仍是阻碍其实用化的关键之一. 铁电存储二极管(ferroelectric memory diode, 简称 FMD)同属 MFS 结构器件, 它同样能够实现非易失性存储、非破坏性读出, 但结构设计和工艺制作更简单, 不仅能获得比 FFET 低的操作电压, 而且其存储仅靠一个单管, 不需要存储电容和浮置栅极, 对 FMD 的研究还有助于解决 FFET 中铁电薄膜与硅衬底之间的界面问题, 正因为如此, 近几年来国际上对 FMD 的研究相当重视, 研究日趋活跃^[3, 4].

$\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ (PZT)铁电薄膜虽具有良好的铁电性, 但与半导体 Si 基片之间存在较严重的界面反应和互扩散, 一般采用非铁电电介质作为 PZT 与 Si 之间的过渡层, 如 CaF_2 , SiO_2 , CeO_2 等^[5~7]. 但由于这些电介质的介电常数(约 20~30)与 PZT 铁电薄膜的介电常数(约 360)相差悬殊, 欲使 PZT 能在器件工作电压(3~5 V)下实现极化反转, 这类非铁电材料必须淀积得相当薄, 但太薄的过渡层会失去阻挡功能. c 轴取向的 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ (BIT)铁电薄膜虽然剩余极化 P_r 较低, 但与单晶 Si(100)具有很好的晶格匹配, 介电常数(约 200)与 PZT 相近. 我们考虑在 PZT 和

2000-04-03 收稿, 2000-06-05 收修改稿

* 国家自然科学基金(批准号: 69771024)和湖北省自然科学基金(批准号: 98J036)资助项目

Si 衬底之间加入 BIT 铁电层,以期改善 F/S 界面,同时发挥高介电阻挡层的作用,又能充分发挥铁电极化电场的作用。

本文介绍我们采用准分子激光沉积工艺,在(100)p-Si 基片上分别淀积 BIT, PZT 铁电薄膜,制作了 Au/PZT/BIT/p-Si 结构的铁电存储二极管,对该铁电存储二极管的 $P-E$ 电滞回线、 $C-V$ 特性、 $I-V$ 特性、疲劳特性进行了测试分析,并对读写特性与保持力进行了测试。

1 实验

该铁电二极管中铁电薄膜的制备是在激光技术国家重点实验室进行,采用德国 Lambda Physik 公司的 EMG201MSC 型准分子激光器,工作气体为 XeCl,其输出激光波长为 308 nm,脉冲宽度为 28 ns,单脉冲最大输出能量约 300 mJ,频率在 0 ~ 80 Hz 范围内连续可调,淀积时脉冲频率为 8 Hz,激光束通过光学扫描系统聚焦于陶瓷靶面,激光能量密度为 3 J/cm²,激光束与靶面成 45°角,靶-基距离为 40 mm. Pb(Zr_{0.52}, Ti_{0.48})O₃ (PZT) 和 Bi₄Ti₃O₁₂ (BIT) 陶瓷靶材按名义成分配料,PZT 中 PbO 过量 10%,采用传统工艺压成厚 5 mm,直径 25 mm 的圆片进行烧结,烧结温度为 1200℃. 基片选用电阻率为 6 ~ 9 Ω·cm 的 (100) p-Si 单晶片. 淀积前真空抽至 1.33 × 10⁻² Pa 以下,淀积系统温度由铬镍-镍铝热电偶与 JWT-U 型恒温器控制及测量. 淀积 BIT 和 PZT 薄膜时,通入高纯氧气,使系统真空度保持在 13.3 ~ 26.6 Pa,淀积温度分别为 650 和 530℃,厚度分别为 100 和 300 nm. 膜厚由 Rudolph/Auto III 型自动椭圆仪测得. 用掩膜法制备 Au 上电极,其厚度为 50 nm,直径为 0.2 ~ 0.5 mm. $P-E$ 回线、 $C-V$ 特性、 $I-V$ 特性分别用改进的 Sawyer-Tower 电路、HP4192A 型低频阻抗分析仪、ZC36 型高阻计进行测试。

2 结果与讨论

2.1 铁电性能

薄膜的电滞回线是其铁电性的直接反映,包含了铁电性能的主要参数. 为了将线性电阻和电容特性从非线性的铁电电滞回线中分离出来,采用改进的具有线性补偿的 Sawyer-Tower 电路^[8]对 Au/PZT/BIT/p-Si 结构铁电薄膜的 $P-E$ 回线进行了测量,图 1 为 1 kHz 三角波信号测试的结果. 从中可得出 PZT/BIT 双层铁电薄膜的剩余极化 $P_r \approx 15 \mu\text{C}/\text{cm}^2$,矫顽场 $E_c \approx 48 \text{ kV}/\text{cm}$; 薄膜在约 5 V 的电压下开始呈现饱和状态. 薄膜的 X 射线衍射显示,BIT 为 c 轴取向. 尽管 c 轴取向的 BIT 剩余极化较小,但整个薄膜系统的剩余极化比我们制备的同厚度 Au/PZT/p-Si 结构的剩余极化还高. 我们认为,这可能是钙钛矿结构的 PZT 与层状钙钛矿结构的 BIT 在结构上的相近而有利于 PZT 的结晶生长及向钙钛矿结构转化. 回线在不同电场方向上出现了不对称,这主要是该 MFS 异质结构在 M/F 界面和 F/S 界面的应力不同,以及在不同界面上可能出现的电荷积累差异所产生的不对称内电场对薄膜的影响。

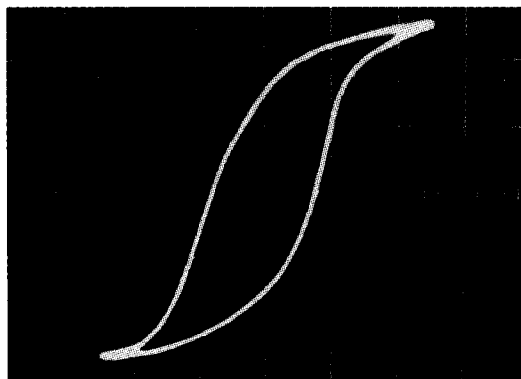


图1 Au/PZT/BIT/p-Si 结构铁电薄膜的 $P-E$ 曲线
x 轴为外加电场(每格 50 kV/cm), y 轴为极化(每格 10 $\mu\text{C}/\text{cm}^2$), 测试频率 1 kHz

2.2 C-V 特性

对于 MFS 结构,铁电薄膜的电荷存储模式有两种类型:一种是电注入型存储,另一种是电极化型存储.如果铁电薄膜与硅衬底之间存在较严重的界面反应与互扩散,导致铁电薄膜中存在大量陷阱态,电荷会直接从半导体表面注入铁电薄膜的陷阱态中,这种存储是靠注入电荷来实现的,必须依靠外加电源来维持,其 $C-V$ 特性曲线的回滞方向表现为: n -Si 衬底为顺时针, p -Si 衬底为逆时针.在电极化型存储的场合,信息存储是通过铁电极化引起半导体表面电荷补偿来实现的,由于铁电极化具有一定的保持特性,所存储的信息,即使在断电的情况下仍能够保持.这正是非易失性存储器所期望的存储模式,这种存储模式表现在 $C-V$ 曲线的回滞方向与注入型存储模式正好相反.

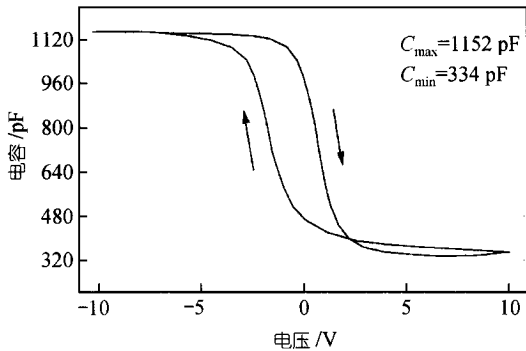


图 2 Au/PZT/BIT/ p -Si 结构铁电存储二极管 $C-V$ 特性曲线
测试频率 100 kHz

采用 HP4192A 型阻抗分析仪,对 Au/PZT/BIT/ p -Si 结构铁电存储二极管的 $C-V$ 特性曲线进行了测试.测试频率为 100 kHz,交流小信号幅度为 100 mV,直流偏压的递进幅度为 0.5 V,递变顺序从 0 V 增至 +10 V,再从 +10 V 降至 -10 V,最后从 -10 V 回到 0 V.图 2 为测试结果.由图可见, $C-V$ 特性曲线回滞方向为顺时针,记忆窗口大小约 2.4 V,证明存储性能是由铁电极化效应提供的,说明我们所采用的制膜工艺条件,以及 PZT 与 Si 之间加入 BIT 铁电层有效地控制了铁电薄膜与硅衬底之间的界面反应与互扩散;另一方面,由于 BIT 薄膜为 c 轴取向,与 Si(100) 晶格匹配良好,界面态密度较低,较少的界面态必然降低电荷的注入.但同时我们也观察到在 $C-V$ 特性曲线中较大的正偏压区域存在“拖尾”现象,说明在铁电薄膜中还存在一定程度的陷阱态,随着所加偏压的增加,铁电极化趋于饱和,导致一定程度的电荷注入,这还有待于对成膜工艺的进一步研究和完善.

2.3 I-V 特性

图 3 为 Au/PZT/BIT/ p -Si 结构铁电存储二极管的实测 $I-V$ 特性曲线.由图可见,给二极管施加负偏压时,电流密度很小且几乎不随偏压变化;正向偏压低于 +1 V 时,电流密度变化很小,超过 +1 V 后,电流密度随所加偏压的增大呈非线性快速增长,偏压达 +3.6 V 后电流密度增势趋缓,表现出类似于 Schottky 二极管的特性.这是因为实际的铁电薄膜并非理想绝缘体,一般认为是 p 型宽禁带半导体,与 p -Si 衬底之间形成 p - p 异质结;降低正偏压时, $I-V$ 特性曲线产生漂移而形成回滞,这是传统二极管所没有的,该回滞显然是由于铁电层的极化而产生的^[3, 4].我们还看到,在 +4 V 电压下其电流密度只有 $6.7 \times 10^{-8} \text{ A/cm}^2$,能满足 FMD 的要求; $I-V$ 回线中有不低于

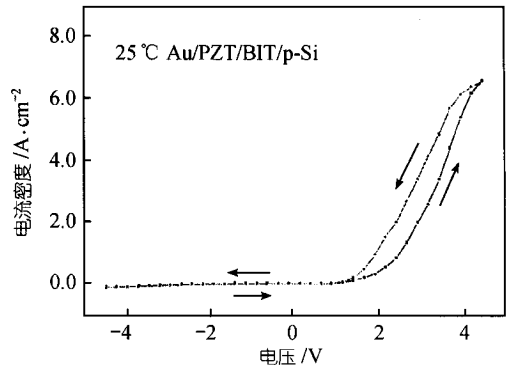


图 3 Au/PZT/BIT/ p -Si 结构 $I-V$ 特性回滞曲线

0.05 μA 的回滞窗口,表明所制备的铁电存储二极管具有了存储效应,可以实现存储功能。

2.4 疲劳特性

铁电存储器件在实际应用时需要经历大量的读/写循环,因此必须具有良好的疲劳特性。

图 4 表示在外加电压 $\pm 5\text{ V}$, 1 MHz 方波情况下, PZT/BIT 双层铁电薄膜的疲劳特性曲线。由图可见, 10^7 次循环以下 P_r 和 E_c 几乎没有变化;经过 10^9 次循环后, P_r 仅有约 10% 的下降, E_c 仅有约 12% 的增加。与我们制备的 Au/PZT/p-Si 结构相比,疲劳特性有一定提高。

目前铁电薄膜疲劳的微观机制主要有: 90° 电畴应力松弛和电畴钉扎、电荷缺陷形成缺陷电偶极子、极化过程中大的应力改变导致微裂纹的产生、电极与铁电界面空间电荷积累和导电枝生长等^[9~11]。我们认为, BIT 铁电层的加入有助于疲劳特性的改善。首先, BIT 为层状钙钛矿结构,由钙钛矿结构层 $(\text{Bi}_2\text{Ti}_3\text{O}_{10})^{2-}$ 和铋氧层 $(\text{Bi}_2\text{O}_2)^{2+}$ 相间隔而构成。由于 $(\text{Bi}_2\text{O}_2)^{2+}$ 层的分隔,类钙钛矿子晶格在 c 轴方向是不连续的,而在 a , b 轴方向是连续的,因此晶体中多数为 180° 电畴。众所周知,晶体中 90° 电畴开关伴随着较大的形变, 90° 电畴比 180° 电畴钉扎的概率要大得多,因此减少了 90° 电畴也就改善了疲劳。其次, Bi_2O_3 , TiO_2 等不易挥发,氧空位相对于含铅的 PZT 要少得多。同时, BIT 还可以起到阻挡 PZT 中氧空位向铁电薄膜/硅衬底界面的堆积,这对改善疲劳特性会起到积极的作用。第三, c 轴取向的 BIT 铁电薄膜与 (100) Si 衬底晶格匹配良好,铁电薄膜与衬底之间的应力大为减小。

2.5 读写特性

利用 I - V 特性曲线的回滞现象,通过由计算机控制的信号发生器产生一系列读写信号,对该铁电存储二极管的读写特性进行了测试,结果如图 5 所示。图中上半部为一系列输入读写电压信号脉冲,其中写“1”和读“1”信号电压分别为“+5 V”和“+2 V”,写“0”和读“0”信号电压分别为“-5 V”和“+2 V”。下半部为铁电存储二极管的响应电流信号脉冲。由图可见,在“+2 V”的相同电压信号脉冲下,铁电存储二极管的读“1”响应电流信号脉冲约为 0.1 μA ,读“0”响应电流信号脉冲约为 0.05 μA ,两者之间有 0.05 μA 的明显差别,完全可以区分读“1”和读“0”信号,证实了前述的 I - V 特性曲线回滞现象的存在,而且其较低的操作电压已能够与 Si 基集成电路相兼容。

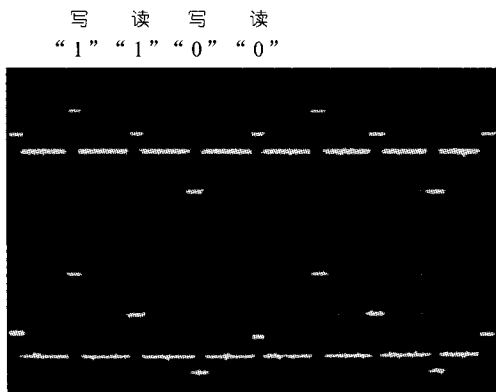


图 5 Au/PZT/BIT/p-Si 结构铁电存储二极管的读写特性

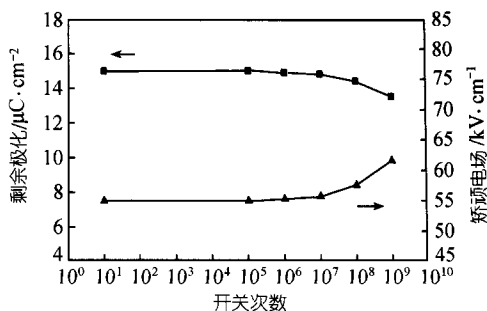


图 4 外加电压 $\pm 5\text{ V}$, 1 MHz 方波情况下 PZT/BIT 铁电薄膜系统疲劳曲线

首先, BIT 为层状钙钛矿结构,由钙钛矿结构层 $(\text{Bi}_2\text{Ti}_3\text{O}_{10})^{2-}$ 和铋氧层 $(\text{Bi}_2\text{O}_2)^{2+}$ 相间隔而构成。由于 $(\text{Bi}_2\text{O}_2)^{2+}$ 层的分隔,类钙钛矿子晶格在 c 轴方向是不连续的,而在 a , b 轴方向是连续的,因此晶体中多数为 180° 电畴。众所周知,晶体中 90° 电畴开关伴随着较大的形变, 90° 电畴比 180° 电畴钉扎的概率要大得多,因此减少了 90° 电畴也就改善了疲劳。其次, Bi_2O_3 , TiO_2 等不易挥发,氧空位相对于含铅的 PZT 要少得多。同时, BIT 还可以起到阻挡 PZT 中氧空位向铁电薄膜/硅衬底界面的堆积,这对改善疲劳特性会起到积极的作用。第三, c 轴取向的 BIT 铁电薄膜与 (100) Si 衬底晶格匹配良好,铁电薄膜与衬底之间的应力大为减小。

2.6 保持特性

保持特性是指断开电源后,存储器保持两个相反的极化状态的能力。保持时间太短一直是 MFS 结构铁电存储器件难以实现商业化的重要原因。

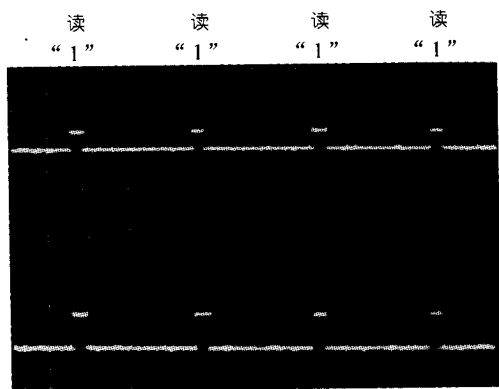


图 6 Au/PZT/BIT/p-Si 结构铁电存储二极管的保持特性
数据“1”写入 30 min 后的读取结果

我们对该铁电存储二极管的保持特性进行了测试. 实验中采用上面提到的读写特性测试类似的方法, 用单极性脉冲写“1”, 断开一段时间以后再用单极性脉冲读“1”, 数据写入与读取之间的时间间隔即为保持时间. 测试在室温下进行, 写“1”信号电压脉冲为 +5 V, 读“1”信号电压脉冲为 +2 V, 脉宽为 2 ms, 信号频率为 10 kHz. 图 6 为数据“1”写入 30 min 后的读取测试结果, 图中写电压信号脉冲为 5 V/格, 读取响应电流信号脉冲为 $0.1 \mu\text{A}$ /格. 测试结果表明, 写“1”经过 30 min 以后, 数据“1”仍能够读出, 读取响应电流脉冲约为 $0.08 \mu\text{A}$, 与图 5 的读“1”响应电流脉冲相接近. 对数据“0”也进行了同样的测试, 30 min 后也能读

出, 而且读“1”和读“0”响应电流脉冲仍可明显区分, 表明所制备的铁电存储二极管的存储信息在无外加电压的情况下保持时间达 30 min 以上.

3 结论

采用 PLD 方法成功地制备了 Au/PZT/BIT/p-Si 结构的铁电存储二极管. 与 Au/PZT/p-Si 结构相比, 实验证实 PZT 与 Si 之间加入 BIT 铁电层能充分发挥铁电极化电场的作用, 铁电性能测试显示较饱和的电滞回线; 疲劳特性有一定提高; 观察到源于铁电极化的 C - V 和 I - V 特性回线; +4 V 下漏电流密度仅 $6.7 \times 10^{-8} \text{ A/cm}^2$, 说明 BIT 的加入对改善 F/S 界面, 阻挡 PZT 与 Si 之间的互扩散起到了积极的作用; 在 +2 V 的读电压下, 读“1”和读“0”电流有 $0.05 \mu\text{A}$ 的明显差别, 而且 30 min 后这些信息仍能读出, 说明该二极管具有存储效应和一定的保持能力.

参 考 文 献

- 1 Scott J F, Araujo C A. Ferroelectric memories. *Science*, 1989, 246: 1400 ~ 1405
- 2 Sinharoy S, Buhay H, Lampe D R, et al. Integration of ferroelectric thin films into nonvolatile Memorys. *Journal of Vacuum Science & Technology*, 1992, A10(4): 1554 ~ 1561
- 3 Blom P W M, Wolf R M, Cillessen J F M, et al. Ferroelectric Schottky diode. *Physics Review Letters*, 1994, 73(15): 2107 ~ 2110
- 4 Kohtaroh Gotoh, Hiroataka Tamura, Hideki Takauchi, et al. Pt/PZT/n-SrTiO₃ ferroelectric memory diode. *Japanese Journal of Applied Physics*, 1996, 35: 39 ~ 43
- 5 Buhay H, Sinharoy S, Kasner W H. Pulsed laser deposition and ferroelectric characterization of bismuth titanate films. *Applied Physics Letters*, 1991, 58(14): 1470 ~ 1472
- 6 Yu Jun, Zhao Jianhong, Zhou Wenli, et al. Formation and characteristics of Pb(Zr, Ti)O₃ field-effect transistor with a SiO₂ buffer layer. *Applied Physics Letters*, 1997, 70(4): 490 ~ 492
- 7 Tadahiko H, Kazuhiro T, Takeharu N. Formation of metal/ferroelectric/insulator/semi-conductor structure with a CeO₂ buffer layer. *Japanese Journal of Applied Physics*, 1994, 33(P, 1.9B): 5219 ~ 5222
- 8 李景德. 电滞回线的精确测量和分析. *物理*, 1981, 10(12): 736 ~ 739
- 9 Arlt G, Pertsev N A. Force constant and effective mass of 90° domain walls in ferroelectric ceramics. *Journal of Applied Physics*, 1991, 70: 2283 ~ 2289
- 10 Duiker H M, Beale P D, Scott J F, et al. Fatigue and switching in ferroelectric memories: Theory and experiment. *Journal of Applied Physics*, 1990, 68: 5783 ~ 5791
- 11 Jiang Q Y, Cao W W, Cross L E. Electric fatigue in lead zirconate titanate ceramics. *Journal of the American Ceramic Society*, 1994, 77(1): 211 ~ 215