32 nm CMOS 工艺的单粒子多点翻转加固锁存器设计

黄正峰¹⁾, 曹迪¹⁾, 崔建国¹⁾, 鲁迎春¹⁾, 欧阳一鸣²⁾, 戚昊琛¹⁾, 徐奇¹⁾, 梁华国¹⁾, 倪天明^{3)*}

¹⁾(合肥工业大学电子科学与应用物理学院 合肥 230601)

²⁾(合肥工业大学计算机与信息学院 合肥 230601)

³⁾(安徽工程大学电气工程学院 芜湖 241000)
(timmyni126@126.com)

摘 要: 随着集成电路工艺不断改进, 电荷共享效应诱发的单粒子多点翻转已经成为影响芯片可靠性的重要因素。为此提出一种有效容忍单粒子多点翻转的加固锁存器: 低功耗多点翻转加固锁存器(low power multiple node upset hardened latch, LPMNUHL)。该锁存器基于单点翻转自恢复的双联互锁存储单元(dual interlocked storage cell, DICE), 构建三模冗余容错机制, 输出端级联“三中取二”表决器, 可以有效地容忍单粒子多点翻转, 表决输出正确逻辑值, 不会出现高阻态, 可以有效地屏蔽电路内部节点的软错误。该锁存器能够 100%容忍三点翻转, 四点翻转的容忍率高达 90.30%。通过运用高速传输路径、时钟选通技术和钟控表决器, 该锁存器有效地降低了功耗。32 nm 工艺下 SPICE 仿真表明, 与加固性能最好的三点翻转加固锁存器综合比较, LPMNUHL 的延迟平均降低了 40.16%, 功耗平均降低了 44.96%, 功耗延迟积平均降低了 65.40%, 面积平均降低了 34.60%, 并且对电压/温度波动不敏感。

关键词: 抗辐射加固设计; 单粒子三点翻转; 单粒子四点翻转; 软错误

中图法分类号: TP391.41 **DOI:** 10.3724/SP.J.1089.2021.18385

Design of Multiple Node Upset Tolerant Latch in 32 nm CMOS Technology

Huang Zhengfeng¹⁾, Cao Di¹⁾, Cui Jianguo¹⁾, Lu Yingchun¹⁾, Ouyang Yiming²⁾, Qi Haochen¹⁾, Xu Qi¹⁾, Liang Huaguo¹⁾, and Ni Tianming^{3)*}

¹⁾(School of Electronic Science & Applied Physics, Hefei University of Technology, Hefei 230601)

²⁾(School of Computer & Information, Hefei University of Technology, Hefei 230601)

³⁾(College of Electrical Engineering, Anhui Polytechnic University, Wuhu 241000)

Abstract: With continuous scaling of CMOS technology, single event multi-node upset induced by charge sharing effect has become an important factor affecting chip reliability. This paper proposed a novel multi-node upset (MNU) tolerant latch design: LPMNUHL. Based on DICE latch, where single node upset is resilient, the latch builds a mechanism of triple modular redundancy and uses a voter as output. The proposed latch is tolerant to multi-node upset and votes the correct output logic value. What's more, there is no high impedance state in the latch and soft errors of the internal nodes can be blocked successfully. The latch can not only tolerance triple node upset completely, but also tolerance 90.30% of quadruple node upset. Due to the use of a high-speed transmission path, the clock-gating technology and a clock-gating voter, the proposed latch is low power. In 32 nm CMOS technology, extensive SPICE simulation results demonstrate that

收稿日期: 2020-05-12; 修回日期: 2020-09-04. 基金项目: 国家自然科学基金(61874156, 61874157, 61904001, 61904047); 安徽省自然科学基金(1908085QF272). 黄正峰(1978—), 男, 博士, 教授, 博士生导师, CCF 会员, 主要研究方向为 SoC 芯片的抗辐射加固; 曹迪(1997—), 女, 硕士研究生, 主要研究方向为硬件容错; 崔建国(1996—), 男, 硕士研究生, 主要研究方向为硬件安全; 鲁迎春(1979—), 男, 硕士, 讲师, 主要研究方向为硬件安全; 欧阳一鸣(1963—), 男, 博士, 教授, 博士生导师, 主要研究方向为 NoC 测试; 戚昊琛(1981—), 女, 硕士, 高级实验师, 硕士生导师, 主要研究方向为集成电路与传感器的测试与设计; 徐奇(1991—), 男, 博士, 讲师, 主要研究方向为 3D 芯片测试与容错; 梁华国(1959—), 男, 博士, 教授, 博士生导师, 主要研究方向为内建自测试; 倪天明(1991—), 男, 讲师, 论文通讯作者, 主要研究方向为 3D 芯片测试与容错。

compared with the previous latches, the proposed latch has an average delay reduction of 40.16%, an average power reduction of 44.96%, an average power delay product reduction of 65.40%, and an area reduction of 34.60%. Moreover, the proposed latch is not sensitive to temperature and voltage variations.

Key words: radiation hardened by design; triple node upset; quadruple node upset; soft errors

CMOS 工艺技术的持续小型化在性能、功耗和面积特征方面提供了许多理想的特性,但随之而来的问题是现代大规模集成电路对高能粒子撞击的敏感性大大增加,因此极易受到由辐射引起的软错误的影响。地球环境中的中子或 α 粒子等放射性粒子以及太空环境中的质子、电子、重离子等都可能造成软错误^[1-2]。当一个高能粒子轰击电路存储模块中反向偏置晶体管的扩散区时,所产生的电荷可以通过漂移和扩散机制被附近的 PN 结收集,从而产生电压异常跳变,这种现象称为单粒子翻转(single event upset, SEU)^[3]。另外,由于节点电容和节点间距的急剧减小,一个高能粒子的撞击可能会影响多个节点,由电荷共享导致的三点翻转问题非常棘手。随着工艺技术持续发展,很快四点翻转问题就会在集成电路中出现。在现代复杂集成电路中,任何模块中的任何单粒子翻转都可能使电子器件执行发生错误甚至系统崩溃,因此容忍单粒子多点翻转的存储模块对构建可靠性的大规模集成电路非常关键。

抗辐射加固设计(radiation hardening by design, RHBD)是目前广泛应用的加固方法,它能够有效地缓解软错误对锁存器的影响^[4]。基于抗辐射加固设计,提出了许多抗辐射加固的存储单元^[1,5-9],其中许多设计主要针对单粒子单点翻转(single node upset, SNU)或者单粒子双点翻转(double node upset, DNU)。然而,在先进的纳米工艺中,功能精细和高度集成的设备会出现单粒子三点翻转(triple node upset, TNU)的情况。目前提出的 TNU 加固锁存器非常有限,并且这些结构的性能也有待提高^[1,8-9]。三模冗余方法(triple modular redundancy, TMR)是一种经典的加固方法,它能够有效地屏蔽锁存器内部节点的软错误,具有高度可靠性,并广泛应用于航天航空设备。

为了屏蔽 TNU 甚至是单粒子四点翻转,本文提出一种新型的低功耗多点翻转加固锁存器(low power multiple node upset hardened latch, LPMNUHL),其包括 3 个单点自恢复 DICE 单元和 1 个钟控 3 选 2 表决器,通过 3 个 DICE 单元存储数据,再经过表决器输出数据。由于 DICE 单元可

以实现 SNU 自恢复,任意 2 个 DICE 单元存储正确数据即可保证锁存器输出正确数据,因此 LPMNUHL 可以完全容忍所有的 SNU, DNU 和 TNU。大量仿真结果表明, LPMNUHL 完全容忍 TNU。由于采用高速传输路径、时钟选通技术和较少的晶体管,与最先进的 TNU 加固锁存器相比, LPMNUHL 成本低,性能好。另外,航空航天应用需要高可靠性和成本效益的平衡, LPMNUHL 不使用 C 单元,因此它对高阻态不敏感,更符合航天应用的需求。

1 已有的加固结构

目前,国内外学者提出了许多基于 RHBD 方法的加固锁存器。一类加固方法通过提高节点电容和晶体管宽度增加节点的关键电荷,以提高锁存器容忍 SEU 的能力,但其只能容忍一定量的 SEU;另一类加固方法通过修改锁存器的结构实现 SEU 的完全容忍,即不论 SEU 的能量多高,锁存器都能输出正确逻辑值。

目前,第 2 类加固方法较为常用,其中 C 单元和 DICE 单元广泛应用于典型的抗辐射加固锁存器设计。这些常用单元的结构如图 1 所示。图 1a 和图 1c 分别是双输入和 3 输入 C 单元示意图,类似可以推出 4 输入 C 单元的结构。C 单元能够过滤发生在其输入节点的 SEU,当 C 单元的输入相同时,输出为输入的相反逻辑值;当 C 单元的输入不同时,输出节点保持之前的逻辑值并进入高阻态。图 1b 和图 1d 分别是由系统时钟(CLK)和反系统时钟(NCK)信号控制的钟控 C 单元结构图;图 1e 是 DICE 单元的结构图。DICE 单元可以从任何 SNU 中自恢复,但是,它仅能从 33.3%的 DNU 中自恢复。一些典型加固锁存器的结构如图 2 所示,其中开关是传输门(transmission gate, TG)。对于开关的时钟信号连接方法,本文以图 2a 中输入 D 旁边的左开关为例。由于 PMOS 晶体管的栅极连接到 NCK, NMOS 晶体管的栅极连接到 CLK,其标记为 NCK。这些表示方法适用于本文中的所有锁存器。下面介绍一些典型的加固锁存器设计方案。

图 1 常用单元

图 2a 所示为标准静态锁存器, 它仅使用 2 个反相器构成的反馈回路来存储数据, 因此不能有效地容忍 SNU. 此外, 由于它不使用 C 单元, 因此它对高阻态不敏感. 图 2b 所示为 LSEH 锁存器的结构图^[5]. 基于双模冗余机制, 该锁存器由 2 个未加固的存储单元和 1 个 C 单元组成, 能完全容忍单点翻转. 由于 C 单元的输入信号与 D 信号之间存在延迟差, 因此 C 单元可以过滤其单个输入中的 SEU. 在 C 单元输出端连接保持器来降低高阻态敏感性. 然而, 该锁存器不能容忍单粒子多点翻转.

图 2c 所示为 DNCS 锁存器^[6], 它能够完全容忍 DNU. 该锁存器主要由 6 个双输入 C 单元组成的反馈回路构成, 取其中 3 个非相邻节点作为 3 输入 C 单元的输入, 因此该锁存器可以容忍任何

DNU. 但是, 该锁存器不能从 DNU 中自恢复. 图 2d 所示为 NTHLTCH 锁存器^[7], 其采用 9 个互锁 C 单元构成的反馈回路实现锁存器的基本功能, 采用时钟控制技术改善功耗和延迟, 通过 3 条反馈回路可以实现 DNU 自恢复. 然而, 它不能有效地容忍 TNU. 图 2e 所示为 DNURL^[8], 它由 3 个 RFC 单元组成, 其中 RFC 单元通过 3 个互锁的 C 单元来容忍 SNU. 因此, 该锁存器可以完全容忍 DNU, 但是不能有效地容忍 TNU.

图 2f 所示为 TNURL^[9], 它由 7 个 SIM 单元组成, 其中 SIM 单元由 2 个 3 输入 C 单元和 1 个钟控双输入 C 单元组成, 通过 SIM 单元的交叉互联该锁存器能够容忍 TNU. 图 2g 所示为 DICE4TNU 锁存器^[10], 它包括 4 个互锁的 DICE 单元和 1 个 4 输入的 C 单元, 可以容忍 TNU; 由于包含 C 单元, 它对高阻态敏感. 图 2h 所示为 TNUHL^[1], 它通过 5 个互锁的 4 输入 C 单元来创建反馈回路以存储数据; 数据从反馈回路同时进入 2 个 3 输入 C 单元, 最后通过 1 个双输入 C 单元输出信号, 也能够容忍 TNU. 由于大量使用 C 单元, 上面 3 种 TNU 加固锁存器设计都对高阻态敏感, 并且 TNURL 和 TNUHL 面积非常大, 性能也比较低. 已有加固结构大量使用 C 单元, 使内部许多节点出现高阻态, 在高频电路中, 处于高阻态的节点不能保持正确逻辑值, 以至于不能实现锁存器的正常功能. 为此, 本文提出一种低成本 TNU 加固锁存器.

2 本文加固锁存器设计

2.1 电路结构及工作原理

本文基于单点自恢复 DICE 单元, 构建三模冗余容错机制, 提出一种抗 TNU 加固锁存器 (LPMNUHL), 其成本低, 响应速度快且对高阻态不敏感, 电路结构如图 3 所示. LPMNUHL 通过 3 个 SNU 自恢复 DICE 单元(DICE₁, DICE₂ 和 DICE₃) 存储数据, 输出端连接钟控表决器输出数据, 本文采用钟控表决器代替传统表决器, 减少晶体管数目, 能够有效地降低功耗. 锁存器包含 7 个传输门、3 个 DICE 单元和 1 个钟控表决器; D 是输入信号, Q 为输出信号, CLK 和 NCK 分别是系统时钟和反系统时钟.

当 CLK=1, NCK=0 时, 所有传输门打开, 钟控表决器关闭, 锁存器工作在透明期. 输入信号 D 同时传输到节点 N₁, N₂, N₃, N₄, N₅, N₆ 和 Q, 而处于关闭状态的钟控表决器不工作, 进一步降

图2 已有的经典加固结构

低功耗. 即输出 Q 被输入 D 唯一确定, 进而大大降低数据的传输延迟.

当 $\text{CLK}=0$, $\text{NCK}=1$ 时, 所有传输门关闭, 钟控表决器打开, 锁存器工作在保持期. 此时, 在 3 个 DICE 单元中, 节点 N_1 到 N_6 的逻辑值可以传输

到节点 N_{1b} 到 N_{6b} , 节点 N_{1b} 到 N_{6b} 的逻辑值又反馈到节点 N_6 到 N_1 , 由此形成的反馈回路可以存储数据; 而存储在 3 个 DICE 单元中的数据通过表决器传输到输出 Q . 综上所述, LPMNUHL 可以实现存储并输出正确数据.

图3 本文锁存器结构

2.2 SNU, MNU 容错原理分析

下面介绍锁存器在保持期的容忍 SNU, DNU, TNU 和四点翻转原理. 首先以 $DICE_1$ 为例, 对 $DICE$ 单元的容错能力进行简要分析.

$DICE_1$ 单元有 4 个内部节点 N_1, N_{1b}, N_2 和 N_{2b} . 当 $CLK=1$ 时, $DICE_1$ 单元为透明模式, 输入信号 D 进入 $DICE_1$ 单元中的节点 N_1 和 N_2 , 节点 N_{1b} 为 $DICE_1$ 单元的输出. 当 $CLK=0$ 时, $DICE_1$ 单元为保持模式. (1) 若 4 个内部节点中有 1 个节点发生 SEU, 与该节点相邻的 2 个节点保持正确逻辑值, 该节点通过所在的双输入反相器恢复正确逻辑值. (2) 若 4 个内部节点中 2 个节点发生 SEU, 仅有 1 种情况 $DICE_1$ 单元的输出不会出错, 这种情况为: 2 个相邻节点同时翻转, 前节点由 1 翻转为 0, 后节点由 0 值翻转为 1. (3) 若 4 个内部节点中 2 个以上节点发生 SEU, $DICE_1$ 单元的输出发生错误. 综上所述, $DICE$ 单元能够 100% 容忍单点翻转, 双点翻转的容忍率为 33.3%.

对于单点翻转情况: 由于 $DICE_1, DICE_2$ 和 $DICE_3$ 可以实现单点翻转自恢复, 节点 $N_1 \sim N_6$ 和 $N_{1b} \sim N_{6b}$ 可以从单点翻转中自恢复, 因此锁存器可以容忍 SNU. 对于双点翻转情况: 根据发生翻转的 2 个节点是否在 1 个 $DICE$ 单元中, 可分为 2 种情况讨论.

(1) 发生翻转的 2 个节点分别位于 2 个 $DICE$ 单元中, 每个 $DICE$ 单元都可以单点翻转自恢复, 数据在进入表决器时已经恢复为正确逻辑值, 因此锁存器输出正确逻辑值.

(2) 发生翻转的 2 个节点位于 1 个 $DICE$ 单元中, 另外 2 个锁存器存储正确逻辑值, 通过表决器后, 锁存器输出正确逻辑值.

对于三点翻转情况, 根据发生翻转的 3 个节点所处 $DICE$ 单元的不同情况, 分 3 类进行讨论. 三点翻转的各类情况统计如表 1 所示.

表 1 内部三点翻转的分类讨论

$DICE_1$	$DICE_2$	$DICE_3$	故障总数
▲	▲	▲	128
▲▲	▲		288
▲▲	▲	▲▲	
▲▲		▲▲	
▲▲	▲	▲▲	
▲▲▲	▲▲	▲	24
▲▲▲	▲▲▲		
		▲▲▲	440
累计			

注. ▲表示有 1 个内部状态节点发生翻转, ▲▲表示有 2 个内部状态节点同时发生翻转, ▲▲▲表示有 3 个内部状态节点同时发生翻转.

(1) $DICE_1, DICE_2$ 和 $DICE_3$ 单元中分别有 1 个节点翻转, $DICE_1, DICE_2$ 和 $DICE_3$ 单元的对应输出 N_{1b}, N_{3b} 和 N_{5b} 均为正确逻辑值, 通过表决器后输出 Q 仍为正确逻辑值. 此类情况共有 128 种.

(2) $DICE_1, DICE_2$ 和 $DICE_3$ 单元中有 1 个单元中有 2 个节点翻转, 另外 1 个单元中有 1 个节点翻转, 剩余 1 个单元中没有节点翻转, 此时 3 个单元的输出 N_{1b}, N_{3b} 和 N_{5b} 中至少有 2 个为正确逻辑值, 经过表决器后输出 Q 仍为正确逻辑值. 此类情况共有 288 种.

(3) $DICE_1, DICE_2$ 和 $DICE_3$ 单元中有 1 个单元中有 3 个节点翻转, 另外 2 个单元中没有节点翻转, 此时 3 个单元的输出 N_{1b}, N_{3b} 和 N_{5b} 中有 2 个为正确逻辑值, 经过表决器后输出 Q 仍为正确逻辑值. 因此, 本文算法能完全容忍三点翻转. 此类情况共有 24 种.

综上所述, LPMNUHL 对三点翻转的 440 种情况完全容忍.

对于四点翻转情况, 基于对 DICE 单元的容错分析, 根据发生翻转的 4 个节点所处 DICE 单元的不同情况, 分 4 类进行讨论. 四点翻转的各类情况统计如表 2 所示.

表 2 内部四点翻转的分类讨论

DICE ₁	DICE ₂	DICE ₃	可容数目/故障总数
▲	▲	▲▲	576/576
▲▲	▲▲	▲	
▲▲	▲	▲	
▲	▲▲▲		192/192
▲▲▲	▲		
▲		▲▲▲	
▲▲▲		▲	
	▲	▲▲▲	
	▲▲▲	▲	120/216
▲▲		▲▲	
▲▲	▲▲		
▲▲▲▲			6/6
	▲▲▲▲		
		▲▲▲▲	
累计			894/990

注. ▲表示有 1 个内部状态节点发生翻转, ▲▲表示有 2 个内部状态节点同时发生翻转, ▲▲▲表示有 3 个内部状态节点同时发生翻转, ▲▲▲▲表示有 4 个内部状态节点同时发生翻转.

(1) DICE₁, DICE₂ 和 DICE₃ 单元中有 2 个单元中分别有 1 个节点翻转, 剩余 1 个单元中有 2 个节点翻转, 此时 3 个单元的输出 N_{1b} , N_{3b} 和 N_{5b} 中至少有 2 个为正确逻辑值, 经过表决器后输出 Q 仍为正确逻辑值. 此类情况有 576 种.

(2) DICE₁, DICE₂ 和 DICE₃ 单元中有 1 个单元中有 3 个节点翻转, 1 个单元中有 1 个节点翻转, 剩余 1 个单元中没有节点翻转, 此时 3 个单元的输出 N_{1b} , N_{3b} 和 N_{5b} 中有 2 个为正确逻辑值, 经过表决器后输出 Q 仍为正确逻辑值. 此类情况有 192 种.

(3) DICE₁, DICE₂ 和 DICE₃ 单元中有 2 个单元中分别有 2 个节点翻转, 剩余 1 个单元中没有节点翻转, 此时若 2 个内部节点翻转的单元中至少有 1 个为 DICE 单元可容忍的双点翻转情况, 那么 3 个单元的输出 N_{1b} , N_{3b} 和 N_{5b} 中至少有 2 个为正确逻辑值, 经过表决器后输出 Q 仍为正确逻辑值,

此类情况有 120 种; 否则输出 Q 为错误逻辑值, 这是 LPMNUHL 唯一不能容忍的四点翻转情况, 这种情况中 2 个 DICE 单元的输出都出错, 锁存器也会输出错误数据, 此类情况有 96 种.

(4) DICE₁, DICE₂ 和 DICE₃ 单元中有 1 个单元中有 4 个节点翻转, 剩余 2 个单元中没有节点翻转, 此时 3 个单元的输出 N_{1b} , N_{3b} 和 N_{5b} 中有 2 个为正确逻辑值, 经过表决器后输出 Q 仍为正确逻辑值. 此类情况有 6 种.

因此, LPMNUHL 对四点翻转的 990 种情况可容忍 894 种情况, 抗单粒子四点翻转能力高达 90.30%.

综上所述, LPMNUHL 能够完全容忍 SNU、双点翻转和三点翻转, 并且对四点翻转的容忍率高达 90.30%. 另外, 由于锁存器不使用 C 单元, 因此对高阻态不敏感, 高度可靠性使其更适用于航空航天应用.

2.3 仿真分析

本文使用 SPICE 仿真工具验证锁存器的 SNU, DNU, TNU 和四点翻转容错能力. SPICE 仿真条件为 32nm 的 PTM 工艺模型^①、电源电压 0.9V、时钟频率 125MHz、温度为室温, PMOS 管的 $W/L=4$, NMOS 管的 $W/L=2$.

PTM 模型是目前针对软错误影响下电路可靠性问题的典型电路仿真模型, 32nm 下对应电源电压为 0.9V. 本文采用双指数电流源模拟高能粒子入射引起的瞬态电流^[1], 为了更清晰地观察波形图中容错情况, 仿真时故障注入电荷量为 15fC, 波形图中的标记代表在该节点该时刻注入故障.

如图 4 所示, 在保持期对 LPMNUHL 注入瞬态故障, 验证其容忍单点翻转和双点翻转的能力. 在 6ns, $Q=1$ 时, 对节点 N_{1b} 注入正向脉冲, 可见输出 Q 保持正确的逻辑值. 在 17ns, $Q=0$ 时, 对节点对 (N_{5b} , N_6) 注入瞬态脉冲, 输出 Q 保持正确的逻辑值; 在 26ns, $Q=1$ 时, 对节点对 (N_{2b} , N_{3b}) 注入瞬态脉冲, 输出 Q 保持正确的逻辑值. 总之, LPMNUHL 可以容忍 SEU 和 DNU.

如图 5 所示, 在保持期对 LPMNUHL 注入瞬态故障, 验证其容忍三点翻转的能力. 在图 5a 中, 当 $Q=1$ 时, 在 8ns, 对分布于 3 个 DICE 单元的节点组 (N_2 , N_4 , N_6) 都注入负向脉冲, 可以看到输出 Q 没有受到影响, 依然保持正确逻辑值. 在 24ns,

① <http://ptm.asu.edu/>

图4 SNU, DNU容错仿真波形

对分布于 2 个 DICE 单元的节点组 (N_1, N_{1b}, N_{4b}) 分别注入负向脉冲和正向脉冲, 可以看到输出 Q 没有受到影响, 依然保持正确逻辑值. 在 24 ns, 对位于 1 个 DICE 单元的节点组 (N_5, N_{5b}, N_{6b}) 分别注入正向脉冲和负向脉冲, 可以看到虽然 N_6 节点受到影响, 但输出 Q 没有受到影响, 依然保持正确逻辑值. 图 5b 中显示了当输出 $Q=0$ 时, 第 3 类故障注入的仿真结果, 显然输出 Q 保持正确逻辑值. 总之, LPMNUHL 可以完全容忍 TNU.

如图 6 所示, 在保持期对 LPMNUHL 注入瞬态故障, 验证其容忍四点翻转的能力. 由于注入故障

的节点数目较多, 用 2 张波形图显示仿真结果. 在图 6a 中, 首先验证第 1 类故障情况: 在 8 ns 时, 对节点组 (N_5, N_6, N_2, N_4) 注入负向脉冲, 可以看到输出 Q 没有受到影响, 依然保持正确逻辑值. 接下来验证第 2 类故障情况: 在 24 ns 时, 对节点组 (N_2, N_4, N_{1b}, N_{2b}) 分别注入负向脉冲和正向脉冲, 可以看到输出 Q 没有受到影响, 依然保持正确逻辑值. 在图 6b 中, 验证第 3 类故障情况: 在 8 ns 时, 对节点组 ($N_2, N_{2b}, N_{5b}, N_{6b}$) 分别注入负向脉冲和正向脉冲, 可以看到虽然 N_5 节点和 N_6 节点受到影响, 但输出 Q 没有受到影响, 依然保持正确逻辑值. 验证第 4 类故障情况: 在 25 ns 时, 对节点组 (N_{5b}, N_{6b}, N_5, N_6) 分别注入正向脉冲和负向脉冲, 可以看到输出 Q 没有受到影响, 依然保持正确逻辑值. 综上, LPMNUHL 可以容忍这些类型的单粒子四点翻转, 容忍率为 90.30%.

综上所述, 仿真结果验证了 LPMNUHL 在正常工作的基础上, 具有能够容忍 SNU, DNU, TNU 和四点翻转的能力.

3 性能对比分析

本节将 LPMNUHL 与第 2 节中列出的经典加固锁存器在 TNU 容错能力、对高阻态的敏感性、延迟、功耗、面积和功耗-延迟积等方面进行比较. 表 3 和表 4 分别详细列出了各锁存器的加固性能和具体参数. 为了实验公平性, 进行比较的锁存器

a. 验证第1类和第2类故障情况

b. 验证第3类故障情况

图5 TNU容错仿真波形

图6 QNU容错仿真波形

表3 锁存器的加固性能比较

锁存器	容忍 SNU	容忍 DNU	容忍 TNU	QNU 容忍率/%	高阻态 不敏感
标准静态	×	×	×	0.00	√
LSEH ^[5]	√	×	×	0.00	√
DNCS ^[6]	√	√	×	0.00	√
NTHLTCH ^[7]	√	√	×	0.00	√
DNURL ^[8]	√	√	×	0.00	√
TNURL ^[9]	√	√	√	91.40	×
DICE4TNU ^[10]	√	√	√	98.59	×
TNUHL ^[1]	√	√	√	57.14	×
LPMNUHL	√	√	√	90.30	√

表4 各锁存器的开销比较

锁存器	延迟/ps	功耗/ μ W	面积/UST	功耗延迟积/aJ
标准静态	52.02	0.68	30	35.37
LSEH ^[5]	101.54	1.03	84	104.58
DNCS ^[6]	119.01	1.08	150	128.54
NTHLTCH ^[7]	10.83	1.41	174	32.05
DNURL ^[8]	15.92	1.15	198	18.31
TNURL ^[9]	15.23	1.20	384	18.28
DICE4TNU ^[10]	5.58	1.32	156	7.37
TNUHL ^[1]	119.35	1.63	246	194.54
LPMNUHL	7.10	0.75	150	5.31

都使用相同的宽长比, 采用 32 nm PTM 工艺模型, 0.9 V 供电电压, 125 MHz 时钟频率, 温度为室温。

首先对加固性能进行比较, 从表 3 中可以看出, 标准静态锁存器虽然不能容忍单点翻转以及多点翻转, 但是它结构简单不使用 C 单元, 因此

它对高阻态不敏感。对于 LSEH 锁存器, 若连接 C 单元的 2 个模块中有节点同时发生翻转, C 单元的输出就会产生错误逻辑值, 因此它不能容忍多点翻转。另外, 该锁存器的输出端连接了保持器, 因此它对高阻态不敏感。而 DNCS 锁存器、NTHLTCH 锁存器和 DNURL 只能容忍双点翻转, 对任何三点翻转不具备容错能力, 并且这些锁存器都对高阻态不敏感。对于 TNURL, DICE4TNU 锁存器和 TNUHL, 虽然这些锁存器能够容忍三点翻转, 但是它们大量使用 C 单元, 因此对高阻态敏感。而 LPMNUHL 能够在不使用 C 单元的情况下容忍三点翻转甚至四点翻转, 对高阻态不敏感。因此, LPMNUHL 比上述所有的多点翻转加固锁存器更可靠。

然后对开销进行比较, 首先讨论延迟。从表 4 中第 2 列数据可以清晰看出, DICE4TNU 锁存器和 LPMNUHL 延迟较小, 这是因为它们都使用了高速传输路径, 即在透明期将输入 D 通过传输门直接传输到输出 Q。由于使用高速传输路径, 锁存器处于透明期时工作的晶体管数目大大减少。另外, 由于 TNUHL 从输入 D 到输出 Q 通过了大量的晶体管, 因此它的延迟最大。然后讨论面积开销。从表 4 可以看出, 标准静态锁存器的面积最小。由于晶体管个数与锁存器面积直接相关, 标准静态锁存器使用晶体管数目最少, 因此面积最小。TNURL 的面积最大, 因为它使用的晶体管数目最多。通常, 多点翻转加固锁存器会引入较大的面积损耗, 这是因为要容忍单粒子多点翻转需要足够

多的晶体管来创建具有高可靠性的电路框架. 然而由于使用较少的晶体管, LPMNUHL 与其他三点加固锁存器相比面积最小. 下面讨论其功耗. 表 4 中所列锁存器中标准静态锁存器功耗最低, 原因是它包含的晶体管最少而且在透明期不含有源反馈回路. TNUHL 由于在透明期构建了太多反馈回路, 导致其在所有结构中功耗最大. 而 LPMNUHL 功耗较小, 与所有多点翻转加固锁存器相比功耗最小. 另外, 本文还比较了这些锁存器的功耗延迟积. 从表 4 可以看出, LPMNUHL 的功耗延迟积最小, 原因主要是该结构功耗较小, 虽然与 DICE4TNU 锁存器相比延迟有所不足, 但是折中效果较好. 由上述讨论可以看出, LPMNUHL 在所有多点翻转加固锁存器中是低成本的.

为了便于直观观察, 表 5 列出了 LPMNUHL 与其他容错能力相当锁存器的相对延迟(Δ 延迟)、相对功耗开销(Δ 功耗)、相对面积开销(Δ 面积)以及相对功耗延迟积(Δ 功耗延迟积). 其中, $\Delta = 100\% \times ((\text{对比锁存器} - \text{LPMNUHL}) / \text{对比锁存器})$. 若 Δ 值为正, 则意味该项指标 LPMNUHL 优于对比锁存器; 若 Δ 值为负, 则意味该项指标 LPMNUHL 劣于对比锁存器. 与 TNUHL 相比, LPMNUHL 降低了 94.05% 的延迟、54.11% 的功耗、39.02% 的面积和 97.27% 的功耗延迟积. 与 DICE4TNU 锁存器相比, LPMNUHL 虽然在延迟方面处于劣势, 但是在功耗方面降低了 43.38%. 从表 5 中最后一行数据可以看出, LPMNUHL 平均节

省了 40.16% 的延迟、44.96% 的功耗、34.60% 的面积和 65.40% 的功耗延迟积.

表 5 三点翻转加固锁存器的相对开销比较 %

锁存器	Δ 延迟	Δ 功耗	Δ 面积	Δ 功耗延迟积
TNURL ^[9]	53.41	37.39	60.94	70.83
DICE4TNU ^[10]	-27.00	43.38	3.85	28.10
TNUHL ^[11]	94.05	54.11	39.02	97.27
平均值	40.16	44.96	34.60	65.40

随着工艺不断改进, 晶体管尺寸迅速缩小, 电压/温度波动对纳米集成电路的可靠性影响日益严重^[12]. 因此, 本文对 4 种均能容忍三点翻转的加固锁存器(TNURL, DICE4TNU 锁存器、TNUHL 和 LPMNUHL)在电压/温度波动下的延迟与功耗进行了评估. 图 7 所示为锁存器的电源电压和温度变化对延迟与功耗的影响. 锁存器的正常电源电压设定为 0.9 V, 电源电压变化范围为 0.8~1.25 V, 正常温度设定为 25℃, 温度设定为-40~100℃. 图 7a 和图 7b 分别为电源电压变化对延迟与功耗的影响, 图 7c 和图 7d 分别为温度变化对延迟与功耗的影响.

从图 7a 可以看出, 随着电源电压的变化, TNUHL 的延迟变化最大, 原因是该锁存器基于许多 C 单元堆叠来容忍三点翻转, 而数据通过多个 C 单元进行传输, 延迟较大. 而 TNURL, DICE4TNU 锁存器和 LPMNUHL 的延迟变化范围相近, 也就是说这 3 个锁存器具有相似的灵敏度, 这是因为这

图 7 电压和温度波动对锁存器的影响

些锁存器均采用了从输入 D 直接到输出 Q 的高速传输路径. 由图 7b 可见, TNUHL 和 DICE4TNU 锁存器的功耗对电源电压的变化敏感度较高, 主要是由较大的面积开销和反馈回路造成的. 而 TNURL 和 LPMNUHL 由于在输出端采用钟控技术, 所以它们的功耗受电源电压影响较小.

从图 7c 可以看出, TNUHL 的延迟对温度变化的敏感度最大, 同时 DICE4TNU 锁存器、TNUHL 和 LPMNUHL 的延迟对温度变化的灵敏度相似且非常低. 与图 7b 类似, 由图 7d 可见, TNURL 的功耗对温度变化更加敏感, 同时 DICE4TNU 锁存器、TNUHL 和 LPMNUHL 的功耗随温度变化的趋势相近, 但 LPMNUHL 的功耗在同等条件下是最低的. 总之, LPMNUHL 对电源电压和温度的变化具有较低的灵敏性.

4 结 语

CMOS 工艺技术持续小型化, 晶体管尺寸急剧减小, 由电荷共享造成的 TNU 问题越发严重. 现有的加固锁存器存在问题, 如不能容忍 TNU、开销大成本高或者对高阻态敏感等. 本文将 SNU 自恢复 DICE 单元嵌入三模冗余机制, 提出一种低成本高阻态不敏感的三点翻转加固锁存器设计. 通过 3 个独立的 DICE 单元结合 3 选 2 表决器, 该锁存器可以有效地屏蔽电路内部节点的软错误. 本文利用高速传输路径、时钟选通技术和钟控表决器实现低功耗的加固设计. 另外, LPMNUHL 不采用 C 单元, 因此对高阻态不敏感, 可靠性更高. 相比于已有的加固结构, LPMNUHL 的延迟、功耗、面积和功耗延迟积分别平均降低了 40.16%, 44.96%, 34.60% 和 65.40%, 并且对电压/温度波动敏感性较低.

参考文献(References):

[1] Watkins A, Tragoudas S. Radiation hardened latch designs for double and triple node upsets[J]. IEEE Transactions on Emerging Topics in Computing, 2020, 8(3): 616-626

[2] Gadlage M J, Roach A H, Duncan A R, *et al.* Soft errors induced by high-energy electrons[J]. IEEE Transactions on Device and Materials Reliability, 2017, 17(1): 157-162

[3] Huang Zhengfeng, Li Xuejian, Lu Yingchun, *et al.* Low-power radiation hardened 12T memory cell design in 65 nm CMOS process[J]. Journal of Computer-Aided Design & Computer Graphics, 2019, 31(3): 504-512(in Chinese)
(黄正峰, 李雪健, 鲁迎春, 等. 65 nm CMOS 工艺的低功耗加固 12T 存储单元设计[J]. 计算机辅助设计与图形学学报, 2019, 31(3): 504-512)

[4] Huang Zhengfeng, Feng Zhicheng, Yao Huijie, *et al.* Double node upset tolerant latch based on hybrid TMR[J]. Journal of Computer-Aided Design & Computer Graphics, 2018, 30(5): 968-974(in Chinese)
(黄正峰, 凤志成, 姚慧杰, 等. 基于混合三模冗余的容忍双点翻转锁存器[J]. 计算机辅助设计与图形学学报, 2018, 30(5): 968-974)

[5] Rajaei R, Tabandeh M, Fazeli M. Low cost soft error hardened latch designs for nano-scale CMOS technology in presence of process variation[J]. Microelectronics Reliability, 2013, 53(6): 912-924

[6] Katsarou K, Tsiatouhas Y. Soft error interception latch: double node charge sharing SEU tolerant design[J]. Electronics Letters, 2015, 51(4): 330-332

[7] Li Y Q, Wang H B, Yao S Y, *et al.* Double node upsets hardened latch circuits[J]. Journal of Electronic Testing, 2015, 31(5/6): 537-548

[8] Yan A B, Huang Z F, Yi M X, *et al.* Double-node-upset-resilient latch design for nanoscale CMOS technology[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2017, 25(6): 1978-1982

[9] Yan A B, Feng X F, Hu Y J, *et al.* Design of a triple-node-upset self-recoverable latch for aerospace applications in harsh radiation environments[J]. IEEE Transactions on Aerospace and Electronic Systems, 2020, 56(2): 1163-1171

[10] Lin D P, Xu Y R, Li X Y, *et al.* A novel self-recoverable and triple nodes upset resilience DICE latch[J]. IEICE Electronics Express, 2018, 15(19): 20180753

[11] Maheshwari A, Burleson W, Tessier R. Trading off transient fault tolerance and power consumption in deep submicron (DSM) VLSI circuits[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2004, 12(3): 299-311

[12] Liang Hao, Xia Yinshui, Qian Libo, *et al.* Low power 3-input AND/XOR gate design[J]. Journal of Computer-Aided Design & Computer Graphics, 2015, 27(5): 940-945(in Chinese)
(梁浩, 夏银水, 钱利波, 等. 低功耗三输入 AND/XOR 门的设计[J]. 计算机辅助设计与图形学学报, 2015, 27(5): 940-945)