DOI: 10.19816/j.cnki.10-1594/tn.2023.01.001

ISSCC 2023 国内论文技术热点分析

李琼，曾气亮，张荣芳，张莹
（北京市科学技术研究院信息与人工智能技术研究所　北京　100089）

摘　要：5G、物联网、人工智能等新技术和应用模式的出现，对集成电路提出了更高的性能要求，集成电路产业已成为各国争相发展的战略重点产业。ISSCC 作为集成电路设计领域最高级别会议，集结了国际最尖端固态电路技术。本文首先简单回顾近 5 年 ISSCC 中国内地和港澳地区学者论文的录用情况，随后聚焦 ISSCC 2023，对中国内地和港澳地区学者论文的作者、机构、基金项目、合作情况和研究方向进行了详细的统计分析，并对上述论文主要内容进行翻译整理，旨在帮助国内集成电路领域的科研人员快速了解 ISSCC 2023 的最新成果和前沿研究，对国内集成电路领域的合作模式和关键发展趋势提供有益洞察，推动集成电路领域的创新和发展。

关键词：ISSCC；集成电路；技术趋势；文献计量
中图分类号：TN43；G255.51　**文献标识码：**A　**国家标准学科分类代码：**510

Analysis of technical hotspots in ISSCC 2023 domestic papers

LI Qiong，ZENG Qiliang，ZHANG Rongfang，ZHANG Ying
(*Institute of Information and Artificial Intelligence Technology, Beijing Academy of Science and Technology, Beijing 100089, China*)

Abstract: The emergence of new technologies and application models such as 5G, internet of things (IoT), and artificial intelligence (AI) has raised higher performance requirements for integrated circuits, and the integrated circuit industry has become a strategic priority for countries to develop. As the highest-level conference in the field of integrated circuit design, ISSCC gathers the most cutting-edge solid-state circuit technologies internationally. This paper first provides a brief overview of the acceptance status of papers created by Chinese scholars at ISSCC in the past five years, which come from mainland China and the Hong Kong-Macau region, then it focuses on ISSCC 2023 and conducts a detailed statistical analysis of the authors, institutions, funding projects, collaboration patterns, and research directions of these papers. The paper also translates the main contents of the papers mentioned above, aiming to assist domestic researchers in the field of integrated circuits in quickly understanding the latest achievements and the state-of-the-art research at ISSCC 2023. It provides valuable insights into collaboration patterns and key development trends in the domestic integrated circuit field, thereby promoting innovation and development in the field of integrated circuits.

Keywords: ISSCC; integrated circuit; technology trends; bibliometrics

0　引　言

在当代社会，集成电路已经广泛渗透到各个领域，成为数字化时代快速发展的关键推动力。作为电子信息产业的基石，集成电路已成为衡量一个国家或地区综合竞争力的重要指标[1]。国际固态电路会议（International Solid-State Circuits Conference，ISSCC）[2]作为 IEEE 固态电路学会的旗舰会议，是展示固态电路和片上系统进展规模最大、最著名的全球论坛，汇集了来自学术界和工业界的顶尖科学家、工程师和研究人员，为集成电路设计和应用领域的前沿工作提供了交流平台，为会议参与者提供了深入了解最新研究成果、探讨行业发展趋势的机会。

随着科技的进步和经济社会发展的转型，中国的集成电路制造工艺与器件产业取得了显著的成就，研发水平持续提高，在 ISSCC 会议上扮演着越来越重要的角色。从图 1 可以看出，近 5 年来，中国内地和港澳地区在 ISSCC 的发文数量均呈上升趋势，且在 2023 年呈现出较大增幅。2023 年，为纪念 ISSCC 成

李琼，硕士，主要研究方向为图像识别。Email：liqiong@bjast.ac.cn
张莹（通信作者），博士，主要研究方向为生物医学信息与图像处理技术。E-mail：zhangying@bjast.ac.cn

立 70 周年，会议以“基于固态电路设计 70 年的创新”[3]为主题，收录了来自模拟电路（analog，ANA）、数据转换（data converters，DC）、数字架构和系统（digital architectures and systems，DAS）、数字电路（digital circuits，DCT）、影像/微机电/医疗/显示（imagers，mems，medical and display，简称 IMMD）、机器学习（machine learning，ML）、存储器（memory，MEM）、电源管理（power management，PM）、射频（radio frequency，简称 RF）、前瞻技术（technology directions，TD）、无线传输（wireless，WLS）、有线传输（wireline，WLN）等 12 个领域共 198 篇论文，录用比例为 31.4%。其中，来自中国内地和港澳地区的论文数为 59 篇，占总发文量的 29.8%，首次居于世界第一。

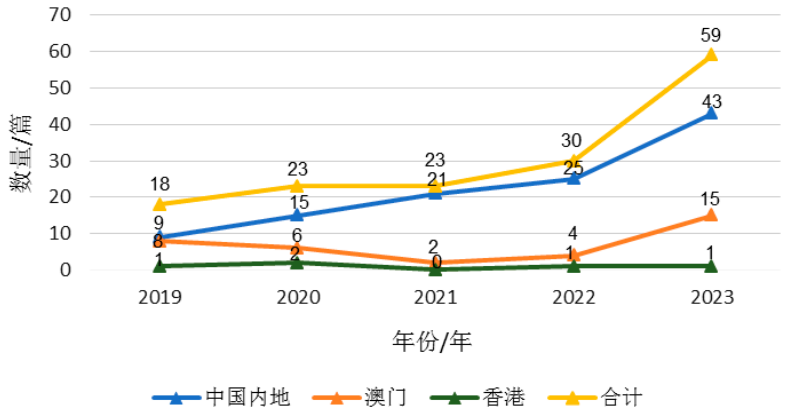

图 1 近 5 年中国内地和港澳地区 ISSCC 发文量

Fig.1 Number of ISSCC publications of mainland China and Hong Kong-Macau region in recent 5 years

本文聚焦 ISSCC 2023 第一作者、第一单位为中国内地和港澳地区的学者的 59 篇论文，收集论文的标题、作者信息、所属单位、基金支持等数据，就作者发文情况、机构合作情况、基金情况和论文领域分布进行分析，并对论文主要内容进行翻译整理，以帮助研究人员快速了解国内集成电路领域的技术热点，为读者提供有益的洞见和启示，提升中国在集成电路领域的技术创新和发展。由于本文的研究方法主要是基于相关论文的文献分析和综合整理，因此可能会存在一定局限性。

1 发文机构和作者分析

学术论文的作者和所属机构是评估研究质量和影响力的重要指标。ISSCC 2023 共收到了来自中国内地和港澳地区 16 所高校、科研机构和企业的 63 位作者（第一作者，包含共同第一作者）的 59 篇论文。通过对发文机构和作者的分析，可以了解国内学术界在集成电路领域的研究力量分布，以及评估不同机构和作者在该领域的贡献和影响。

1.1 机构发文统计

对第一作者所属第一单位发文情况进行统计，得出各机构发文量的排序，如表 1 所示。其中，澳门大学发文量最多，在最前沿的微电子学研究方面处于领先地位；清华大学发文量次之，13 篇论文中有 8 篇的第一署名单位为集成电路学院，其余 5 篇的第一署名

表 1 各机构发文数量

Table 1 Number of papers issued by each institutions

单位	数量
澳门大学	15
清华大学	13
北京大学	6
电子科技大学	5
复旦大学	4
浙江大学	3
东南大学	3
中国科学院微电子研究所	2
中国科学院半导体研究所	2
中国科学技术大学	1
华南理工大学	1
南京邮电大学	1
上海交通大学	1
香港城市大学	1
豪威科技	1

单位为电子工程系；发文量排名第 3 的是北京大学，6 篇论文均来自集成电路学院/集成电路高精尖创新中心。此外，59 篇论文中，仅 1 篇来自企业，表明高校和科研院所是 ISSCC 2023 发文的主力，企业发文较少，仍有较大的提升空间。

1.2　作者发文统计

对 ISSCC 2023 中国内地和港澳地区学者论文的第一作者和通讯作者发文情况进行统计，有助于了解不同作者在相关领域的研究活跃度和学术影响力。其中，就第一作者而言，清华大学涂锋斌聚焦“高效的基于存内计算的机器学习处理器”发表 2 篇论文，分别提出了基于可重构数字存算一体架构的多模态 Transformer AI 芯片 MulTCIM[4]和基于可重构数字存算一体架构的多芯粒张量处理器 TensorCIM[5]，其余作者均发文 1 篇；就通讯作者而言，清华大学尹首一和北京大学叶乐各发表论文 3 篇，澳门大学张明磊、陈知行、殷俊、黄沫和清华大学刘勇攀、浙江大学赵博、东南大学司鑫各发表论文 2 篇。

2　基金项目支持情况分析

对于集成电路领域，实验需要耗费大量经费，基金项目资助支持研究人员进行科学研究和实验工作，帮助研究者开展高质量的研究，同时还能为研究者提供与其他专家合作、参加学术会议和进行学术交流的机会，促进研究质量和前沿性的提升。

通过对ISSCC 2023中国内地和港澳地区学者论文“致谢”中提到的基金项目资助情况进行统计，59 篇论文中被基金项目资助的共 54 篇，资助率达 92%，统计结果如表 2 所示。由表 2 可知，受国家自然科学基金项目资助的论文数最多，达 33 篇，分别为清华大学 8 篇，澳门大学 6 篇，电子科技大学 4 篇，北京大学 3 篇，浙江大学 3 篇，东南大学 3 篇，中科院半导体所 2 篇，中科院微电子所 1 篇，中国科学技术大学 1 篇，华南理工大学 1 篇，上海交通大学 1 篇。受资助的 54 篇论文中，有 47 篇受到两个及以上基金项目资助。由统计结果可知，国家大力支持集成电路前沿研究，基金项目资助对于开展高质量、创新性研究具有重要作用。

表 2　基金项目资助论文数量

Table 2　Number of papers funded by grants

基金/项目	资助数量
国家自然科学基金	33
国家重点研发计划	19
澳门科学技术发展基金	15
澳门大学研究基金	9
中国科学院战略性先导科技专项	4
111 计划	4
浙江省重点研发计划	3
清华-三星联合研究项目	3
北京市科技新星计划	2
北京市自然科学基金	2
中央高校基本科研基金	1
中国博士后科学基金	1
北京市科技计划项目	1
北京智芯微电子科技有限公司院士专家基金	1
浙江省自然科学基金	1
浙江省实验室重大科研项目	1
广东省基础与应用基础研究基金	1
深圳市科技创新委员会	1
鹏城实验室重大重点专项	1
广州佛山研发计划	1
广州市重点研发计划	1
香港研究资助局	1
深港澳科技计划	1
美国国家科学基金	1

3　科研合作统计分析

科研合作具备资源共享优势，能够促进知识交流和创新思维的交叉融合，推动技术突破和发展，提升科研效率和质量，提高研究的可靠性和可信度。通过分析 ISSCC 2023 中国内地和港澳地区学者论文中的科研合作关系，统计作者所属单位的合作方式和频率，揭示国内集成电路领域的合作网络，一方面可以探讨合作对于论文发表的影响，为合作的趋势和模式提供有益的洞见和启示，另一方面有助于发现合作紧密的机构和城市，促进更多的交流和合作机会。

3.1　科研机构和企业合作情况

科研机构和企业合作可以充分发挥各自的优势，实现合作共赢。科研机构致力于基础研究和技术创新，

具有丰富的研究经验和学术背景，企业提供市场需求和实际应用场景，指导科研方向和研究目标。两类机构合作一方面有助于突破技术难题、推动产品创新，另一方面也有助于将科研成果转化为商业化产品，加速技术的落地和市场化。

探索 ISSCC 2023 中国内地和港澳地区学者论文中的合作情况，对展开合作的科研机构和企业及其所在的城市进行统计，统计结果如表 3 所示。由表 3 可知，科研机构和企业合作共发表文章 11 篇，其中，清华大学作为第一作者第一署名单位与企业合作发文 4 篇，展示出较高的合作积极性。同时可以看出，合作城市多集中在北京、上海、深圳、杭州和成都，且同城市的科研机构和企业合作更为密切。

对科研机构和企业合作关系建立网络，如图 2 所示。由图 2 可知，清华大学作为中心节点，与多个科研机构和企业建立起联系，搭建了紧密的合作网，为资源共享、科研质量提升积累了坚实基础。同时，在合作关系中，通常以科研机构为主导，企业作为合作单位提供支持和辅助，表明集成电路的前沿研究仍然集中在高校和科研院所。

表 3 科研机构和企业合作信息统计

Table 3 Statistics of cooperation information between research institutions and enterprises

科研机构及所在城市	企业及所在城市	国内外合作	通讯作者	通讯作者单位
清华大学，北京 台湾清华大学，台湾	时识科技，成都	否	陈虹	清华大学
清华大学，北京	深圳市中兴微电子技术有限公司，深圳	否	/	/
清华大学，北京	北京宁居科技有限公司，北京	否	/	/
清华大学，北京 西安交通大学，西安	北极熊科技，西安	否	马恺声	清华大学
清华深圳国际研究院，深圳 清华大学，北京 中国科学院，北京	湃方科技（北京）有限责任公司，北京	否	刘勇攀	清华大学
北京大学，北京	纳米芯芯片电子技术，杭州	否	叶乐，马宇飞	北京大学
浙江大学，杭州	脉砥微电子（杭州）有限公司，杭州	否	赵博	浙江大学
东南大学，南京	南京博芯电子技术有限公司，南京	否	/	/
电子科技大学，成都	成都数据自动化系统技术， 成都	否	/	/
中国科学技术大学，合肥	合肥 CLT 微电子，合肥	否	程林	中国科学技术大学 合肥 CLT 微电子
复旦大学，上海 鹏城实验室，深圳	壁仞科技，上海	否	陈迟晓	复旦大学 鹏城实验室

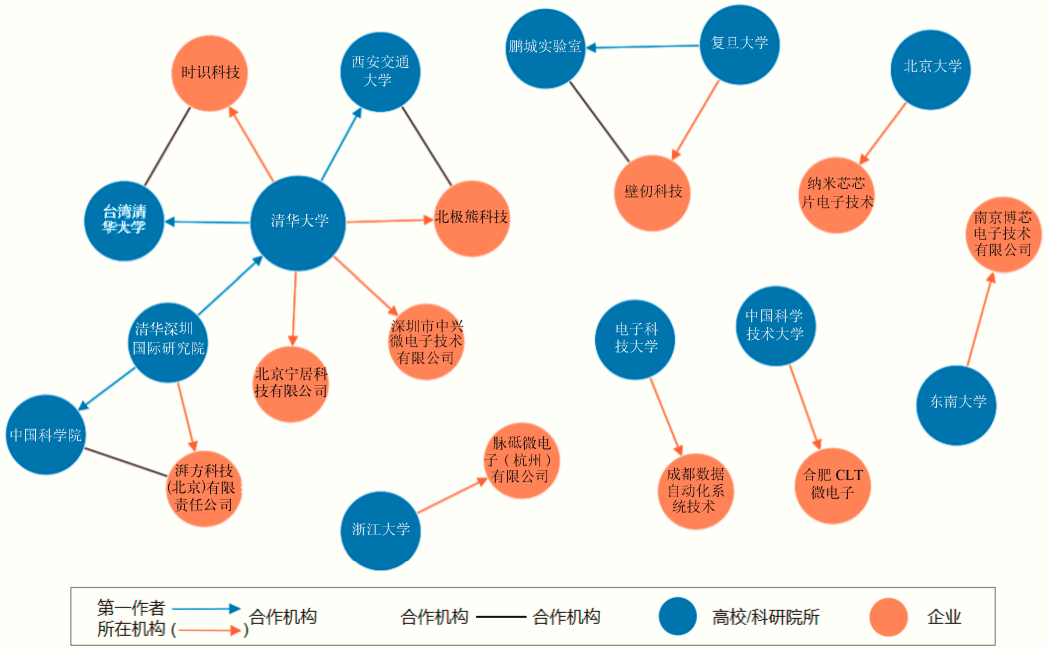

图 2 科研机构和企业合作网络

Fig.2 Network of cooperation information between research institutions and enterprises

3.2 科研机构合作

科研机构之间的合作有助于促进学术交流，提升研究的创新性和前沿性，拓展研究的深度和广度，同时可以减少偏颇，降低研究成本，提高研究的效率和可靠性。

统计对 ISSCC 2023 中国内地和港澳地区学者论文中科研机构合作情况，结果如表 4 所示。由表 4 可知，科研机构合作发文共 29 篇，超过发文总量的 50%，是 ISSCC 2023 中国内地和港澳地区学者发文的主要模式；澳门大学与海外一流学术机构建立了紧密战略合作伙伴关系，其发表的 15 篇论文均与里斯本大学合作完成；中科院半导体所和微电子所在 ISSCC 2023 发表的论文均为与其他科研机构合作完成；北京大学在 ISSCC 2023 发表的论文中一半是与其他科研机构合作完成。

在合作的科研机构之间建立合作网，如图 3 所示。由图 3 可知，澳门大学和清华大学作为 ISSCC 2023 中国内地和港澳地区发文最多的机构，同样也是科研合作最为广泛和紧密的两所高校，展示了科研机构合作对研究成果产出的推动作用。另外，尽管中科院半导体所和微电子所发文量不多，但其合作范围涉及多个地区、机构，展示出较强的合作意愿和开放性。

表 4　科研机构之间的合作信息统计

Table 4　Statistics of cooperation information between research institutions

第一作者所在单位	合作机构	国内外合作	通讯作者	通讯作者单位
澳门大学	里斯本大学	是	李家明	澳门大学
澳门大学	里斯本大学	是	殷俊	澳门大学
澳门大学	里斯本大学	是	陈勇	澳门大学
澳门大学	里斯本大学	是	诸嫣	澳门大学
澳门大学	里斯本大学	是	陈知行	澳门大学
澳门大学	里斯本大学	是	黄沫	澳门大学
澳门大学	里斯本大学	是	/	/
澳门大学	里斯本大学	是	/	/
澳门大学	里斯本大学	是	阮家辉	澳门大学
澳门大学	里斯本大学	是	张明磊	澳门大学
澳门大学	里斯本大学	是	殷俊	澳门大学
澳门大学/西安电子科技大学	里斯本大学	是	张明磊	澳门大学
澳门大学/西安电子科技大学	里斯本大学	是	陈知行	澳门大学
澳门大学/珠海澳大科技研究院	里斯本大学	是	林智声	澳门大学
澳门大学/珠海澳大科技研究院	里斯本大学	是	黄沫	澳门大学
北京大学	北京大学信息技术高等研究院	否	叶乐	北京大学；北京大学信息技术高等研究院
北京大学	北京大学信息技术高等研究院	否	叶乐	北京大学；北京大学信息技术高等研究院
北京大学	清华大学	否	唐希源	北京大学
清华大学	北京大学；中科院微电子所	否	刘勇攀，贾弘洋	清华大学
清华大学	南洋理工大学；北京量子信息科学研究院	是	姜汉钧	清华大学
复旦大学	华南理工大学	否	/	/
复旦大学	华南理工大学	否	/	/
中科院半导体所	天津大学；澳门大学；浙江大学	否	刘力源	中科院半导体所
中科院半导体所	澳门大学	否	张钊	中科院半导体所
中科院微电子所	复旦大学；浙江实验室	否	/	/
中科院微电子所	清华大学	否	/	/
上海交通大学	哥伦比亚大学	是	/	/
南京邮电大学	合肥大学	否	/	/

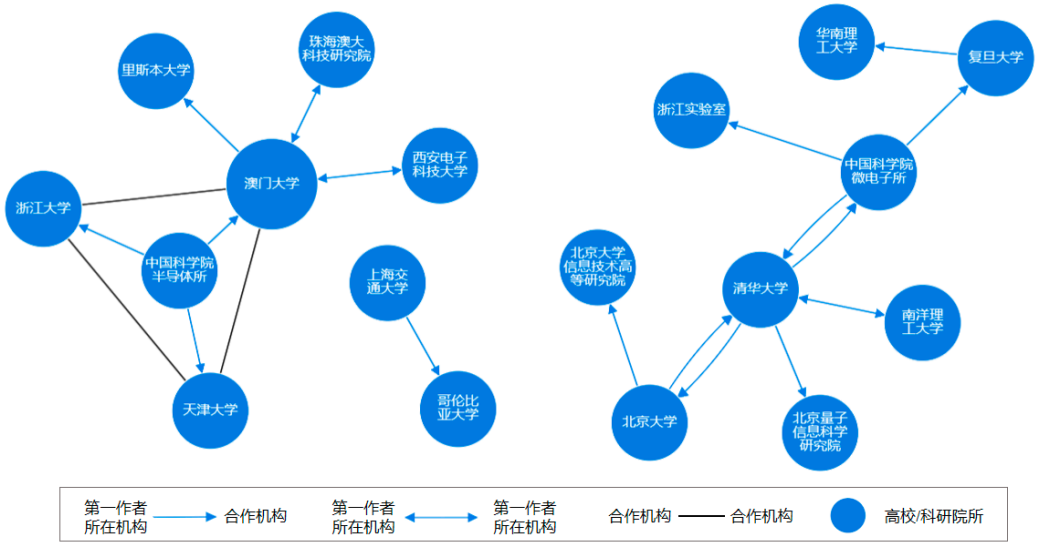

图 3 科研机构之间的合作网络

Fig.3 Cooperation network between research institutes

3.3 无共同署名机构

作者来自同一机构的论文共 20 篇，其中清华大学 7 篇，电子科技大学 4 篇，北京大学 2 篇，浙江大学 2 篇，东南大学 2 篇，复旦大学 1 篇，香港城市大学 1 篇，豪威科技 1 篇。值得注意的是，ISSCC 2023 中国内地和港澳地区 59 篇论文的来源机构中，豪威科技是唯一一家企业，且无共同署名机构。

4 研究方向分析

本章对中国内地和港澳地区在 ISSCC 2023 12 个征文领域、34 个 Session 的发文情况分布进行统计，以揭示国内集成电路领域的研究热点和趋势，统计结果如表 5 和表 6 所示。

表 5 中国内地和港澳地区学者在 ISSCC 2023 各征文领域的发文量

Table 5 Number of papers published by scholars from mainland China and Hong Kong-Macau region in each subject area of ISSCC 2023

	ANA	DC	DAS	DCT	IMMD	ML	MEM	PM	RF	TD	WLS	WLN	合计
澳门大学	1	5						5	2	1	1		15
清华大学		1	1	1		3	3		2		2		13
北京大学	2	1					1					2	6
电子科技大学						1	1		2		1		5
复旦大学						1			1		1		3
浙江大学								1			2		3
东南大学							3						3
中科院半导体所					1				1				2
中科院微电子所						1	1						2
中国科学技术大学								1					1
上海交通大学				1									1
华南理工大学									1				1
南京邮电大学	1												1
清华深圳国际研究院						1							1
香港城市大学									1				1
豪威科技					1								1
合计	4	7	1	2	2	7	9	7	10	1	7	2	59

表 6　中国内地和港澳地区学者在 ISSCC 2023 各 Session 的发文数据统计

Table 6　Publication statistics of scholars from mainland China and Hong Kong-Macau region in each Session of ISSCC 2023

ISSCC Sessions	论文数量	占比
Session 1 全体会议		
Session 2 数字信号处理器		
Session 9 重点芯片发布：数字和机器学习处理器		
Session 12 高性能光接收器		
Session 19 5G 和卫星通信：接收器和发射机		
Session 20 GaN 功率转换	0	0.0%
Session 21 新兴传感系统和物联网		
Session 26 显示和用户交互技术		
Session 27 突破 ISSCC 边界的创新		
Session 28 高密度存储器和高速接口		
Session 32 智能生物医学电路与系统		
Session 3 放大器和振荡器	3	33.3%
Session 4 频率合成器	1	14.3%
Session 5 图像传感器	2	25.0%
Session 6 先进的有线连接和技术	2	25.0%
Session 7 SRAM 存算一体	5	55.6%
Session 8 GHz 到毫米波频率的产生	4	100.0%
Session 10 流水线和噪声整形数模转换器	5	71.4%
Session 11 USB 和计算功率传输	5	50.0%
Session 13 未来洞察	1	16.7%
Session 14 时钟和电源管理的数字技术	1	25.0%
Session 15 物联网和安全	1	20.0%
Session 16 高效的基于存内计算的机器学习处理器	4	57.1%
Session 17 高速数据转换器	2	25.0%
Session 18 毫米波及亚太赫兹无线传输和传感	1	25.0%
Session 22 异构机器学习加速器	3	33.3%
Session 23 模拟传感器接口	1	14.3%
Session 24 太赫兹信号生成	2	66.7%
Session 25 射频收发器构建模块	3	60.0%
Session 29 数字加速器和电路技术	1	11.1%
Session 30 电源管理技术	2	20.0%
Session 31 用于超宽带、脑-机接口和物联网系统的节能无线电	6	75.0%
Session 33 非易失性存储器和存算一体	2	50.0%
Session 34 用于量子计算的低温 CMOS	2	40.0%

由表 5 可知，中国内地和港澳地区的论文在 ISSCC 2023 的 12 个征文领域均有分布，且主要集中在 MEM、RF、DC、ML、PM 和 WLS 领域；DAS 和 TD 领域成果较少，研究相对薄弱；澳门大学在 DC 和 PM 领域更有优势，清华大学的研究涉及多个领域，科研成果分布较为均匀，东南大学的发文均集中在 MEM 领域。

由表 6 可知，在 ISSCC 2023 的 34 个 Session 中，中国内地和港澳地区的论文在 23 个 Session 有论文发表；在“Session 31 用于超宽带、脑-机接口和物联网系统的节能无线电”发表论文数量最多；“Session 8 GHz

到毫米波频率的产生”所有论文均来自中国内地和港澳地区学者；“Session 7 SRAM 存内计算”“Session 8 GHz 到毫米波频率的产生”“Session 10 流水线和噪声整形数模转换器”“Session 11 USB 和计算功率传输”“Session 16 高效的基于存内计算的机器学习处理器”“Session 24 太赫兹信号生成”“Session 25 射频收发器构建模块”“Session 31 用于超宽带、脑-机接口和物联网系统的节能无线电”“Session 33 非易失性存储器和内存内计算”等 9 个 Session 中发表的论文量占各 Session 论文总量的一半及以上，展示出中国地区学者在上述方向的引领性。

5 中国内地和港澳地区论文内容简介

本章对中国内地和港澳地区学者发表的论文进行翻译整理，旨在提供对研究内容的背景、方法和重要结论的介绍，以便读者快速了解前沿成果。

（1）Session 3 放大器和振荡器

3.6：一种 12/13.56 MHz、具有二进制搜索辅助的两步注入、启动能量为 5.0 nJ、启动时间为 45.8 μs 的晶体振荡器

MHz 级晶体振荡器的启动时间及能耗关系到低功耗物联网无线电的时延和平均功耗。对晶体注入能量可以减少启动时间和能耗，但注入源的频率必须接近晶体谐振频率。两步注入技术通过在第 1 次注入后，使用晶体振荡器的信号来校准注入源，以保证第 2 次注入时频率的准确性。然而，锁相环需要超过 1 000 个周期以闭环方式进行校准，这与缩短启动时间和减少能量消耗的要求相冲突。

Li 等[6]提出了一种 12/13.56 MHz 快速启动晶体振荡器，其中集成了二进制搜索辅助的两步注入技术，即使用二进制搜索算法来调节辅助数字控制振荡器（digital controller oscillator，DCO）的频率，以实现在第 1 次注入后±500 ppm 范围内快速频率锁定。通过这种方式，频率锁定仅需要 48 个周期。结合阶梯式注入方案，启动时间缩短至 45.8 μs，能量消耗仅为 5.0 nJ。该晶体振荡器在 0.7 V 的稳态电压下消耗 28.4 μW，具有 240.6 dBc/Hz 的品质因数。

论文详细介绍了快速启动晶体振荡器的结构和工作原理，DCO 的结构和稳定性改进措施，以及采用阶梯注入技术减少动态功耗的方法，并给出了在 65 nm CMOS（complementary metal oxide semiconductor）工艺下的快速启动晶体振荡器的实现结果和性能评估。实验结果表明，该论文提出的晶体振荡期的性能优于国际领先水平。

3.7：采用相位误差自动校正技术的 16 MHz 晶体振荡器，在低于 104 ppm-ΔF 注入下，启动时间为 17.5 μs

MHz 级晶体振荡器的启动时间直接影响低功耗物联网系统的功耗。注入技术可以减少振荡器的启动时间和启动能量，但为了保证高效注入，注入频率（frequency of injection，FINJ）与振荡器频率（frequency of oscillator，FXO）的频率失配 ΔF 必须小于 5 000 ppm。如何容忍大的 ΔF 是提高注入技术效率的关键。

Cai 等[7]提出一种自动相位误差校正（automatic phase-error correction，APEC）技术，在注入过程中利用峰值检测器（peak detector，PKD）实时检测晶体谐振峰的位置，根据波峰位置偏移情况来自动切换不同相位的注入信号，从而纠正频率失配导致的相位累积误差，保证注入效率，实现了对高达 10^4 ppm 频率失配的容忍。

论文在 40 nm CMOS 工艺实现了 16 MHz 晶体振荡器，测试结果表明，在频率失配为 10^4 ppm 的情况下，启动时间仅为 17.5 μs（280 个周期），比常规注入技术减少了 249 倍。相位自动校正技术实现了启动时间对频率失配的鲁棒性，失配范围在 3 000～10^4 ppm 变化时，启动时间变化量小于 1.27%。APEC 技术打破了对于较大频率失配的能量注入和启动时间降低的限制，显著提高了晶体振荡器的产量。

3.8：基于 Gm-C 电流注入控制的 0.954 nW/32 kHz/22 nm CMOS 封装的晶体振荡器

超低功耗（ultra low power，ULP）晶体振荡器在无线连接的物联网节点中非常重要，因为它们需要始终开启并保持高精度。脉冲注入式晶体振荡器（pulse injection oscillator，PIXOs）由于可以实现 nW 级的低功耗和良好的频率稳定性，在近年来受到广泛关注。然而，在设计 PIXOs 过程中，通常会面临两个挑战：注入电流脉冲的时间控制和振幅控制。

Zhang 等[8]提出了一种基于 Gm-C 单元的 32 kHz、0.954 nW 超低功耗脉冲注入晶体振荡器设计，用以解决上述两个挑战：时钟切片器中的 $G_{m\text{-}T}$ 基于其小信号单极的 90° 相移特性，可以为 T/4 注入定时产生精确的延迟；$G_{m\text{-}DM}$ 和 $G_{m\text{-}CM}$ 用作电流积分器（current integrators，CIs），具有大信号 I-V 传递曲线，以实现幅度和共模（common mode，CM）的检测和调节。这 3 个 Gm-C 样单元构成了 ULP 晶体振荡器的核心，使

强度调节脉冲注射的精确定时成为可能。

该芯片在 22 nm CMOS 工艺下占据了 0.029 mm² 的面积。论文通过在不同温度和供电电压下的测试，验证了设计的功耗、频率稳定性和线性灵敏度等性能指标。由于大多数电路设计使用电流偏置模拟模块，该模块的功耗随温度的变化而变化，导致 5 个测试芯片在 80 ℃时的平均功耗为 1.90 nW。该 PIXO 在室温下也显示出 6 ppb 的 Allan 偏差下限，表明其具有出色的频率稳定性。在 25 ℃温度下，设计的总功耗为 0.954 nW，频率漂移为 139 ppm，线性灵敏度为 22 ppm/V。

（2）Session 4 频率合成器

4.7：一个 0.4 V V_{DD}、2.25～2.75 GHz ULV-SS-PLL，实现了 236.6 fs_{rms} 抖动、-253.8 dB 抖动功耗品质因数和-76.1 dBc 参考杂散

将电源电压（V_{DD}）降低到 0.4 V 以下对于物联网（internet of things，IoT）应用具有极大的吸引力，这对于延长物联网设备的使用寿命或实现无电池运行具有很大的好处。但是，在超低电压下设计 PLL（phase lock loop）需要同时兼顾低功耗、低集成抖动和低参考信号混叠等指标的优化。

Zhang 等[9]提出了一种 0.4 V V_{DD} SS-PLL（sub-sampling phase lock loop），具有 236.6 fs_{rms} 抖动，-253.8 dB 抖动功耗品质因数（figure of merit jitter，FoM_{JIT}）和-76.1 dBc 参考杂散。它结合了所提出的三径环路来缓解有限的 VCO（voltage control oscillator）调谐范围，利用基于无源 ISO-BUF（isolation buffer）的 VCO 隔离和 ULV-SSPD（ultra-low-voltage sub-sampling phase detector），实现 ISO-BUF 放宽电压净空要求，可在低于 0.4 V 的 V_{DD} 下，同时改善综合抖动和参考杂散。

论文采用 40 nm CMOS 工艺，面积 0.197 mm²，在 0.4 V 下功耗 0.74 mW，在现有技术中实现了最佳的 FoM_{JIT} 和最低的整体抖动以及最佳的参考杂散的 $FoM_{JIT,N}$。与在常规 V_{DD} 电压下工作且输出类似 F_{OUT} 的最新锁相环相比，该设计的 FoM_{JIT}、$Fo_{MJIT,N}$、杂散和功耗也是现有报道中最低的，且还具有更低的 V_{DD}。

（3）Session 5 图像传感器

5.1：3 晶圆堆叠混合 15 MPixel CIS + 1 MPixel EVS，具有 4.6 GEvent/s 读出、像素内时数转换器和片上 ISP 和 ESP 功能

事件视觉传感器（event visual sensor，EVS）在像素级确定是否检测到超过预定义阈值的时间对比度变化。与 CMOS 图像传感器（CMOS image sensor，CIS）相比，这种新模式提供了数据压缩功能，因此可以在低功耗下实现高速、低延迟的数据捕获。基于 EVS 的目标跟踪、3D 检测或慢动作等众多应用正在研究中。

许多应用需要 EVS 传感器与 CIS 信息相辅相成，以获得绝对的照度测量。先进的晶圆级堆叠技术允许在不牺牲 CIS 性能的情况下，实现高分辨率 EVS 功能。Guo 等[10]提出的 3 晶圆堆叠设计的顶层包含按 4×4 结构排列的固定光电二极管像素，形成宏像素。每个宏像素用 1 个蓝色通道 CIS 像素代替一个清晰像素，该像素连续连接到放置在中间晶圆上的 EVS 读出电路。光电二极管通过堆叠像素级连接（stacked pixel level connections，SPLC）技术连接。因此，EVS 的像素间距为 8.8 μm。光电流被转换成对数电压，并馈入作为实际对比度检测电路的滤波放大器。滤波器放大器进一步采用可编程高通滤波器特性，以避免由泄漏电流驱动的噪声事件。随后的比较器阶段检测是否检测到高于编程阈值的对比度变化。所述 EVS 像素阵列的读出电路位于所述第 3 晶圆上，并通过通硅孔连接到所述中间晶圆上。CIS 像素阵列由模数转换器读出，也位于底部晶圆上。底部晶圆进一步集成了事件信号处理器（event signal processor，ESP）、图像信号处理器（image signal processor，ISP）、快速 MIPI（mobile industry processor interface）接口以及辅助功能。

基准测试突出显示所提出的百万像素混合 EVS/CIS 传感器实现了 1 200 MP^2×fps×1 GEvent/s 混合品质因数（figure of merit，FOM/FoM）领先。其将最大事件率提高了 3.5 倍，带来 4.4 MP×1 GEvent/s 的 EVS- FOM1 领先，比现有技术高 1.6 倍。实现较低的单事件能量效率的唯一参考是 DVS132，由于其针对物联网应用，因而仅限于低分辨率和缓慢的接口。这带来 0.08 MP × 1 GEvent/s/pJ 的 EVS- FOM2 领先，比目前的技术水平高 14 倍。

5.5：16.4 k 像素 3.08～3.86 THz 具有 73 dB 动态范围的数字实时 CMOS 图像传感器

太赫兹（tera hertz，THz）成像由于其良好的分辨率和无损特性，在化学和生物医学系统、工业缺陷检测、安全筛查和射电天文学中具有很好的应用前景。现有的 3～4 THz 波段大气吸收缺口为高分辨率太赫兹成像及其实际应用提供了机会。但是，目前为止还没有 3～4 THz 波段 CMOS 图像传感器的报道，主要挑战在于以下两点：权衡片上天线的辐射效率和带宽以实现具有足够灵敏度的 3～4 THz 像素；大像素间距和复杂的读出电路由于不可接受的硅面积而不利于高分辨

率图像传感。

Liu 等[11]介绍了一种 16.4 像素 3.08～3.86 THz 数字 CMOS CIS，其阵列比现有技术大 16 倍。具体而言，设计了一种具有阶梯覆盖贴片天线和缺陷地结构（defected ground structure，DGS）的紧凑 2T 像元，在 3.4 THz 频率范围为 0.78 THz，灵敏度为 753 V/W。采用列并行读出（column parallel read only，CPRO）架构，在保持低复杂度的同时平衡速度和噪声约束。得益于过采样和斩波，CPRO 电路成功地降低了噪声，使太赫兹 CIS 动态范围（dynamic range，DR）达到 73 dB。结合国产太赫兹量子级联激光器（quantum cascade laser，QCL），搭建了完整的 QCL-CMOS 成像平台，实现了视频采集。该传感器工作速度可达 130 fps，信噪比（signal-to-noise ratio，SNR）可接受。

论文提出的 THz CIS 由 1 个 128×128 像素阵列、128 个 CPRO 链路、1 个数字控制器和 1 个偏置发生器组成。128 个链路被放置在像素数组的两侧，这样每个链路可以占用两列间距，更容易物理实现。利用并行处理能力，每个 CPRO 都可以在低速下运行，为噪声平均提供了充足的时间。CPRO 链路由斩波电流反馈放大器（current feedback amplifier，CFA）和过采样比可调增量模数转换器（analog-to-digital converter，ADC）组成，输出 1 bit 的数据流。

与之前的太赫兹成像仪相比，该研究提出了一个 16.4 像素 3.08～3.86 THz 数字 CMOS 图像传感器，利用减少的波长和所提出的阶梯覆盖贴片天线，开发了 60 μm 像素的最佳响应度为 753 V/W，跨度为 3.08～3.86 THz。由于灵活的 CPRO 读出，动态范围可达 73 dB，帧率可高达 130 fps。

（4）Session 6 先进的有线连接和技术

6.3：基于 28 nm CMOS 技术实现的 0.43 pJ/b，200 Gb/s，采用 5 抽头延迟线的低频均衡接收机 FFE

随着对更大 I/O 带宽的需求不断增长，收发器数据速率已经达到 200 Gb/s。在这一速度下，决策反馈均衡器的实现面临着严格的时间限制。Ye 等[12]提出了一种基于延迟线的 5 抽头接收机前馈均衡器（feed forward equalizer，FFE），其工作速度达到 200 Gb/s，并且能够均衡 17.2 dB 的损耗通道。

RX（receiver） FFE 的输入数据 V_I 通过 2-UI（unit interval）延迟线，并通过交流接地电阻 R_{TermI} 终止。5 个抽头，H_{-1}～H_3，用于接收 0.5-UI 间隔的输入信号，并通过可编程增益系数进行放大。放大后的信号使用另一条 0.5-UI 间隔的延迟线求和，以产生 FFE 输出 V_O。该 FFE 支持传统的基于系数的中频和高频均衡，以及基于 RC（resistor capacitor）源退化的低频均衡。

论文还详细介绍了不同类型均衡器放大器的设计和实现细节，以及低频均衡的方法，并给出了该论文的设计的性能评估以及与先前发布的连续时间 FFE 和基于 ADC 的 224 Gb/s RX 的比较结果。本文的工作是首个实现了 200 Gb/s 速度的连续时间 FFE，低频均衡增强了信道损耗补偿。此外，无源延迟线和单级拓扑结构还能够实现低输出噪声。当应用于 200 Gb/s 接收器时，所提出的 FFE 为短距离传输提供了低功耗解决方案。

6.7：基于 28 nm CMOS 工艺的、具有可编程宽度脉冲发生器和模式相关预加重的 128 Gb/s PAM-4 发射机

不断增长的高带宽通信需求推动着有线链路以更高速度运行。为了更有效地利用链路带宽，PAM-4（4-level pulse amplitude modulation）调制被广泛采用，它在相同的码元速率下将数据速率提高 1 倍。然而，复杂的过渡引入了更大的数据依赖的抖动，降低了水平眼界。此外，非相邻水平之间的过渡比相邻水平之间的过渡具有 2 倍或 3 倍的符号间干扰（inter-symbol interference，ISI）。Sheng 等[13]提出了一款为高带宽通信设计的 128 Gb/s PAM-4 报道发射器（transmitter，TX），该发射器集成了一个具有可编程宽度的脉冲发生器，用于优化过渡边，并采用了一个模式相关的预强调方案，在不牺牲输出摆幅的情况下进行均衡。

论文详细描述了发射器的架构及其组件，例如 MSB（most significant bit）和 LSB（lowest significant bit）数据生成、FFE 段和模式依赖的前置加重段。它结合了一个基于 1-UI 脉冲的 4:1 多路复用器与一个 CML（current mode logic）驱动器，不同段的电流可以调整，以微调 FFE 抽头系数。脉冲发生器和最终的 4:1 多路复用器对于实现更快的转换和优化共模电压至关重要。论文讨论了模式依赖前置加重的操作原理和效果，它加速特定转换并消除 ISI，同时保持摆幅不变。还解释了时钟路径的块状图和不同时钟相位之间的关系，以说明如何满足时间约束。

论文为 PAM- 4 TX 提出了一种能量效率为 1.4 pJ/b 的边缘优化技术和预强调方案，TX 采用 28 nm CMOS 技术，使用实时示波器进行测试，并与其他最新发布的发射器的性能进行了比较。

（5）Session 7 SRAM 存算一体

7.2：一种 28 nm 64 kb 31.6 TFLOPS/W 数字域浮点计算单元和双位 6T-SRAM 计算浮点 CNN 的内存宏

基于 SRAM 的存算一体（SRAM-based computing-

in-memory，SRAM-CIM）已成为深入研究和开发的热点，以提高人工智能设备的能量和面积效率。然而，大多数使用数字或模拟存算一体的 SRAM-CIM 无法有效地支持 FP-MAC（float point multiply and accumulate）支持 SRAM-CIM 的高浮点输入、权重和输出精度存在以下挑战：（1）传统数字 FP-MAC 的移位对齐与大多数 SRAM-CIM 的结构化映射之间存在不一致性；（2）在吞吐量/内存大小、能效和内存密度之间的权衡更加困难。

Guo 等[14]提出了一种数字域内存 FP-MAC SRAM-CIM 结构，使用具有双位单元（double byte cells，DBcells）和浮点计算单元（floating-point calculation unit，FCU）的单元阵列来提高吞吐量；采用高位全精度乘法单元和低位近似计算乘法单元的 FCU，以减少内部带宽和面积；采用带有 FP（float point）处理电路的 CIM（compute in memory）-宏架构，支持 FP- MAC 和 INT-MAC（integer multiply and accumulate）操作。在这一架构下，使用紧凑规则的 DBcell 构建了一个 28 nm 64 kb 的 SRAM-CIM 宏，该宏展示了首个 FP SRAM-CIM 宏，用于 3 个人工智能任务（分类、检测和分割）。在输入、权重和输出均为 Brain Float16 的 FP-MAC 中，实现了 31.6 TFLOPS/W 的最佳能量效率和 2.05 TFLOPS/mm^2 的最高面积效率。

7.3：28 nm 用于神经网络推理，能效为 38～102 TOPS/W 的 8 位无乘法器近似数字 SRAM 存算一体宏

数字 CIM 技术在实现高吞吐量和可靠的矩阵向量乘法（matrix vector multiplication，MVMs）方面具有重要意义。然而与传统数字架构相比，数字 CIM 面临着 3 个主要挑战：（1）先前利用近似计算的数字 CIM 存在精度下降的问题；（2）随着操作数精度的提高，数字和混合信号 CIM 的能量消耗呈二次方增长；（3）紧凑和规则的内存布局限制了 CIM 对非结构化的位级统计信息的利用。

He 等[15]针对这些挑战提出了一个基于 SRAM 的 2～8 bit 可扩展数字 CIM 宏，并引入了与神经网络设计和模型执行流程共同优化的面积/节能近似电路。该宏与无乘法神经网络（neural network，NN）设计方法共同设计，并结合了用于向量-向量操作的基于动态逻辑的近似电路。研究结果揭示了 3 个关键见解：（1）通过使用向量 L1 距离来近似点积，消除了乘法操作，从而节省了逻辑面积和能量消耗；（2）将 L1 计算中的位并行绝对差分算子（absolute differential operator，ADO）重新格式化为位串行比较，实现了具有位精度的线性面积/能量缩放；（3）设计了一种基于动态逻辑的近似比较器，利用非结构化的位统计信息，实现了提前停止权重位读取的功能。

与以往的 CIM 研究相比，本文的研究表明该方法能够实现接近浮点数的推理精度，并获得更好的能量和面积效率。

7.5：基于 28 nm 用于边缘深度神经网络的横向权重移位和纵向特征移位的独立 WL 6T-SRAM 存算一体单元宏

SRAM-CIM 在提高边缘人工智能设备的能效方面显示出巨大的潜力。然而，当应用深度卷积时，仅支持在宏内保持权重（权重平稳）的 SRAM-CIM 面临 3 个挑战：（1）由于积累长度短（3×3 内核大小）和 DW（depthwise）通道数大而导致能量效率降低；（2）由于数据传输冗余，阵列利用率差，B2M（buffer-to-macro）功耗较高；（3）稀疏轻网络的计算要求精度高、存取时间短、读出电路面积小。

为缓解上述挑战，Wang 等[16]提出以下方案：（1）利用 SRAM 中的固定计算方法进行权重/特征计算，以提高标准/深度卷积的阵列利用率；（2）采用水平权重移位方案，具有计算和移位单元（compute and shift unit，CSU）的垂直特征移位方法和 separate-WL 6T（SW6T）结构，以消除 B2M 移动中的重叠数据并降低功耗；（3）采用计算电流跟踪的电流-数字转换方案，通过快速电流反馈提高每个输出位的计算时间（$t_{CT\text{-}OUT}$/OUT 精度）。本文提出的 28 nm 9 kb CSU 和基于 SW6T 的 SRAM-CIM 单元宏，实现了迄今为止最高的阵列利用率，最短的 $t_{CT\text{-}OUT}$（0.3 ns/b）和最佳的能量效率（14.24 TOPS/W）。

通过对使用 28 nm 9 kb CSUM（SW6T-based SRAM CIM unit-macro）制作的测试芯片进行实验测量，对 3 种典型的 DW 卷积神经网络进行测试：ShuffleNet- V2、MobileNet-V2 和 EfficientNet-V2。结果显示，在 8 bit 输入、8 bit 权重和 20 bit MAC（multiply and accumulate）输出的情况下，针对具有 9 通道累积的 DW 操作，测量到的 MAC 访问时间（不包括路径延迟）为 6 ns。与之前的 SRAM-CIM 工作相比，当使用 8 bit 输入、8 bit 权值和全精度 DW 卷积输出时，本研究实现了超过 4.09 倍的能效改进和超过 4.18 倍的 FoM 改进。

7.7：CV-CIM：一种 28 nm 工艺由 XOR 衍生的用于成本体积构建相似性感知的存算一体

成本-体积构建是立体视觉处理的基本核心，用于精确计算成对图像中像素之间的相似性。然而，实时

成本-体积构建（>30 fps）的大参数量和连续数据访问对内存带宽（0.254 Tb/s）和操作（391 GOPs）提出了很高的要求。解决内存瓶颈的一个方案是存算一体，它通过提供基于结构化数组的计算并行性来改善性能。然而，要将 CIM 应用于成本-体积构建，需要解决以下 3 个挑战：（1）成本函数的计算依赖于像素之间的距离，CIM 只支持受限向量布尔逻辑，无法进行像素/向量算术运算，但距离操作需要结合可变像素/向量算术功能；（2）成本函数对 CIM 计算余量的减小非常敏感，并且输出越高，扰动越严重。此外，距离计算不能利用输入稀疏性来减少输出；（3）滑动搜索平面交替激活权值，造成数据加载开销，与刚性结构化数组不匹配，导致利用率低。

为了解决这些问题，Yue 等[17]提出了一种具有以下特点的 CV-CIM：（1）通过 XOR（exclusive OR）衍生逻辑集成算术函数和混合矢量/像素 XOR-CIM 来计算距离度量；（2）利用相似感知的 XOR 稀疏变换来扩大逐位稀疏性，通过发现像素相似度来优化距离计算。稀疏模式 CIM 捕获稀疏性并减少输出，从而提高了感知裕度；（3）双自由度外设共同提高利用率。行级外设动态跳过行计算并支持移位区域，列级自由度解锁空闲列以隐藏加载延迟。

本文展示了 28 nm CMOS 工艺的 CV-CIM 芯片测试结果。芯片工作电压为 0.6～0.9 V，工作频率为 50～286 MHz。在 0.6 V 时，峰值能量效率为 1158 TOPs/W。与以往的 CIM 工作相比，基于 XOR 派生逻辑集成了各种算术函数，利用像素相似性优化异或计算以扩大感知边界，同时，灵活的阵列外设提高了 CIM 的利用率。

7.8：一种具有近零均值输出和 LSB-First ADC 的 22 nm delta-sigma 计算内存（ΔΣCIM）SRAM 宏，在 8 b-MAC 边缘 AI 处理中实现 21.38 TOPS/W 能效

在 AI 边缘设备中，输入特征的变化通常是渐进的或偶然的，因此对不变的数据进行重新处理会消耗大量冗余的能量。CIM 是直接在内存中执行矩阵向量乘法（MVMs）的技术，可以消除深度神经网络（deep neural network，DNN）中昂贵的数据移动能量。从电路的角度来看，模拟 CIM 的能耗主要由全精度模数转换器（ADC）能耗决定。在不同的 DNN 应用中，模拟 CIM 输出的平均值是不可预测和波动的，这要求 ADC 具有高动态范围，但也引入了高功率开销。

为了解决上述挑战，Chen 等[18]针对边缘人工智能提出了一种采用 22 nm CMOS 工艺的基于 SRAM 的 delta-sigma CIM（ΔΣCIM）处理器，其具备 3 个创新点：（1）将绝对输入替换为连续输入值之差，从而减少了 35.8%的 CIM 阵列能量消耗；（2）ΔΣCIM 阵列实现的 delta MVM，可以自适应地将模拟 CIM 输出移至 NZM（near-zero-mean）分布，有利于集中数据处理；（3）提出了一种 LSB（least significant bit）-first ADC，其转换次数可根据瞬时输入值动态调整，在不牺牲满量程或精度的情况下，高效地将模拟输出转换为高度集中的 NZM 模拟数据。为了公平和全面的比较，论文定义了一个品质因数（FoM），即 INT8 归一化面积和能源效率的乘积。与最先进的基于 SRAM 的模拟 CIM 宏相比，ΔΣCIM 处理器通过位串行输入和移位加法器实现了 25% FoM 提升。在全精度 8 bit 输入、8 bit 权重和 24 bit 输出的情况下，该处理器实现了高达 21.38 TOPS/W 和 1.44 TOPS/mm^2 的 能效。

（6）Session 8 GHz 到毫米波频率的产生

8.1：11.5～14.3 GHz 192.8 dBc/Hz FoM（1 MHz 偏置）具有共模噪声自消除和隔离技术的双核增强型 class-F 压控振荡器

当前 5G 和未来的 6G 高速移动互联网时代，移动和便携式设备，对本地振荡器（local oscillators，LOs）的功耗、硅面积和相位噪声规格提出了更严格的要求。在过去的几十年里，学者们进行了大量的研究，以提高射频和毫米波振荡器的功率效率，同时保持所需的相位噪声特性。

Wu 等[19]提出了一种采用共模噪声自抵消与隔离技术的 11.5～14.3 GHz 双核 class-F 压控振荡器（VCO）。在不占用额外面积的情况下，VDD 和 GND 的注入噪声同时被抵消，从漏极到栅极的噪声路径被隔离。实验结果表明，所提出的共模噪声自抵消和隔离 VCO 在 1 MHz 偏置下从 11.8 GHz 载波产生 -119.2 dBc/Hz 相位噪声，FoM 为 192.8 dBc/Hz。所提出的 VCO 在相近频率范围内工作的 VCO 中是具有竞争力的。

8.2：22.4～26.8 GHz 双路径同步 4 核振荡器在 10 MHz 偏移，25.8 GHz 下实现-138 dBc/Hz PN 和 193.3 dBc/Hz FoM

高速无线通信所采用的密集调制方案需要具有低相位噪声（phase noise，PN）的毫米波振荡器。一般来说，LC（inductor and capacitor）振荡器的 PN 可以通过减小其槽电感来减小。然而，过度收缩的单匝螺旋电感会受到品质因子（Q）退化的影响，从而损害振荡器的性能值和最小可实现 PN。将多个振子耦合在一起

可以有效地降低 PN。理想情况下，与单核振荡器相比，N 核耦合振荡器可以实现低 10 log(N)的 PN。然而，振荡器核心之间的频率不匹配往往会影响耦合振荡器的 PN 改善和 FoM。

为了克服频率不匹配引起的 PN 惩罚和电感（变压器）的 Q 之间的权衡，Zhan 等[20]提出了一个使用圆形变压器的双路同步 4 核振荡器。通过引入两条直接同步相邻和非相邻磁芯的耦合路径，有效地抑制了 4 芯振荡器中频率失配引起的 PN 惩罚，同时保留了圆变压器的高 Q 优势。在 65 nm CMOS 工艺下，所提出的 22.4～26.8 GHz 振荡器在 25.8 GHz、1/10 MHz 偏置下实现了-115.3/ -138 dBc/Hz 的低 PN，仅消耗 19.7 mW，FoM 为 190.6/193.3 dBc/Hz，与现有技术相比具有优势。

8.3：28 GHz 可扩展内核间整形多核振荡器 DM/CM 配置耦合实现 1 MHz 偏置 193.3 dBc/Hz FoM 和 205.5 dBc/Hz FoM_A

毫米波无线通信网络的高阶调制方案对本相噪声有严格的要求。为了最大限度地减少振荡器的功耗，常常将高品质因数当作目标，特别是对于非常低的相位噪声规格。各种谐波整形技术可以降低噪声灵敏度，从而改善 FoM。

Shu 等[21]提出了一种可扩展的核间整形多核振荡器，该振荡器可以在毫米波下实现低相位噪声和高 FoM。论文提出的拓扑结构的 4 核和 20 核配置在传统的 40 nm CMOS 技术中进行了验证。4 核振荡器实现了 1 MHz 偏置 193.3 dBc/Hz 的 FoM 和 205.5 dBc/Hz 的 FoM_A。20 核原型在 28.33 GHz、1 MHz 偏置下相位噪声低至-120.74 dBc/Hz。

8.4：83.3～104.7 GHz 谐波提取 VCO，集成多谐振、多核和多模实现-124 dBc/Hz 绝对 PN 和 190.7 dBc/Hz FoM_T

W 波段为蓬勃发展的行业提供了丰富的频谱资源。然而，开发同时具有宽调谐范围（tunning range，TR）和低绝对相位噪声的 W 波段压控振荡器仍然具有挑战性。开关电容阵列品质因子的降低，改善了 W 波段振荡频率下 TR 和绝对 PN 之间的权衡。先前的研究并没有同时探索多谐振槽、多模态和多核，因此，Guo 等[22]提出了一种由 4 个多谐振 VCO 核组成的圆容耦合网络。该网络具有 4 种工作模式，覆盖了从 83.3～104.7 GHz 的 20.9%的 TR，同时不干扰单核的多谐振设计。论文设计并制造了一个多共振、多核、多模式的谐波提取 VCO，命名为 3M-VCO。在 10 MHz 偏置时，它的绝对 PN 为-124 dBc/Hz，在 W 频段的宽 TR 为 20.9%。采用 65 nm CMOS 工艺的 3M-VCO 原型占据 0.37 mm^2，在 0.7 V 电源下功耗约为 40 mW。

（7）Session 10 流水线和噪声整形数模转换器

10.2：10b 单通道 2.6 GS/s 动态流水线 ADC，具有延时残差生成方案，实现内在的 PVT 鲁棒性

具有先进调制方案的高度集成有线接收机需要多 GS/s 中分辨率单通道模数转换器，并且具有紧凑的大面积交错。流水线式 SAR（successive-approximation-register）ADC 因其高能效而备受关注。但是，由于 SAR 量化器的串行转换特性，其转换率仍然受到限制。

为了打破速度和分辨率方面的瓶颈，同时保持与流水线 SAR ADC 相当的效率，Hao 等[23]提出了一种时间辅助残差生成（time assistant residual generation，TARG）技术，实现了 10b 单通道 2.6 GS/s 时间域（time domain，TD）流水线 ADC。基于 TARG 的流水线 ADC 促进了低线性时间残差，大大压缩了第一级残差传递时间，同时实现了高线性 TD PARG（post-amplification residue generation），解耦了线性和时间残差生成速度。此外，在 TARG 方案中，V-T 和 T-V 转换之间固有的互补特性使 TD 流水线 ADC 在无需增益校准的情况下具有 PVT（process-voltage-temperature）鲁棒性。该设计以 2.6 GS/s 的速度运行，在±5%的电源变化下，信噪失真比（signal-to-noise and distortion ratio，SNDR）下降 1.55 dB，在–40～85 ℃范围内 SNDR 损耗 1.25 dB。TD 流水线 ADC 原型采用 28 nm CMOS 工艺，核心尺寸为 0.005 9 mm^2。在 0.9 V 电源下以 2.6 GS/s 的速度运行，原型 ADC 消耗 13.9 mW，产生 17.6 fJ/conv.-step 的 Walden FoM。

10.3：单通道、12 bit 2 GS/s PVT、鲁棒型流水线 ADC，具有临界阻尼环形放大器和时域量化器

高速流水线模数转换器依赖于快速准确的残留放大，通常需要校准，因此存在潜在的收敛问题、额外的面积/功率开销和更高的测试成本。最先进的开环（open loop，OL）残留放大器（residual amplifiers，RAs）适应较短的放大时间，在 PVT 上具有良好的无校准增益变化。但由于缺乏闭环（close loop，CL）辅助，达到更高的性能是具有挑战性的。CL 拓扑中的环放大器是一种很有前景的替代方案，在 16 nm 工艺中显示出 420 ps 以内的 2 倍放大。然而，它的可环特性强加了精确的死区控制，在高速应用中比 PVT 具有最佳性能，这反而又失去了 CL 架构中常见的无需校准的特性。

Cao 等[24]提出了一种用于时域 ADC 辅助流水线

ADC 的免校准临界阻尼环放大器（critically damped ring amplifier，CDRA），设计了一种用于低功耗 CM 调制的复合 CMFB（common-mode feedback）方案。CDRA 在 130 ps 内保持 4 倍/8 倍 PVT 稳定放大，可实现 28 nm CMOS 单通道 12 bit 2 GS/s ADC，SNDR 在 Nyquist 为 60.4 dB。快速而强大的 CDRA 可实现高能效的单通道 2 GS/s ADC，同时在高速下实现稳定的性能，无需背景校准。

10.5：25 MHz 带宽、77.2 dB SNDR、2 阶增益误差整形和基于量化预测的 NS 流水线 SAR ADC 展开方案

在两步过采样模数转换器中形成级间增益误差已经证明了各种机制的良好误差抑制。Zhang 等[25]提出了一种 Q 预测展开-增益误差整形（Q-prediction-unrolled gain-error-shaping，QPU-GES）方案，避免了之前方案存在的正反馈和数字误差反馈（digital error feedback，DEF）导致的速度限制问题。它具有 77.2 dB 的 SNDR，在+18%的正增益误差下也只有 3 dB 的 SNDR 降低。论文提出的两步拓扑结构缓解了浮动逆变器放大器（floating inverter amplifier，FIA）中较大的增益变化，使其适合作为本设计中的残留放大器。还介绍了一种 2 阶全无源噪声整形（noise-shaping，NS）SAR ADC，该 ADC 在比较器中只需要一个小尺寸的附加对。进一步结合部分交错和 DWA（dynamic weighted average），原型显示具有 178.1 FoM_S 的 25 MHz 带宽。

通过 QPU- GES、两步 FIA 和 2 阶全无源 NS SAR 设计，该系统具有低功耗、宽带宽、高分辨率和出色的增益误差抑制能力。

10.6：具有跳过功能的 150 kHz BW 15 有效位数增量变焦 ADC 采样和单缓冲嵌入式噪声整形 SAR 量化

许多物联网应用要求 ADC 具有高分辨率、中等带宽（bandwidth，BW）和良好的能效。近年来，增量式模数转换器因其易于复用和简单的数字滤波等优点而受到越来越多的 关注。

Wang 等[26]提出了一种全动态增量变焦 ADC，在超过 150 kHz BW 实现 92.5 dB SNDR，OSR（oversampling ratio）低至 8，输入电容小至 0.8 pF。为了扩大变焦结构的输入带宽，提出了一种二阶 7b NS SAR 作为精细量化器，显著缩短了转换周期。为了简化驱动要求，提出了一种浮动逆变放大器辅助残差提取方案，在不破坏残差电压的情况下进行环路滤波器更新，从而允许 ADC 跳过 75%的采样操作。同时，还进行了 kT/C 噪声消除，使采样电容降低了 10 倍。此外，还提出了一种带二阶数字预测的 6b 数字斜率 ADC 作为粗量化器，以最小的 DAC（digital-to-analog converter）切换活动有效地跟踪输入。基于 28 nm CMOS 工艺的增量变焦 ADC 在 300 kS/s 下功耗为 160 μW，Schreier FoM 为 182.2 dB。

10.7：单通道 70 dB SNDR、100 MHz BW 4 阶噪声整形流水线 SAR ADC，内置残余放大器错误整形

新兴无线标准要求模数转换器具有百兆赫带宽，带内动态范围优于 60 dB。连续时间 sigma-delta 调制器可以在低过采样率下适应宽带目标的高 DR。然而，耗电积分器限制了 CTSDMs（continuous-time sigma-delta modulators）的能源效率，同时受到 STF（strong tracking filter）峰值问题的困扰。NS SAR ADC 不受上述限制，非常适合多标准无线通信系统，具有节能、全无源积分器和易于配置的架构。Zhang 等[27]提出了一种具有有效 4 阶 NS 的单通道 NS-PiSAR（pipeline with NS-SAR）ADC，在 100 MHz BW 范围内实现了 70.15 dB 的峰值信噪比。通过一次微调，ADC 在 VT 变化下具有鲁棒性。与其他 NS SAR ADC 相比，论文提出的单通道 ADC 实现了最高的带宽，具有良好的能量效率。

（8）Session 11 USB 和计算功率传输

11.2：使用共用直流电容的 12 V 转 1 V 4 路输出开关电容降压转换器，实现 90.4%的峰值效率和在效率为 85%时 48 mA/mm³ 的功率密度

直接 12 V 转 1 V 的供电在数据中心应用中已经很流行。由开关稳压器调节的多输出有利于减少能量开销。对于 12 V 转 1 V 的应用，传统的降压变换器具有很高的开关损耗。这导致低开关频率 f_{SW}，因而导致大电感和低功率密度。混合变换器减少了开关的电压应力，可以使用具有更好品质因数的低压器件。然而，由于堆叠的低侧开关，特别是当这些开关在 12 V 转 1 V 应用中传导大部分电感电流时，会产生很大的传导损失。因此，需要大的开关面积来降低导通损耗。

Hu 等[28]提出了一种 12 V 转 1 V 的 4 输出开关电容降压转换器，采用共享直流电容以达到 90.4%的最高效率和 85%效率下 48 mA/mm³ 的功率密度。研究中提出的转换器采用了 3:1 的开关电容降压（switched-capacitor buck，SCB）电路作为单通道转换器，由 3 个堆叠的半桥、2 个直流电容和 2 个飞电容组成，通过创新的共享直流电容方案（shared capacitor direct current scheme），这种多输出 SCB 能够在各个通

道之间共享直流电容，从而减少了单个电容的体积，提高了整体转换器的功率密度。

11.6：42 W 可重构双向供电调压电缆

近年来，通用串行总线（universal serial bus，USB）变得非常通用，通过单个 Type-C 端口连接电力传输和各种数据协议。特别是，USB Type-C Power Delivery（PD）标准允许电缆提供 100 W 或更高的功率。然而，散热问题成为了超紧凑便携设备快速充电的限制因素。如何将热量排出设备，同时保持设备的小而薄，成为一个备受关注的问题。除了适配器到设备的正向充电场景，设备到设备的反向充电模式也是一个加分项。

Tong 等[29]提出了一种可重构的双向供电（bidirectional power delivery，BiDi-PD）调压电缆，它不仅将充电集成电路和所有相关的无源元件集成到 Type-C 连接器中，而且还能够调节双向降压电压。现在，该电缆还可以作为散热片，大大缓解小型设备在超快充电过程中的散热问题。

它主要包括两部分：电缆和可重构的 BiDi-PD 转换器。利用充电电缆的寄生电感作为该变换器的功率电感。BiDi-PD 变换器仅由 5 个开关、1 个飞电容和 1 个滤波电容组成。当电缆从适配器给笔记本充电时，转换器配置为正向模式。在正向模式下，电缆电感携带降压转换器的较低输入电流；当笔记本电脑为智能手机充电或为其他外设供电时，电缆被重新配置为反向模式，通过 3 级操作减少电缆电感电流纹波。此外，还实现了飞电容电压校准。

正向模式峰值功率密度高达 3.17 W/mm^2，最大功率为 42 W。用 1.5 m 的 Type-C 电缆测试反模效率，I_{OUT} 范围为 0.2～2 A。在 9 W 时，不计电缆损耗的芯片效率峰值为 93.7%。反向模式的峰值功率密度为 1.36 W/mm^2，最大功率为 18 W。

11.8：具有全占空比范围和低 V·A 指标的 5 A 94.5%峰值效率 9～16 V 转 1 V 双路串联电容转换器

随着计算核心功率需求的爆炸式增长，大转换比、高效率和紧凑的 12 V 转 1 V DC-DC（direct current to direct current）变换器变得越来越重要。双降压（double step down，DSD）转换器，也称为串联电容转换器，使用电容器来降低高压应力并延长占空比，提供了一种很有前景的解决方案。然而，代价是多个电感和有限的占空比范围（D<50%）。为了打破占空比限制，先前的一些工作采用额外的电源开关或电容器交叉连接（capacitor cross-connected，CCC）设计，以便在短瞬态时间内运行 D>50%。然而，稳态运行仍然是不允许的，并且限制了瞬态响应和输出电压范围。此外，由于开关电压应力仍然很高，DSD 转换器的效率有限。为了量化 DSD 的开关损耗和所提出的工作，Yang 等[30]采用了流行的 V•A 度量，它识别了整体变换器的导通和开关损耗，V•A 值越低表示损耗越低。

论文提出了一种双路串联电容变换器，在只有 1 个电感的情况下，具有固有的全占空比范围，低 V•A 度量和优异的效率。与传统的 DSD 变换器相比，提出的电容器不仅减少了开关电压应力，而且形成了电容电流通路。因此，开关电压和电流应力都得到了缓解，从而在较宽的输出电压和负载范围内实现了具有竞争力的变换器 V•A 度量和效率。该双路串联电容变换器采用 0.18 μm BCD（bipolar CMOS DMOS）工艺，输入电压为 9～16 V，输出电压为 0.6～1.6 V，负载容量为 5 A。

11.9：紧凑型 12 V 转 1 V 91.8%峰值效率的混合谐振开关电容并联电感（ReSC-PL）降压转换器

高功率密度、高效率和高电压转换比（voltage convert ratio，VCR）的 DC-DC 转换器在便携式设备和自主机器人中有很大的需求。双降压转换器及其变体具有降低功率晶体管电压应力、延长占空比和更高等效开关频率的优点。然而，这些拓扑结构都受到效率和电流密度之间的权衡的影响。

Cai 等[31]提出了谐振开关电容并联电感（resonant switched-capacitor parallel inductor，ReSC-PL）降压变换器，可以有效地将电感电流降至 0.5～0.67 倍以下，适用于 10～20 的高 VCR。ReSC-PL 降压变换器主要由 12 个开关、4 个飞电容、1 个主电感和 1 个寄生电感组成，通过级联高侧开关电容来降低开关节点电压，通过级联低侧谐振开关电容来进一步降低开关节点电压并减小电感电流，从而降低了高宽 VCR 范围的电感电流，实现了高效率和高电流密度。

11.10：12 V 输入、1～1.8 V 输出、93.7%峰值效率双电感 4 通道混合 DC-DC 转换器

具有宽输出电流范围的高效率 12 V 输入，1～1.8 V 输出的 DC-DC 转换器在节能便携式设备和汽车应用中非常理想。在这种应用中，传统降压变换器相当小的占空比 D（D<0.1）和功率开关的高电压应力带来了显著的效率损失。DSD 转换器是一种流行的解决方案。在 DSD 变换器中，飞电容 C_F 承受一半的 V_{IN}，将开关的电压应力放松到 V_{IN}/2，增大了占空比 D。但

是，两个电感必须提供所有的输出电流，从而导致电感的 DCR（direct current resistance）损耗很大。为了减少这种损耗，双路混合降压（dual-path hybrid buck，2PHB）变换器的飞电容 C_F 维持电压 V_{OUT}，并提供额外的输出电流路径。然而，在 2PHB 变换器中，小占空比和开关的高电压应力问题仍然很明显。

为了进一步增大占空比，减小开关的电压应力，Zeng 等[32]提出了一种双电感 4 路混合降压（dual-inductor quad-path hybrid buck，2L4PHB）变换器。2L4PHB 继承了 DSD 和 2PHB 转换器拓扑结构的优点，转换器的功率层由 8 个功率开关、3 个飞电容、2 个电感和 1 个控制器组成，其中飞电容 C_{F0} 承受一半的 V_{IN}，从而减轻了开关的电压应力。此外，C_{F1} 和 C_{F2} 都维持电压 V_{OUT}，并提供额外的输出电流路径，随后进一步降低电感的 DCR 损耗。此外，2L4PHB 还具有固有的电感电流平衡特性。相比现有技术，该设计在保证高效率的同时，实现了最大电流密度。

（9）Session 13 未来洞察

13.2：一种功耗为 47 nW 的混合信号语音活动检测器，采用非易失性电容只读存储器、短时卷积神经网络特征提取器和循环神经网络分类器

对实时语音的识别和翻译依靠一直工作的语音活动检测器（voice activity detector，VAD）来启用和禁用主系统，从而有效地降低能耗。特征提取器和无记忆分类器组成了当下 VAD 的基本结构。然而，使用 Mel 频率倒谱系数的特征提取器不仅占用了大量的面积，而且在 16～25 ms 的提取窗口中产生了很长的延迟，以覆盖低至约 100 Hz 的频率。时域卷积神经网络利用无源开关电容计算，节约了特征提取器的功率和面积。但是，模拟存储器的面积依然很大，提取窗口（10 ms）内的信号泄漏也不可忽略。此外，上述方法都需要采用大面积、大功耗的片上存储器来存储网络参数，每次上电时都需要将它们预加载到易失性存储器中，大大增加了系统的复杂性。

Lin 等[33]提出的混合信号 VAD 解决了上述架构的缺陷。论文采用了以下两种设计：（1）一种新型记忆分类器，将短时卷积神经网络用作特征提取器，将提取窗口缩短到 0.5 ms，并减少了模型参数；（2）采用内含权重只读存储器的乘累加单元，避免了易失性存储器及其权重访问在面积和功耗上的开销。在 65 nm CMOS 工艺下，该 VAD 的功耗仅为 47 nW，在 10 dB SNR 下整体命中率达到 94%。

（10）Session 14 时钟和电源管理的数字技术

14.2：一种 10～300 MHz，采用辅助 PLL 背景的 0/1/2 阶 DTC INL 校准的小数输出分频器，最坏小数杂散为-80 dBc

现代的片上系统（system on chip，SoC）集成了几个独立的片上时钟发生器，以满足不同模块的需求。通常，在 SoC 中使用多个锁相环来提供各种频率输出。然而，这种方法具有面积大、功耗高、成本高、系统复杂等诸多缺点。由多模分频器、数字-时间转换器（digit to time converter，DTC）和数字控制器组成的小数输出分频器（fractional output divider，FOD）已被证明是产生多个独立时钟的有效方法。然而，DTC 对 PVT 十分敏感，需要校准来减少杂散。传统的 DTC 校准算法都未考虑 DTC 的积分非线性的问题。

Yang 等[34]提出了一种基于辅助锁相环背景的 0/1/2 阶 DTC 积分非线性校准方案。辅助锁相环作为频域滤波器，天然跟踪输入时钟的载波频率，替代了前台校准，不需要先验知识。基于该校准算法，论文提出的 FOD 与前人提出的-55 dBc 杂散电平和-65 dBc 杂散电平的 FOD 相比，实现了小于-80 dBc 的最坏情况杂散。在 28 nm CMOS 工艺下，核心面积为 0.084 mm^2。

（11）Session 15 物联网和安全

15.4：基于 28 nm 工艺的 68 MOPS 0.18 μJ/Op Paillier 同态加密处理器

云计算在各种新兴信息应用中起着关键作用，基于大量个人和组织数据提供可靠高性能的服务。Paillier 同态加密（Paillier homomorphic encryption，PHE）是一种重要的隐私计算技术，使密文能够享有与明文等效的效用。

Shi 等[35]介绍了一种高性能的 Paillier 同态加密处理器单元（Paillier homomorphic encryption processor unit，PH-EPU），包括 2 个高效的模块处理单元、高效的密文处理单元和可扩展的计算流。该处理器采用 28 nm 工艺，支持 Paillier 的加密、解密和同态评估，比桌面 CPU Intel Core i9-9900 快 14.9 倍，比服务器 CPU Intel Xeon Platinum 8260M 的延迟低 22.8 倍。

论文还描述了 PH-EPU 的整体架构、模块处理单元的实现细节、密文处理单元的数据流、任务部署流程，以及关于关键原始操作和位串行优化的能效性能总结。该处理器支持所有类型的同态加密任务，并具有高度灵活性和动态位宽，同时利用位串行稀疏性优化性能。

（12）Session 16 高效的基于存内计算的机器学习处理器

16.1：MulTCIM：一种 28 nm 2.24 μJ/token，基于 attention-token-bit 混合稀疏数字 CIM 的多模态 Transformer 加速器

多模态 Transformer 是当下最流行的处理多种模态信号（视觉、文字、语音等）的 AI 模型之一，已广泛应用于视频问答、多语言图像检索等任务中[36]。这类模型巨大的计算量、频繁的数据访问、独特的跨模态注意力机制对 AI 芯片设计造成诸多挑战。Tu 等提出首款基于可重构数字存算一体架构的多模态 Transformer AI 芯片 MulTCIM，充分利用跨模态注意力机制中的计算冗余性，设计出综合利用 attention-token-bit 3 个层次混合稀疏性的存算一体架构：（1）使用注意力局部性调度器优化 attention 稀疏，提高存算单元利用率；（2）采用模态自适应存算一体网络优化 token 稀疏，减少跨模态切换时的等待时间；（3）利用位宽均衡存算一体单元优化 bit 稀疏，降低存算一体单元的计算延迟。MulTCIM 芯片在 28 nm 工艺上成功实现流片，在典型多模态 Transformer 模型 ViLBERT 上仅产生 2.24 μJ/Token 的能耗。

16.2：用于非结构化剪枝神经网络和基于 CIM 的局部注意力可重用引擎的 28 nm 53.8 TOPS/W 8b 内存蝴蝶零跳子稀疏变压器加速器

随着 Transformer 网络在人工智能任务中的广泛应用，对计算硬件和内存的需求不断增长。为了应对这一挑战，Liu 等[37]提出了一种高效的 Transformer 加速器，采用了自定义的内存路由和计算宏，以应对不规则的稀疏性，实现了 53.83 TOPS/W 的能效和 0.85 TOPS/mm^2 的面积效率。

论文中提到的芯片采用了 28 nm CMOS 工艺。在性能方面，该芯片的工作频率可达 320 MHz，整体功耗为 250.65 mW。对于特定任务（Enwik-8 和 Text-8 任务），该芯片实现了 11.83/53.83/25.22 TOPS/W 的系统能效，分别用于 Q/K/V 生成、Q・K/P・V 计算和整体注意力。此外，该芯片的面积为 3.93 mm^2，实现了 0.85 TOPS/mm^2 的面积效率。

论文指出，与其他同类设计相比，该加速器利用了计算内存中的稀疏感知架构，既用于非结构化权重剪枝，又用于局部注意力。虽然 IMPERA（in-memory sparse-to-dense routing array）宏占据了总 CIM 面积的 42.16%，但 IMPERA-based FFM（feed-forward macros）减少了 Q/K/V 生成的权重存储和乘积累加电路的复杂性，同时 AM（attention engine with 8 digital CIM macros）宏减少了 Q・K/P・V 计算的注意力分数存储和处理延迟。这些特性促进了高效的 Transformer 加速，使能效提高了 1.23～3.65 倍，面积效率提高了 1.42～42.50 倍。

因此，该论文中的芯片在 28 nm CMOS 工艺下实现了出色的能效和面积效率，并且在与其他同类设计的比较中表现出明显的优势。

16.3：一种支持浮点神经网络推理、训练的 28 nm 16.9～300 TOPS/W 存算一体处理器

CIM 在低精度整数乘累加上表现出高能效，但实现浮点运算的 CIM 尚未被充分探索。主要面临 3 大挑战：（1）指数不对齐带来过长的位序列传输，占用许多 CIM 周期；（2）需要支持集约型 CIM 和灵活稀疏数字混合工作流程的数字核心；（3）浮点对齐带来更多随机稀疏度，对应的稀疏策略还未探索。

Yue 等[38]提出一种准确高效的浮点 CIM 处理器用于神经网络推理、训练。主要创新：（1） FP 到 INT 的 CIM 流水线，减少执行周期，提高效率；（2）灵活的稀疏数字核心，实现高精度；（3）低 MAC 值 CIM 宏，利用随机稀疏度。在 28 nm 工艺上实现，可在 10～400 MHz，0.469～0.9 V 下工作。在 Cifar-10 和 ImageNet 数据集上验证，INT4/FP16 的宏级能效分别比现有技术提高 6.99 倍、1.97 倍。

16.4：TensorCIM：一种 28 nm 3.7 nJ/Gather 和 8.3 TFLOPS/W FP32 数字 CIM 张量处理器，用于基于 MCM-CIM 的超神经网络加速

Beyond-NN 计算是面向通用智能场景的新型计算类型。不同于传统的处理图像、语音等规则数据结构的神经网络，Beyond-NN 计算需要处理真实世界中的非规则数据结构，例如社交网络、知识图谱、推荐系统等。针对 Beyond-NN 在算力、访存、功能 3 方面的技术挑战，Tu 等提出首款基于可重构数字存算一体架构的多芯粒张量处理器 TensorCIM：（1）TensorCIM 采用多芯粒系统对算力和存储容量进行扩展，在降低制造成本的同时，为不同规模的 Beyond-NN 场景提供可扩展的系统解决方案；（2）TensorCIM 通过数字存算一体架构大幅减少数据搬运，并支持高精度的浮点计算以保证准确度；（3）TensorCIM 将可重构技术与数字存算一体相结合，实现稀疏张量聚集和稀疏神经网络计算两种模式的动态切换，保持极高的计算资源利用率。TensorCIM 芯片使用 TSMC 28 nm 工艺成功流片，在图神经网络、推荐系统等典型 Beyond-NN

应用上验证，取得 3.7 nJ/Gather 的稀疏张量聚集效率和 8.3 TFLOPS/W 的稀疏 FP32 张量代数能效，相比同期浮点存算一体 AI 芯片能效提升 5.6 倍。

（13）Session 17 高速数据转换器

17.1：一种 2×-interleaved 9b 2.8 GS/s 5 b/cycle SAR ADC，线性化可配置 V2T 缓冲器，在 3 GHz 输入下实现 50 dB SNDR

多 bit/cycle SAR ADC 可以大大提高采样速率，同时保持能效优势[39]。然而，它需要产生多个 reference 并进行多 bit 比较，带来更大功耗、耗时和面积开销。之前的设计或 reference 生成时间长，或需要大量硬件资源。Zhao 等[40]提出一种新颖的多 bit/cycle SAR ADC 架构，使用时域量化器（quantizer，QTZ）和线性化动态积分器 V2T（voltage to time）缓冲器，既实现了高速多 bit/cycle 操作，又提供采样前端和 QTZ 之间的隔离，去除 kickback 噪声并获得高输入带宽。

论文实现一个 2×-interleaved 5 b/cycle 9b SAR ADC。采用 28 nm 工艺，在 0.9 V 供电下功耗为 18 mW，采样率为 2.8 GS/s。Nyquist 输入信号下，SNDR 和 SFDR（spurious free dynamic range）分别达到 51.79 dB 和 72.36 dB。Walden FoM 为 20.3 fJ/conv.-step。关键创新在于提出线性化可配置 V2T 缓冲器，通过数字电容阵列配置时间域满量程，实现固定 reference 下的多 bit 时间量化。与最先进的结果对比，在相近采样率下性能更优。

17.5：一种 10 mW 10 有效位数 1 GS/s 环形安培流水式 TI-SAR ADC，具有分体式 MDAC 和开关参考去耦电容

下一代无线标准要求 GHz 级采样率和 12 bit 以上分辨率的 ADC。常规流水线式 ADC 能满足速率和分辨率要求，但功耗过高。TI（time-interleaved）ADC 利用低功耗 SAR ADC 子块实现低功耗，但需要复杂的时序校准。Zhan 等[41]提出结合环形放大器与 TI-SAR 的混合流水线架构，降低功耗的同时简化时钟分布。

论文提出 split MDAC（multiplying digital-to-analog converter）的环形放大器和参考电压解耦电容开关技术，实现了 1 GS/s 10 bit 10 mW 的 TI-SAR 流水线式 ADC。在 28 nm 工艺、1 V 供电下，SNDR 62.5 dB，FoMS 171.1 dB，FoMW 6.3 fJ/conversion-step，性能优于已有研究。关键创新：（1）分割 MDAC，提高环形放大器增益带宽；（2）参考缓冲的解耦电容开关技术，使缓冲功率大幅降低到 3.7 mW。论文展示了环形放大器与 TI-SAR 混合架构的潜力。

（14）Session 18 mm 波及亚太赫兹无线传输和传感

18.3：71～89 GHz 12 Gb/s 双边沿触发正交 RFDAC，具有 LO 泄漏抑制，峰值输出功率为 20.5 dBm，系统效率为 20.4%

毫米波无线传输对低成本、高效率、多 Gb/s 数据率的需求日益增加。71～89 GHz 是重要的 E 波段，用于多 Gb/s 无线通信。CMOS 毫米波 RF 数字数模转换器（radio frequency digital to analog converter，RFDAC）具有高效率、数字调制等优点，但存在输出功率、动态范围等问题。

Yang 等[42]提出 71～89 GHz 双边沿采样正交 RFDAC，通过 LO 泄漏抑制，实现 20.5 dBm 峰值输出功率，20.4%系统效率，支持 12 Gb/s 16 QAM（quadrature amplitude modulation）和 6 Gb/s 64 QAM 信号。采用 40 nm CMOS 工艺，总面积 0.91 mm^2。论文展示了 DET（double-edge-triggered）RFDAC 在高数据率毫米波无线传输中的潜力。

（15）Session 22 异构机器学习加速器

22.2：基于体素的大尺度点云网络的 28 nm 2D/3D 统一稀疏卷积加速器与块邻近搜索器

3D 语义分割在自动驾驶等新兴应用中发挥重要作用。基于体素的 3D 稀疏卷积网络比基于点的网络在大规模场景下性能更好，需要专用加速器来支持关键操作，包括 3D 子流形、非子流形稀疏卷积和 2D 稀疏卷积。

Sun 等[43]提出了 2D/3D 统一的稀疏卷积加速器，用于大规模基于体素的点云网络。主要创新：（1）块级稀疏数据管理，消除集/散开销；（2）可重构的高吞吐 SCONV（sparse convolution）核，统一支持 2D/3D SCONV；（3）异步同步混合多核调度，最大化数据重用。在 28 nm 工艺下实现，支持 SECOND 网络，在 KITTI 和 nuScenes 数据集上达到 3.3～16.9 fps。与现有 3D SCONV 加速器相比，功耗降低 1.9～5 mJ/f。

22.6：ANP-I，一种 28 nm 1.5 pJ/SOP 异步尖峰神经网络处理器，支持边缘人工智能应用中低于 0.1 μJ/样本的片上学习

异步电路是设计大规模类脑芯片的重要技术，但由于缺乏成熟 EDA（electronic design automation）工具的支持，异步电路设计存在较大挑战。Zhang 等[44]研发出国内首款具备片上学习能力的异步类脑芯片 ANP-I。ANP-I 芯片采用全异步电路技术，是能实现手势识别、关键词检测、图像分类等多类型任务的片上学习类脑

芯片。该芯片实现了 3 层全连接网络，片上集成了 522 个神经元，517 K 个突触，每个突触的权重精度为 8/10 bit。ANP-I 芯片具有极低功耗的片上学习能力，针对不同的任务，芯片从随机权重开始进行训练，在保证 92% 以上准确率的前提下，每个样本的学习能耗低于 100 nJ。该性能使边缘端智能芯片同时具备识别和学习能力成为可能，可应用于万物智联的边缘端多模态信息的智能处理。传统应用于边缘计算的智能芯片，由于片上学习的能耗代价过高，往往只支持识别过程。ANP-I 芯片低能耗的片上学习能力可以很好地解决该问题，使具有片上学习能力的边缘端智能芯片得到广泛的运用。例如，在基于肌电臂环的手势识别展示中，通过片上学习，ANP-I 芯片能学习到不同使用者特有的肌电信号特征，并且消除肌电臂环电极偏移带来的影响，极大程度地提高基于肌电臂环的手势识别准确率以及实用程度。

22.7：DL-VOPU，一种支持多尺度语义特征提取的高效领域深度学习视觉对象处理单元，用于移动目标检测、跟踪应用

Gong 等[45]针对移动设备上的目标检测和跟踪（visual object detection and object tracking，VODT）应用，提出了一个名为 DL-VOPU 的深度学习视觉目标处理器。

DL-VOPU 支持最新的基于多尺度语义特征提取（multi-scale semantic feature extraction，MSFE）的 VODT 框架，其 backbone 网络是可编程的。DL-VOPU 采用了多个域特定的优化技术：（1）面向 MSFE 的高效 AI 架构，支持流水线的 MSFE 运算；（2）面向对象的自适应计算技术，可以根据目标区域预测结果跳过不需要的计算；（3）并行帧差分计算技术，利用视频流中相邻帧的冗余度进行计算优化；（4）统一的数据压缩与计算技术，合并检测和跟踪任务中的数据冗余进行复用。

DL-VOPU 在 40 nm 工艺实现，支持目标检测、跟踪以及联合检测与跟踪任务，其性能与能效指标均超过最新研究。

（16）Session 23 模拟传感器接口

23.1：一个 7.9 fJ/conv.-step 和 37.12 aF_{rms} 的基于 kT/C 噪声消除和不完全沉降相关电平移位的流水线式 SAR 电容-数字转换器

Gao 等[46]提出了一种采用了 kT/C 噪声消除和不完全稳定相关电平移位（incomplete-settling-based correlated level shifting，ISCLS）技术的流水线逐次逼近成功逻辑 ADC 架构的电容数模转换器。该结构可以同时实现高分辨率（37.1aF）、高能效（每转换步骤 7.9 fJ）和高转换速率（5 μs）。

论文创新点包括：（1）采用 kT/C 噪声消除技术，使得仅需一个 400 fF 的电容 DAC 就可以实现 37.1 aF_{rms} 的分辨率；（2）提出 ISCLS（incomplete-settling-based correlated-level-shifting）技术，可以在不完全稳定放大的条件下实现大的闭环增益，从而提高能效；（3）采用后台时序控制环，提高增益精度。

测试结果显示，在 22 nm 工艺下，该芯片实现 71.3 dB 的 SNR，转换能量仅为 0.023 nJ，FoW_M 为 7.9 fJ/conv.-step，比其他同等分辨率 CDC（capacitance-to-digital converter）提高 2 倍。

论文验证了所提出的架构和技术在高分辨率、高速率和低功耗方面的优势,为各种传感器接口提供了一种高性能的 C-to-D 转换解决方案。

（17）Session 24 太赫兹信号生成

24.1：一种辐射功率为 9.1 dBm、无透镜 EIRP 为 30.8 dBm、波长为 0.64～0.69 THz 的 65 nm CMOS 相干光源

Gao 等[47]介绍了一种新型的 0.64～0.69 THz 波束可控相干源，采用了 65 nm 的 12×12 耦合振荡器阵列，占据了 2 mm×1.7 mm 的面积。该源可以在 643～689 GHz 范围内工作，辐射出 9.1 dBm 的峰值功率，功耗为 3.32 W，在 675 GHz 时的直接电功率转换效率为 0.245%。该源的无透镜等效辐射功率（effective isotropic radiated power，EIRP）为 30.8 dBm，相位噪声在 1 MHz 偏移时为-90.9 dBc/Hz。该源可以在水平平面上将波束从-45° 到 45° 进行转向，显示出对波束方向更好的控制。这种波束控制的能力使该源在需要灵活波束定向的应用中具有优势，例如雷达和通信系统。

论文还介绍了该源的 2D 同步网络、耦合振荡器阵列的设计和制造，以及通过热图和频谱分析开展的性能测试。

（18）Session 25 射频收发器构建模块

25.1：4.1 W 正交 Doherty 数字功率放大器，峰值 PAE 为 33.6%

Li 等[49]设计了一种采用 8 路差分电力合成拓扑的正交 DPA（digital power amplifier），集成使用 IQ（in-phase quadrature）重用技术和 Doherty 技术，实现了峰值输出功率 4.1 W 和峰值功率增益效率 33.6%，表现优于相关研究，符合 5G 基站的高功率高效率需求。

论文采用 28 nm bulk CMOS 工艺，面积仅为 1.4 mm^2。在 2.9 GHz 下，backoff 6 dB 时效率达 25.3%，3 dB 时达 22.6%。在 LTE（long term evolution）信号下平均效率也高达 18.5%，充分验证了设计的高效率特性。

整体而言，本设计通过高效电路和架构创新取得了大功率输出、高效率的性能，技术指标显示其显著优于相关研究，为 5G 数字基站和大规模 MIMO（multiple-input multiple-output）应用提供有竞争力的解决方案。

25.2：基于宽带线性化技术的 19.7～43.8 GHz 功率放大器

Zeng 等[50]介绍了一种在 28 nm bulk CMOS 工艺下制造的、覆盖 19.7～43.8 GHz 频段的宽带线性功率放大器（power amplifier，PA）。该 PA 采用了自适应反馈线性器和多门晶体管技术，以纠正 AM-AM（amplitude modulation to amplitude modulation）和 AM-PM（amplitude modulation to phase modulation）失真，从而实现了高增益、低 AM-PM 失真和高效率。论文中还提到了该 PA 的设计原理、性能测试结果以及与其他同类设计的比较。

论文中提到，该 PA 的小信号增益为 20.5 dB，3 dB 带宽为 76%，峰值饱和功率为 20.3 dBm，1 dB 压缩点功率为 19 dBm，最大功率增益为 35.5%，1 dB 压缩点功率效率为 29.6%。此外，论文还对比了该 PA 与其他同类设计，结果显示该 PA 在性能上表现优异，表明该 PA 适用于 5G 用户设备和大规模相控阵应用。

25.3：基于非对称补偿变压器和 4：1 混合相位合并器的 4.8 dB NF、70～86 GHz 深度消噪 LNA

低噪声放大器（low noise amplifier，LNA）的噪声是接收系统总噪声的主要部分，因此噪声系数（noise figure，NF）是 LNA 最关键的特性之一。传统的噪声抵消技术在毫米波频段存在信号和噪声之间幅度和相位的不匹配，导致噪声抵消效果减弱，同时一级放大器的功率增益受限，导致二级放大器的噪声对总噪声的贡献占主导地位。

Han 等[51]介绍了一种新型的深度噪声抵消低噪声放大器，用于毫米波频段的接收机系统。该 LNA 采用了不对称补偿变压器和 4:1 混合相位合并器，以实现低噪声和低功耗。该 LNA 的性能与之前的 CMOS LNAs 相比具有竞争力，FoM1 为 6.0 dB，FoM2 为 28.0 dB，比之前的技术高出 3.0 dB 和 3.8 dB。该深度噪声抵消 LNA 在提供竞争性能的同时，具有较小的芯片尺寸和低功耗。

（19）Session 29 数字加速器和电路技术

29.7：基于电荷相关计算的 394 TOPS/W 混合信号 GPS 加速器

Li 等[52]提出了一个名为 CCSA 的混合信号 GPS 信号获取加速器。加速器采用了 4 096 个混合信号乘法器组成的阵列，每个乘法器可以进行数字输入到电荷域输出的转换。整个架构还包括 1 个闪存 ADC 和 1 个控制器。作者使用一种新的两相混合信号乘法器结构，只需要 1 个电容和 3 个电平，相比以前技术简化了电路。另外，通过精心设计阵列中各个处理单元的布局，成功减小了寄生电容，有效减轻了 ADC 的分辨率需求。

CCSA 测试芯片采用 28 nm CMOS 工艺制造，面积为 0.281 mm^2。在 0.9 V 供电电压下，实现了高达 394 TOPS/W 的能效和 3.56 TOPS 的最大吞吐率。相比之前文献中的最佳技术，CCSA 在相同吞吐率下，提高了 8.2 倍的能效；在相同供电电压下，提高了 5.1 倍的吞吐率和 3.1 倍的能效。该加速器的高效性能对于扩展可穿戴设备，如智能手表的电池寿命具有重要意义，为低功耗 GPS 接收机提供了有效的运算加速方法。

（20）Session 30 电源管理技术

30.6：一种 98.6%峰值效率 1.47 A/mm^2 的电流密度降压-升压变换器

Jin 等[53]提出一种始终可以减小电感电流的升降压 DC-DC 转换器。它使用 4 个功率 MOSFET（metal oxide semiconductor field-effect transistor）开关和 1 个飞电容的拓扑结构，相比典型双闭路转换器可以有效降低导通损耗，从而改善效率、提高电流密度。测试芯片采用 0.18 μm BCD 工艺，通过面积约为 1.7 mm^2 的 4 个开关传导 2.5 A 输出电流，实现了 1.47 A/mm^2 的电流密度。在所有工作模式下，都实现了大于 98.0% 的峰值效率。相比最新研究，电流密度提高了 2.07 倍，峰值效率提高了 6%。

论文主要创新：（1）提出始终可以减小电感电流的升降压转换器拓扑。在整个输入电压范围,电感平均电流比典型拓扑降低 20～30%，大幅降低了导通损耗；（2）使用 4 个 5 V 功率开关，有效解决了电压、电流应力问题，降低制造成本；（3）采用体积最大的 PMOS（positive channel metal oxide semiconductor）传导大部分电流，显著优化了导通损耗；（4）使用自举电路高效驱动体积最大的功率开关。

30.7：具有可重构 VCF 步进的连续可缩放转换比 SC 变换器，可在扩展的 VCR 范围内实现高效率

Wang 等[54]提出了一种可重配置电容电压步进的

连续可扩展转换比率开关电容（reconfigurable-V_{CF}-step CSC，RCSC）DC-DC 转换器。其关键创新在于，根据不同的输入和输出电压比，RCSC 拓扑可以自适应地分配内部参考电压水平，从而实现每个工作点下的最优效率，这种方式克服了典型的 CSC 拓扑在非最优转换比下效率明显降低的问题。论文通过精心设计的控制逻辑生成方法，大大减小了与固定参考电压的 CSC 相比所增加的硬件开销。

论文提出的 RCSC 测试芯片采用 65 nm CMOS 工艺，面积为 4.76 mm^2。在输入电压 0.3～2.5 V，输出电压 0.5～2 V 的宽范围内工作。其峰值效率达到 90%，相比之前的研究提高了 6%。与使用相似复杂度的固定 CSC 拓扑相比，RCSC 在转换比范围广、效率超过 75% 的情况下，规范化的转换比范围提高了 1.4 倍。该设计为宽输入和输出电压变化范围的能量收集系统提供了高效率的电源转换。

（21）Session 31 用于超宽带、脑-机接口和物联网系统的节能无线电

31.1：双 OOK 调制正交不确定中频 IR-UWB 收发器

脉冲超宽带（impulse radio ultra wide-band，IR-UWB）技术通过发送极窄脉冲序列实现低功耗信息传输和厘米级测距精度，逐渐成为短距通信的主流技术之一。但是，传统的脉冲超宽带收发机存在两大技术挑战：首先，极窄的脉冲宽度使得收发机在基带同步时面临困难；其次，脉冲超宽带接收机在系统功耗和解调性能之间存在着折中关系。针对以上问题，Wang 等[55]提出了一种全新的脉冲超宽带收发机架构。该收发机采用了 2 项关键技术：其一是双脉冲开关键控的调制方法，该调制方法不仅有效解决了收发机基带同步的问题，而且通过跳频技术提高了发射信号的频谱利用效率；其二是正交不确定中频的接收机架构，该架构显著提升了脉冲超宽带接收机的抗窄带干扰性能和测距精度。采用 65 nm CMOS 工艺实现的脉冲超宽带收发机具有-71 dBm 的灵敏度、0.96 cm 的测距精度，同时能够容忍最大-22.4 dBm 来自 6 GHz 频率的窄带干扰信号。

31.3：一种用于神经植入的 1.8 Gb/s，2.3 pJ/bit，无晶体 IR-UWB 传输器

Lei 等[56]提出了一个 4.09 mW，1.8 Gb/s 的 IR-UWB 发射器，用于神经植入物。主要贡献和创新点总结如下：（1）提出了一种 D16PPM（differential 16-pulse-position-modulation）-PWM-DBPSK 混合调制方案，实现了调制阶数为 6 的高阶调制，是目前的 IR-UWB 系统中最高的。这种调制方案可以在无晶振的条件下实现千兆传输/秒的数据率；（2）设计了一种基于环振荡器的全数字发射器。通过多层边沿结合电路精确地组合环振荡器的相位来实现 D16PPM 调制的脉冲，还设计了带有边沿检测链的脉冲整形器来实现 PWM 和 DBPSK 调制；（3）制程 40 nm CMOS 工艺，面积仅 0.058 mm^2，功耗 4.09 mW，比特能效率达到 2.3 pJ/bit，是同类 IR-UWB 系统中最低的，实现了 20 cm 的体外传输距离。与其他最新研究的 IR-UWB 系统相比，该设计同时实现了最高的数据率、最低的功耗和最高的能效，明显优于其他设计。

该论文设计的极具竞争力的 IR-UWB 发射器，可以应用于高数据率和超低功耗的植入式神经接口系统。调制方案和发射器架构的创新使其在性能和集成度上都领先同类设计。

31.4：基于多载波正交反向散射的 128 通道 2 mm×2 mm 无电池神经波合并多通道同步传输

Yang 等[57]提出了一个 128 通道，2 mm×2 mm 的无电池神经微片，通过多载波正交回波实现了大规模通道的同步采集和无电池传输。主要创新和贡献总结如下：（1）提出了多载波正交回波技术，实现了 20.16 Mb/s 的高数据率和 0.8 pJ/bit 的高能效，使大规模通道的同步采集和无电池传输成为可能；（2）设计了一种自校准直接数字转换器（self-calibrated direct-digital converter，SC-DDC），将 128 个通道集成在 2 mm×2 mm 的芯片上；（3）全数字实现使每个通道仅占用 0.02 mm^2 面积和 9.87 μW 功耗。65 nm 制程实现下，128 通道面积仅 0.031 mm^2。功率为 1098 μW，通信部分仅占 1.5%。输入相关噪声 209 nV/√Hz，动态范围 52 dB。与其他无电池神经植入系统相比，通信效率提高 2.5 倍。其首次在无线部件中实现 128 通道合并，数字技术使每个通道面积降低至 0.031 mm^2。

整体而言，该论文实现了大规模通道的同步采集和高效的无电池传输，系统性能和集成度均超过现有研究。

31.5：无源双向 BLE 标签演示在平板电脑、智能手机到标签，标签到平板电脑、智能手机和标签到标签模式下的无电池通信

Chang 等[58]介绍了一种被动式双向蓝牙低功耗（bluetooth low energy，BLE）标签，实现了在标签到平板电脑、智能手机，平板电脑、智能手机到标签和标签到标签模式下的无电池通信。该标签采用了一种全

数字 BLE 中频整形技术和二阶互调基于电荷域的 GFSK（Gauss frequency shift keying）解调技术，从而实现了全电池无线通信。论文指出，该标签采用了反向白化 BLE 信号，使其能够实现向 BLE 商品平板电脑的 160 m 回波范围。此外，该标签还能够实现标签到标签的通信，从而构建了无电池的物联网网状网络。

该被动式双向 BLE 标签采用 65 nm CMOS 工艺制造，实现了 1 Mb/s 的无电池 BLE 通信。在实验中，该标签成功地实现了标签到平板电脑的 160 m 上行通信和 12 m 的下行通信，并且展示了标签到标签的通信。论文还对该标签的性能进行了比较，指出了其在无电池通信范围、功耗等方面的优势。

该论文提出的被动式双向 BLE 标签，实现了无电池通信，并且在实验中取得了令人满意的结果。这种标签有望在物联网设备中得到广泛应用，为实现低功耗、无电池的通信提供了新的技术方案。

31.6：具有自动天线接口校准功能的 ULP 远程有源射频标签，在-22 dBm EIRP 下实现 20.5%的 TX 效率，在 17.8 nW RX 功率下实现-60.4 dBm 灵敏度

Yang 等[59]介绍了一种用于事件驱动物联网应用的超低功耗长距离有源射频标签，旨在提高电池寿命并降低维护成本，尤其适合于远程控制和牲畜监测等应用场景。论文详细讨论了该标签在 TX 和 RX 效率、天线设计和频率校准技术等方面的创新。

在 TX 方面，该设计采用了 class-B/C 型压控振荡器-功率放大器（voltage control oscillator power amplifier，VCO-PA）结构，通过减少谐振腔损耗来提高传输效率。与传统的 class-B 型设计相比，这种新型结构提高了发射效率。此外，还采用了一种校准方案，能够自动调整天线-收发器接口的共振频率，从而减少过程变化对被动电压增益的影响。而对于 RX 方面，引入了一种计数注入锁定技术，使 VCO-PA 能够自动追踪读取器的连续波输出，从而取消 TX 频率的漂移。

在性能比较方面，论文展示了与以往的 VCO-PA 基础的 TX 设计相比显著提高的传输效率。在 RX 模式下，其性能与其他基于信封检测器的 RX 设计相当，但加入的自动频率校准方案使该标签能够支持二维唤醒签名。

该研究通过创新的设计和技术优化，提升了有源射频标签在物联网应用中的性能，特别是在传输效率和频率校准方面，不仅提高了设备的能效，还增强了其在不同应用环境下的可靠性和灵活性。

31.7：为多模 NB-IoT/BLE 应用实现 40%系统效率的 0.7～2.5 GHz 滑动数字中频正交数字发射机

NB-IoT（narrowband internet-of-things）作为低功耗广域物联网应用的重要分支，规定了 LB（663～915 MHz）和 MB（1710～2010 MHz）等多个操作频段，以实现广范围覆盖并确保长寿命的低功耗。最近，2.4 GHz BLE 被集成到 NB-IoT 模块中，为 NB-IoT 终端提供有效的近场维护，例如智能电表、烟雾传感器等。

为了支持用户的多频段需求，之前的研究实现了分别优化的 LB/MB NB-IoT 功率放大器，但增加了设计的复杂性和成本。鉴于此，Hu 等[60]介绍了一种滑动数字中频宽带正交数码发射机，旨在为多模多频带的 NB-IoT/BLE 应用提供高效率的系统。该系统采用连续滑动的数字中频数字上变频器替代传统的分数上取样模块，并通过 IQ 共享技术实现了紧凑的宽带正交 Doherty 功率放大器，从而提高输出功率和效率。

论文详细描述了提出的系统架构和工作原理，以及系统在 28 nm CMOS 工艺中的实现，并提供了系统性能的测量结果。通过对数字发射器频率响应、输出功率和系统效率等方面的测量，展示了该系统在 0.9 GHz、1.7 GHz 和 2.4 GHz 3 个频点分别达到的峰值输出功率和效率。由于 Doherty 负载调制，系统在这 3 个频点实现了更高的效率。此外，论文还呈现了对 NB-IoT 和 BLE 信号的调制结果，显示系统在不需要数字预失真的情况下，实现了广泛的频率覆盖、最佳系统效率和宽动态功率范围。

（22）Session 33 非易失性存储器和存算一体

33.3：一种 9 Mb 基于 HZO 的嵌入式 FeRAM，具有 1 012 周期续航时间和 5/7 ns 读/写，使用 ECC 辅助数据刷新和偏置抵消感应放大器

Yang 等[61]介绍了一种 9 Mb HZO 基 FeRAM（ferroelectric random-access memory）的芯片设计，利用 TiN/HZO/TiN 栈结构在 130 nm CMOS 工艺的后端工艺中集成了直径 700 nm 的 HZO 基铁电电容器，测试显示 2 倍自发极化电荷密度大于 30 μC/cm^2。芯片总容量为 9 Mb，包含 8 个 1.125 Mb 的 FeRAM 存储块，每个存储块有 4 个存储数组，采用 1T1C 单元结构。为平衡读速度和阵列效率，位线长度选择 512 个单元。论文设计了一种基于 ECC（error checking and correcting）的温度自适应写电压驱动技术，可以根据温度变化调整写电压，当 ECC 检测到错误时提高写电压以改善可

靠性。测试显示在-40～120 ℃温度范围内写电压降低了 43%，改善了电容的过驱动问题。

该设计采用偏置抵消感应放大器，通过自动归零和边际增强技术减小偏移电压约 60%，提高了读单元的速度和精度。测试结果显示，在室温和 3.3 V 供电下，读速度达到 5 ns，写速度达到 7 ns。在 10^6 和 10^{12} 次写循环后，均未检测到误差，显示了出色的可靠性。

33.4：一个 28 nm 2 Mb STT-MRAM 存算一体宏，具有精致的位单元和 22.4～41.5 TOPS/W 用于 AI 推理

Cai 等[62]介绍了一种 28 nm 2 Mb STT-MRAM（spin torque magnetoresistive random access memory）计算在存储器中的设计。在标准 1 T～1 MTJ 位单元的基础上，通过折叠访问晶体管精炼位单元，实现了位单元内 XNOR 运算。提出了列修复交叉耦合读出方案，用于检测和修复读出边缘较小的弱位单元，保证计算的准确性。另外，提出了快速和温和两种读取方案，分别用于 1 bit 和 5 bit 精度的二进制卷积运算，温和方案可以提高 5.4%和 10.3%的推理准确率。

测试的 2 Mb STT-MRAM 计算单元，可以完成 9 bit 输入、9 bit 权重、1 bit 或 5 bit 输出的卷积运算。在 0.85～1 V 供电下，温和方案的能效可达 41.5 TOPS/W。与同类 MRAM 计算单元相比，该设计拥有更高的能效、更好的运算精度，总体性能指标处于领先水平。利用该计算单元，可以实现某些简单的神经网络，应用于对功耗和面积较为敏感的边缘 AI 设备。

（23）Session 34 用于量子计算的低温 CMOS

34.3：基于极调制的 28 nm 块体 CMOS 低温量子比特状态控制器

Guo 等[63]提出了一种基于极坐标调制的低温 CMOS 量子比特控制器集成电路设计。该设计的创新之处在于采用数字功率放大器进行幅度调制和开环注入锁相环进行相位调制来实现极坐标调制，可以灵活地产生任意包络的驱动脉冲。为了覆盖 4～6 GHz 的量子比特谐振频率范围，使用开环注入锁相振荡器；同时设计了一个辅助的时钟发生器，可以在 1 μs 内完成频率的快速锁定。由于极坐标调制的结构非常紧凑，每个通道的芯片面积只需要 0.9 mm^2。测试结果显示，在 3.5 K 温度下，该芯片的每个比特功率仅为 13.7 mW，与文中列出的其他最新技术相比降低了至少 40%。使用文中给出的计算方法，每个比特的功耗仅为 0.43 mW，较之前技术减少了 3.48 倍。最后，该芯片成功控制了超导量子比特的拉比振荡，验证了其在 3.5 K 下控制真实量子比特的能力。

34.5：经典量子接口用 202 dBc/Hz FoM 免校准 12.8～16.5 GHz 低温 CMOS 压控振荡器

Zhang 等[64]提出了一种用于经典量子接口的无需校准的 12.8～16.5 GHz 低温 CMOS VCO 设计。该 VCO 采用 65 nm 工艺，使用 1:2 变压器和 8 型头谐振结构。8 型头谐振结构包含左右 2 个螺旋线圈，可以产生共模的二阶谐振，与 VCO 的二阶谐振对齐。此外，通过调节变压器辅助线圈的电容，还实现了差模的三阶谐振对齐。测试结果显示，在 4.2 K 下该 VCO 工作频率范围为 12.8～16.5 GHz，相对带宽达 25.1%。相位噪声比室温下降 2～4 dB。闪烁噪声角频率保持在 450～950 kHz 不变。功率消耗仅 1.1 mW 时，发射相位噪声图形优值达到 202.3 dBc/Hz。与同类低温 VCO 相比，该设计实现了更低的功率和相位噪声，解决了低温 CMOS VCO 闪烁噪声增大的问题，可用于量子计算机的控制器。

6　总　结

对 ISSCC 2023 大会中国内地和港澳地区论文的统计分析，展示出中国在集成电路领域取得的显著成果和突出贡献。清华大学、澳门大学和北京大学等机构在发文数量上处于领先地位，展示了中国高校在集成电路研究方面的水平显著提升；通过对基金项目的支持情况进行分析，可以看到基金资助在推动中国集成电路领域的研究和创新方面发挥了重要作用，尤其是国家自然科学基金，支持了一半以上论文发表；机构合作分析揭示了国内集成电路领域的合作模式和合作网络，其中澳门大学与外国机构的跨国（地区）合作论文数量最多，清华大学合作网络最为广泛，为进一步加强学术交流和技术交叉提供参考；从研究领域来看，中国学者在存储器、射频、机器学习等领域具有较大优势，在数字架构和系统、前瞻技术等方面有待加强。此外，国内企业在集成电路前沿领域的发文数量相对较少，可以加强同科研机构的合作。最后，通过对中国内地和港澳地区学者论文主要内容进行翻译和整理，帮助集成电路领域的科研人员和工程师快速了解目前的技术前沿。本文的统计分析和论文翻译为研究人员提供了启示和方向，有助于促进中国集成电路领域的技术发展和国际竞争力提升。

参考文献

[1] 张莹, 杜春玲. 重视产业引领性，加速发展集成电路技术——访中国工程院院士吴汉明[J]. 微纳电子与智能制造, 2021, 3(1): 1-3.
ZHANG Y, DU C L. Attaching importance to the leading role of the industry to accelerate the development of integrated circuit technology[J]. Micro/nano Electronics and Intelligent Manufacturing, 2021, 3(1): 1-3.

[2] ISSCC. ISSCC - International solid-state circuits conference [EB/OL]. [2023-2-10]. https://www.isscc.org/.

[3] MIRABBASI S, FUJINO L C, SMITH K C. Through the looking glass—the 2023 Edition: trends in solid-state circuits from ISSCC[J]. IEEE Solid-State Circuits Magazine, 2023, 15(1): 45-62.

[4] TU F B, WU Z H, WANG Y Q, et al. MulTCIM: a 28 nm 2.24 μJ /token attention-token-bit hybrid sparse digital CIM-based accelerator for multimodal transformers[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 248-250.

[5] TU F B, WANG Y Q, WU Z H, et al. TensorCIM: a 28 nm 3.7 nJ/Gather and 8.3 TFLOPS/W FP32 digital-CIM tensor processor for MCM-CIM-based beyond-NN acceleration[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 254-256.

[6] LI H H, LEI K M, MAK P I, et al. A 12/13.56 MHz crystal oscillator with binary-search-assisted two-step injection achieving 5.0 nJ startup energy and 45.8 μs startup time[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 64-66.

[7] CAI Z K, WANG X, WANG Z X, et al. A 16 MHz X0 with 17.5 μs startup time under 10^4 ppm-ΔF injection using automatic phase-error correction technique[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 58-59.

[8] ZHANG Y H, YOU Y, REN W J, et al. A 0.954 nW 32 kHz crystal oscillator in 22 nm CMOS with Gm-C-based current injection control[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 68-70.

[9] ZHANG Z, SHEN X Y, ZHANG Z Y, et al. A O.4 V-VDD 2.25-to-2.75 GHz ULV-SS-PLL achieving 236.6 fsrms jitter, −253.8 dB jitter-power FoM, and −76.1 dBc reference spur[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 86-88.

[10] GUO M H, CHEN S S, GAO Z, et al. A 3-wafer-stacked hybrid 15MPixel CIS+ 1 MPixel EVS with 4.6 GEvent/s readout, in-pixel TDC and on-chip ISP and ESP function[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 90-92.

[11] LIU M, CAI Z T, ZHOU S H, et al. A 16.4 kpixel 3.08-to-3.86 THz digital real-time CMOS image sensor with 73dB dynamic range[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 4-6.

[12] YE B Y, WU G D, Gai W , et al. A 0.43 pJ/b 200Gb/s 5-tap delay-line-based receiver FFE with low-frequency equalization in 28 nm CMOS[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 112-114.

[13] SHENG K, GAI W X, FENG Z Z, et al. A 128 Gb/s PAM-4 transmitter with programmable-width pulse generator and pattern-dependent pre-emphasis in 28 nm CMOS[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 120-122.

[14] GUO A, SI X, CHEN X, et al. A 28 nm 64-kb 31.6-TFLOPS/W digital-domain floating-point-computing-unit and double-bit 6T-SRAM computing-in-memory macro for floating-point CNNs[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 128-130.

[15] HE Y F, DIAO H K, TANG C, et al. A 28 nm 38-to-102-TOPS/W 8b multiply-less approximate digital SRAM compute-in-memory macro for neural-network inference[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 130-132.

[16] WANG B, XUE C, FENG Z Y, et al. A 28 nm horizontal-weight-shift and vertical-feature-shift-based separate-WL 6T-SRAM computation-in-memory unit-macro for edge depthwise neural-networks[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 134-136.

[17] YUE Z H, WANG Y, WANG H Z, et al. CV-CIM: A 28 nm XOR-derived similarity-aware computation-in-memory for cost-volume construction[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 1-3.

[18] CHEN P Y, WU M, ZHAO W T, et al. A 22 nm delta-sigma computing-in-memory (Δ∑ CIM) SRAM macro with near-zero-mean outputs and LSB-first ADCs achieving 21.38 TOPS/W for 8b-MAC edge AI processing[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 140-142.

[19] WU Q X, DENG W, JIA H K, et al. An 11.5-to-14.3 GHz 192.8 dBc/Hz FoM at 1MHz offset dual-core enhanced class-F VCO with common-mode-noise self-cancellation and isolation technique[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 7-9.

[20] ZHAN X X, YIN J, MAK P I, et al. A 22.4-to-26.8 GHz dual-path-synchronized quad-core oscillator achieving -138 dBc/Hz PN and 193.3 dBc/Hz FoM at 10 MHz offset from 25.8 GHz[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 148-150.

[21] SHU Y Y, DENG Z X, LUO X. A 28 GHz scalable inter-core-shaping multi-core oscillator with DM/CM-configured coupling achieving 193.3 dBc/Hz FoM and 205.5 dBc/Hz FoM_A at 1 MHz offset[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 150-152.

[22] GUO H, CHEN Y, HUANG Y B, et al. An 83.3-to-104.7 GHz harmonic-extraction VCO incorporating multi-resonance, multi-core, and multi-mode (3M) techniques achieving-124 dBc/Hz absolute PN and 190.7 dBc/Hz FoM_T[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 152-154.

[23] HAO J Y, ZHANG M L, ZHANG Y B, et al. A single-channel 2.6 GS/s 10b dynamic pipelined ADC with time-assisted residue generation scheme achieving intrinsic PVT robustness[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 168-169.

[24] CAO Y F, ZHANG M L, ZHU Y, et al. A single-channel 12b 2GS/s PVT-robust pipelined ADC with critically damped ring amplifier and time-domain quantizer[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 170-171.

[25] ZHANG H S, ZHU Y, CHAN C H, et al. A 25 MHz-BW 77.2 dB-SNDR 2nd-order gain-error-shaping and NS pipelined SAR ADC based on a quantization-prediction-unrolled scheme[C]//2023 IEEE International Solid-State Circuits Conference(ISSCC). 2023: 174-175.

[26] WANG Z N, JIE L, KONG Z C, et al. A 150 kHz-BW 15-ENOB incremental zoom ADC with skipped sampling and single buffer embedded noise-shaping SAR quantizer[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 176-177.

[27] ZHANG Y B, HAO J Y, LIU S B, et al. A single-channel 70 dB-SNDR 100 MHz-BW 4 th-order noise-shaping pipeline SAR ADC with residue amplifier error shaping[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 178-179.

[28] HU T X, HUANG M, MARTINS R P, et al. A 12 V-to-1 V quad-output switched-capacitor buck converter with shared DC capacitors achieving 90.4% peak efficiency and 48 mA/mm^3 power density at 85% efficiency[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 184-186.

[29] TONG Z G, HUANG J W, LU Y, et al. A 42 W reconfigurable bidirectional power delivery voltage-regulating cable[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 192-194.

[30] YANG X, ZHAO L H, ZHAO M L, et al. 5A 94.5% peak efficiency 9～16 V-to-1 V dual-path series-capacitor converter with full duty range and low VA metric[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 196-198.

[31] CAI G G, LU Y, MARTINS R P. A compact 12 V-to-1 V 91.8% peak efficiency hybrid resonant switched-capacitor parallel inductor (ReSC-PL) buck converter[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 198-200.

[32] ZENG W L, CAI G G, LEE C F, et al. A 12 V-input 1 V-1.8 V-output 93.7% peak efficiency dual-inductor quad-path hybrid DC-DC converter[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 201-202.

[33] LIN J H, UN K F, YU W H, et al. A 47 nW mixed-signal voice activity detector (VAD) featuring a non-volatile capacitor-ROM, a short-time CNN feature extractor and an RNN classifier[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 214-215.

[34] YANG Y M, DENG W, YAN A X, et al. A 10-to-300 MHz fractional output divider with -80 dBc worst-case fractional spurs using auxiliary-PLL-based background 0th/1st/2nd-order DTC INL calibration[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 228-229.

[35] SHI G M, TAN Z H, CAO D P, et al. A 28 nm 68MOPS 0.18 μJ/OP paillier homomorphic encryption processor with bit-serial sparse ciphertext computing[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 242-244.

[36] DZABRAEV M, KALASHNIKOV M, KOMKOV S, et al. Mdmmt: multidomain multimodal transformer for video retrieval[C]// Proceedings of the IEEE/CVF Conference on Computer Vision and Pattern Recognition. 2021: 3354-3363.

[37] LIU S W, LI P Z, ZHANG J S, et al. A 28 nm 53.8 TOPS/W 8b sparse transformer accelerator with in-memory butterfly zero skipper for unstructured-pruned NN and CIM-based local-attention-reusable engine[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 250-252.

[38] YUE J S, HE C J, WANG Z, et al. A 28 nm 16.9-300 TOPS/W computing-in-memory processor supporting floating-point NN inference/training with intensive-CIM sparse-digital architecture[C]// 2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 252-253.

[39] 印钰. 一种 2-bit/cycle 的高速低功耗 SAR ADC 的研究与设计[D]. 成都: 电子科技大学, 2017.
YIN Y. The research and design of a 2-bit/cycle high-speed energy-efficient SAR ADC[D]. Chengdu: University of Electronic Science and Technology of China, 2017.

[40] ZHAO H, ZHANG M, ZHU Y, et al. A 2x-lnterleaved 9b 2.8 G8S/s 5b/cycle SAR ADC with linearized configurable V2T buffer achieving> 50dB SNDR at 3 GHz input[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 1-3.

[41] ZHAN M T, JIE L, SUN N. A 10mW 10-ENOB 1GS/s ring-amp-based pipelined TI-SAR ADC with split MDAC and switched reference decoupling capacitor[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 272-274.

[42] YANG B, DENG Z, QIAN H J, et al. 71-to-89 GHz 12 Gb/s double-edge-triggered quadrature RFDAC with LO leakage suppression achieving 20.5 dBm peak output power and 20.4% system efficiency[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 1-3.

[43] SUN W Y, FENG X Y, TANG C, et al. A 28 nm 2D/3D unified sparse convolution accelerator with block-wise neighbor searcher for large-scaled voxel-based point cloud network[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 328-330.

[44] ZHANG J L, HUO D X, ZHANG J, et al. ANP-I: a 28 nm 1.5 pJ/SOP asynchronous spiking neural network processor enabling Sub-0.1 μJ/sample on-chip learning for edge-AI applications[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 336-337.

[45] GONG Y C, ZHANG T, GUO H T, et al. DL-VOPU: an energy-efficient domain-specific deep-learning-based visual object processing unit supporting multi-scale semantic feature extraction for mobile object detection/tracking applications[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 338-339.

[46] GAO J H, SHEN L X, LI H Y, et al. A 7.9 fJ/conversion-step and 37.12 aFrms pipelined-SAR capacitance-to-digital converter with kT/C noise cancellation and incomplete-settling-based correlated level shifting[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 346-347.

[47] GAO L, CHAN C H. 24.1 A 0.64-to-0.69 THz beam-steerable coherent

source with 9.1 dBm radiated power and 30.8 dBm lensless EIRP in 65 nm CMOS[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 362-364.

[48] LI S Y, LI X C, WU H B, et al. A 200-to-350 GHz SiGe BiCMOS frequency doubler with slotline-based mode-decoupling harmonic-tuning technique achieving 1.1-to-4.7 dBm output power[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 366-367.

[49] LI J X, YIN Y, CHEN H, et al. A 4.1 W quadrature doherty digital power amplifier with 33.6% peak pae in 28nm bulk CMOS[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 370-371.

[50] ZENG W S, GAO L, SUN N Z, et al. A 19.7-to-43.8 GHz power amplifier with broadband linearization technique in 28 nm bulk CMOS[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 372-374.

[51] HAN C X, ZHOU J, DENG Z X, et al. A 4.8 dB NF, 70-to-86 GHz deep-noise-canceling LNA using asymmetric compensation transformer and 4-to-1 hybrid-phase combiner in 40 nm CMOS[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 374-375.

[52] LI J Y, HE W F, ZHANG B, et al. CCSA: a 394TOPS/W mixed-signal GPS accelerator with charge-based correlation computing for signal acquisition[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 430-432.

[53] JIN J, ZHOU Y F, CHEN C J, et al. A 98.6%-peak-efficiency 1.47 A/mm^2-current-density buck-boost converter with always reduced conduction loss[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 448-450.

[54] WANG Y F, HUANG M, LU Y, et al. A continuously scalable-conversion-ratio SC converter with reconfigurable VCF step for high efficiency over an extended VCR range[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 450-451.

[55] WANG B W, RHEE W, WANG Z H. A quadrature uncertain-IF IR-UWB transceiver with twin-OOK modulation[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 460-461.

[56] LEI J X, LIU X L, SONG W, et al. A 1.8 Gb/s, 2.3 pJ/bit, crystal-less IR-UWB transmitter for neural implants[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 464-466.

[57] YANG C G, ZHANG Z H, ZHANG L, et al. A 128-channel 2 mm×2 mm battery-free neural dielet merging simultaneous multi-channel transmission through multi-carrier orthogonal backscatter[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 466-467.

[58] CHANG Z Y, XIAO Q J, WANG W X, et al. A passive bidirectional BLE tag demonstrating battery-free communication in tablet/smartphone-to-tag, tag-to-tablet/smartphone, and tag-to-tag modes[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 468-470.

[59] YANG Z Z, YIN J, YU W H, et al. A ULP long-range active-RF tag with automatic antenna-interface calibration achieving 20.5% TX efficiency at -22 dBm EIRP, and -60.4 dBm sensitivity at 17.8 nW RX power[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 470-471.

[60] HU C X, ZHENG D Y, YIN Y, et al. A 0.7-to-2.5 GHz sliding digital-IF quadrature digital transmitter achieving> 40% system efficiency for multi-mode NB-IoT/BLE applications[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 472-474.

[61] WU Q Q, CAO Y, LUO Q, et al. A 9 Mb HZO-based embedded FeRAM with 10 12-cycle endurance and 5/7 ns read/write using ECC-assisted data refresh and offset-canceled sense amplifier[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 498-499.

[62] CAI H, BIAN Z J, HOU Y R, et al. A 28 nm 2 Mb STT-MRAM computing-in-memory macro with a refined bit-cell and 22.4-41.5 TOPS/W for AI inference[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco, CA, USA: IEEE, 2023: 500-502.

[63] GUO Y S, LI Y Y, HUANG W Q, et al. A polar-modulation-based cryogenic qubit state controller in 28 nm bulk CMOS[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 508-510.

[64] ZHANG G N Y, LIN H C, WANG C. A calibration-free 12.8-16.5 GHz cryogenic CMOS VCO with 202 dBc/Hz FoM for classic-quantum interface[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC). 2023: 512-514.