



氧化镓基器件异质界面陷阱密度的提取方法

谢选, 郝伟兵, 刘琦, 周选择, 徐光伟*, 龙世兵

中国科学技术大学微电子学院, 合肥 230026

*联系人, E-mail: xugw@ustc.edu.cn

收稿日期: 2021-12-30; 接受日期: 2022-02-21; 网络出版日期: 2022-06-08

国家自然科学基金(编号: 61925110, U20A20207, 61821091, 62004184, 62004186, 51961145110)资助项目

摘要 高性能的半导体功率器件依赖于金属/半导体、半导体/半导体或者半导体/绝缘体间的高质量界面的形成。本文报道了三种提取 β -氧化镓($\beta\text{-Ga}_2\text{O}_3$)基器件界面陷阱密度(Interface Trap Density, D_{it})的方法, 分别用于肖特基势垒二极管(SBD)、PN异质二极管和金属/氧化物/半导体电容(MOS Capacitor)。利用对应频率下的电容-电压和电导-电压特性获得了Ni-SBD金半界面的陷阱密度。本文还引入了导纳谱(Admittance Spectroscopy, AS)分析NiO/ $\beta\text{-Ga}_2\text{O}_3$ PN二极管的界面陷阱密度。精确的高-低频电容法则用于MOS Capacitor的 D_{it} 测量。本文验证的界面态测量与提取方法为氧化镓器件界面处理提供量化手段, 同时为获得高性能氧化镓器件指明方向。

关键词 β -氧化镓, 界面陷阱密度, 异质界面

PACS: 73.40.Lq, 73.40.Qv, 84.30.Jc, 85.30.-z, 85.30.De

1 引言

宽禁带半导体有着远超硅的禁带宽度, 带来了更高的击穿电场强度。基于宽禁带半导体制备的功率器件, 如PN二极管、肖特基结二极管、MOS晶体管等, 比硅基器件具有更高的耐压能力、更大的功率密度、更高的工作温度和更强的抗辐射的能力, 在新能源汽车等高压应用场景中正在逐渐取代硅基器件^[1]。

近年来, 超宽禁带半导体氧化镓(Ga_2O_3)受到了学术界和工业界的广泛关注。氧化镓最稳定的异构体, $\beta\text{-Ga}_2\text{O}_3$ 的禁带宽度达到4.8 eV, 理论击穿电场约8 MV/cm。由此, 巴利加优值(Baliga's Figure of Merit)高达

3444^[2-4], 远超氮化镓(GaN)和碳化硅(SiC), 这意味着其用于功率器件的潜力巨大, 使其成为下一代半导体功率电子的候选材料。

由于上述诸多优点, 氧化镓基功率器件的研究正在快速发展, 国内外已经报道了许多基于 $\beta\text{-Ga}_2\text{O}_3$ 制备高性能功率器件的工作^[5], 例如, $\beta\text{-Ga}_2\text{O}_3$ MOSFET击穿电压纪录达到了8.03 kV^[6], 肖特基势垒二极管(Schottky Barrier Diode, SBD)击穿电压最高达到了3 kV^[7]。除了提高衬底与外延层的质量和降低它们的陷阱密度之外, 提高异质界面的质量, 降低界面陷阱密度(D_{it})是降低漏电, 避免提前击穿, 提高器件性能的重要方法^[8]。对于金属/ $\beta\text{-Ga}_2\text{O}_3$ 界面, 通过刻蚀并修复

引用格式: 谢选, 郝伟兵, 刘琦, 等. 氧化镓基器件异质界面陷阱密度的提取方法. 中国科学: 物理学 力学 天文学, 2022, 52: 297304
Xie X, Hao W B, Liu Q, et al. Extracting interface trap density in $\beta\text{-Ga}_2\text{O}_3$ -based heterointerface (in Chinese). Sci Sin-Phys Mech Astron, 2022, 52: 297304, doi: [10.1360/SSPMA-2021-0368](https://doi.org/10.1360/SSPMA-2021-0368)

不可靠的样品表面, 并尽量隔绝与环境空气的接触, 可以形成一个干净的接触界面, 从而提高阻断电压^[9]. 对于p型氧化物/ β -Ga₂O₃异质界面, 在氮气中退火已经被证实可以显著提高界面质量, 改善理想因子^[10]. 对于电介质/ β -Ga₂O₃界面, 优化电介质的沉积条件、用98%浓硫酸与30%双氧水混合溶液(3:1配比)预处理、退火都能减小 D_{it} 与回滞^[11-13]. 提取 D_{it} 的方法是量化界面质量的关键技术. 许多研究者已经尝试了各种方法测量 D_{it} , 包括通过电导特征或者电容特征提取, 如Termaan法、高-低频电容-电压法^[14,15]. 电导法是一种精确的方法, 但是检测的范围受温度与频率限制. 在这个工作中, 制备了Ni- β -Ga₂O₃ SBD, NiO/ β -Ga₂O₃ PN异质结以及MOS(Pt/Ti/Al₂O₃/HfO₂/Ga₂O₃/Ti/Au)电容三种器件, 并总结了在各种异质界面上提取 D_{it} 的方法. 掌握这些方法有助于辅助降低 D_{it} , 改善关键界面的质量, 进一步提高 β -Ga₂O₃基器件的性能.

2 实验

图1(a)-(c)展示了制备的SBD, NiO/ β -Ga₂O₃ PN二极管和MOS电容的横截面示意图. 前两个器件均包含一个高掺杂浓度的衬底层和一个低掺杂浓度的外延层. 衬底层掺杂浓度为 $5 \times 10^{18} \text{ cm}^{-3}$, 厚度约为650 μm , 外延层掺杂浓度为 $2 \times 10^{16} \text{ cm}^{-3}$, 厚度约为10 μm . MOS电容衬底的掺杂浓度为 $4.1 \times 10^{17} \text{ cm}^{-3}$. MOS电容衬底的低掺杂浓度导致欧姆接触质量较差, 但对器件电容性能以及金半界面的 D_{it} 影响不大. SBD的欧姆接触由Ti/Al/Ni/Au (40/160/80/80 nm)组成, 用电子束蒸发(e-Beam Evaporation)沉积在衬底背面. 完成后, 在N₂气氛

中快速热退火(Rapid Thermal Annealing), 退火条件为470°C, 1 min. 另外两个器件的Ti/Au (20/60 nm)欧姆接触是用相同的工艺形成的. 在制备正电极之前, 将SBD的样品浸泡在BOE溶液中以降低表面的缺陷. 用磁控溅射(Sputtering)为NiO/ β -Ga₂O₃异质二极管沉积NiO薄膜. NiO是一种p型氧化物, 禁带宽度约为3.6–4.0 eV, 与 β -Ga₂O₃形成II型异质能带结构, 是p型氧化镓的热门替代材料^[16,17]. 用原子层沉积(ALD)为MOS电容沉积10 nm的HfO₂和10 nm的Al₂O₃, 作为绝缘介质层. 最后, 用磁控溅射分别沉积了Ni (60 nm), Ni/Au (60/40 nm)和Ti/Au (20/60 nm), 形成阳极欧姆接触. 所有正电极均为圆形, 图形化由光刻和剥离工艺完成.

3 结果和讨论

对三个器件分别进行了电特性的测量和 D_{it} 的计算. 使用Keysight B1500A半导体器件分析仪测试了SBD在1 kHz–1 MHz频率范围内的电容与电导. 图2(a)–(c)展示了电容-电压和电导-电压特性, 其中, G 是测量所得的电导, $\omega=2\pi f$ 为角频率. 如图2(a)所示, 电容先随外加电压的升高而提高, 这是源于耗尽层宽度的降低. 接着, 在大约1.7 V的位置, 由于SBD进入开态, 电容开始降低, 出现了峰值^[18]. 交变信号下的电荷不断被陷阱俘获和产生, 随着频率的提高, 更多的电荷被束缚于界面内, 无法参与反向的耗尽, 导致高频电容低于低频电容. 且如图2(b)和(c)所示, 由于界面态具有不同的响应时间, 电导的提高随着频率的提高越来越慢.

由Hill-Coleman方法可以获得 D_{it} 与频率的关

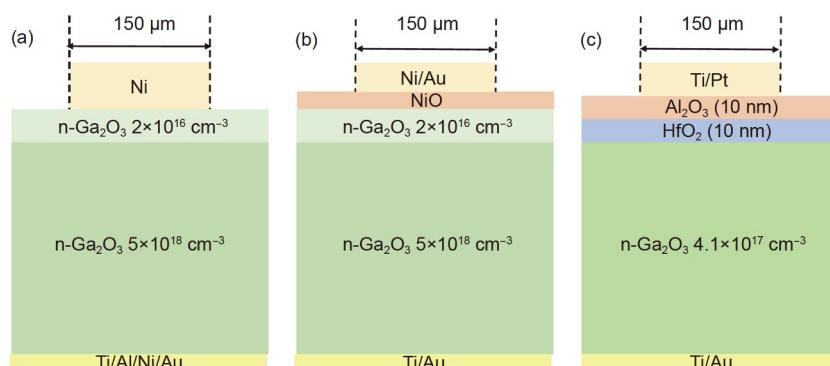


图 1 (网络版彩图) (a) 肖特基势垒二极管, (b) NiO/ β -Ga₂O₃异质结二极管和(c) MOS电容的横截面

Figure 1 (Color online) The cross sections of (a) SBD, (b) NiO/ β -Ga₂O₃ heterojunction diode and (c) MOS capacitor.

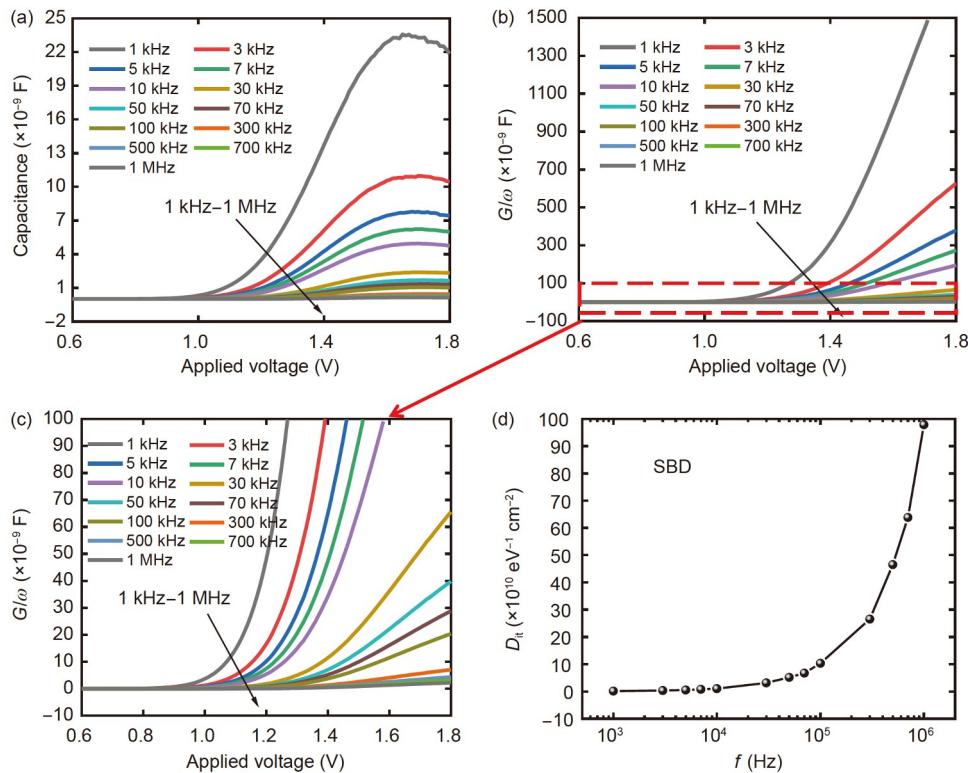


图 2 (网络版彩图) SBD 对应频率的电容-电压(a)和电导-电压(b)特性; (c) 电导-电压的局部放大图; (d) 各频率对应的陷阱密度

Figure 2 (Color online) Frequency corresponds to (a) capacitance-voltage and (b) conductance-voltage for the SBD; (c) partially enlarged view of conductance-voltage; (d) D_{it} versus frequency.

系^[19,20].

$$D_{it} = \frac{2}{qA} \frac{(G/\omega)_m}{((G/\omega)_m/C_i)^2 + (1 - C_m/C_i)^2}, \quad (1)$$

其中, A 为电极的面积, q 为电子电荷, C_m 为每个频率的最大电容, $(G/\omega)_m$ 是 C_m 出现的电压下的 G/ω 值. C_i 是在 1 MHz 下, C_m 出现时的 Ga_2O_3 绝缘界面层的电容, 由式(2)求得

$$C_i = C_m \left[1 + ((G/\omega)_m/C_m)^2 \right], \quad (2)$$

其值为 1.49×10^{-10} F. 计算结果展示在图2(d)中, 在 1 MHz 下的最大 D_{it} 为 9.8×10^9 eV $^{-1}$ cm $^{-2}$, 表明此SBD 的 D_{it} 较低^[19].

使用 Keysight E4980A 精密 LCR 表测试了 NiO/β-Ga₂O₃ PN 二极管的电容. 图3(a)展示了 100 kHz 下的电容-电压特性, 由 $1/C^2-V$ 曲线与横轴的交点可获得内建电势为 2.8 V. 图3(b)展示了电容作为频率的函数, 频率

范围为 $20-1 \times 10^6$ Hz, 固定直流电压为-1.5 V, 交流电压为 0.1 V. 在此条件下, 为了得到 D_{it} , 作 $dC/d\ln\omega-f$ 图, 展示于图3(c), 在 $f=3 \times 10^2$ Hz 处观察到了一个峰值, 这意味着陷阱的存在, 且此峰值的频率为电荷逃离的频率 ω_0 . 由 AS 法, 异质结的 D_{it} 可以通过式(3)得到^[21]:

$$D_{it}(E_C - E_{it}) = -\frac{V_{bi}}{qW} \frac{dC}{d\omega} \frac{\omega}{k_B T}, \quad (3)$$

其中, V_{bi} 为内建电势, W 为 DC 电压为-1.5 V 下的耗尽层宽度, k_B 是玻尔兹曼常数, $(E_C - E_{it})$ 是带隙中的陷阱能级位置. $(E_C - E_{it})$ 可以表达为 $k_B \ln(\omega/\omega_0)$. 图3(d)通过导纳谱给出了不同能级位置的 D_{it} , 最大密度为 8.3×10^{15} eV $^{-1}$ cm $^{-2}$, 是一个相对较低的值. 导纳谱法利用了器件在较低频率下的特征.

Castagné与Vapaille^[22]提出的高-低频电容法被普遍用来提取 MOS 电容的 D_{it} . MOS 电容在不同频率下的电容-电压特性展示在图4(a)中. 与 SBD 相似, 高频电容小于低频电容. 根据高-低电容法, MOS 电容的 D_{it} 可以

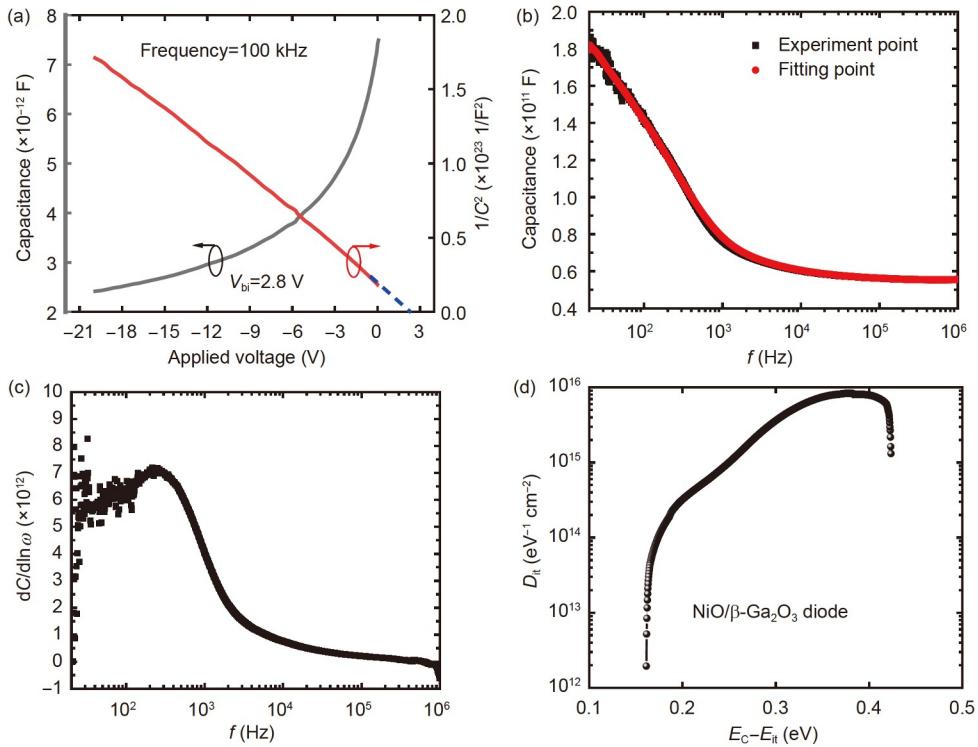
图 3 (网络版彩图) NiO/β-Ga₂O₃异质结的电容-电压(a), 电容-频率(b), dC/dlnω-频率(c), D_{it}-(E_C-E_{it})特性(d)

Figure 3 (Color online) The capacitance-voltage (a), capacitance-frequency (b), dC/dlnω-frequency (c), and D_{it}-(E_C-E_{it}) characteristics (d) of NiO/β-Ga₂O₃ heterojunction.

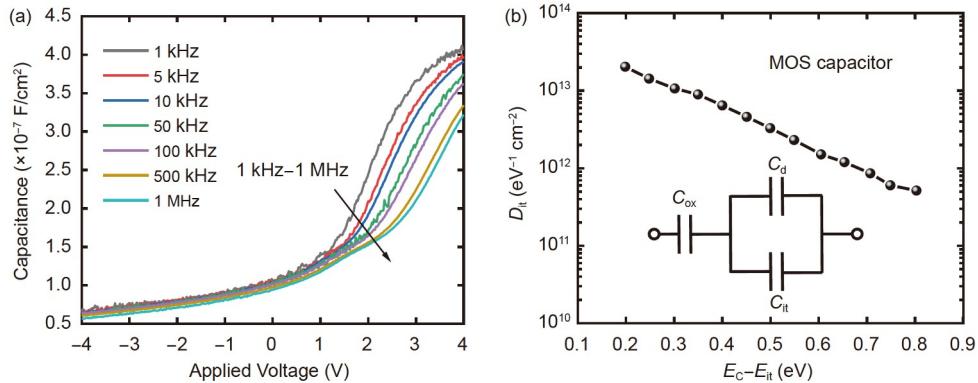
图 4 (网络版彩图) (a) MOS 电容在 1 kHz-1 MHz 频率范围的电容-电压特性; (b) E_C-E_{it} 对应的 D_{it}

Figure 4 (Color online) (a) The capacitance-voltage characteristic of MOS capacitor in the frequency range of 1 kHz-1 MHz; (b) D_{it} versus E_C-E_{it}.

表达为

$$D_{it} = \frac{\Delta C}{qA^2} \left(\frac{C_{ox}}{C_{ox} - C_{lf}} \right) \left(\frac{C_{ox}}{C_{ox} - C_{hf}} \right), \quad (4)$$

其中, $\Delta C = C_{lf} - C_{hf}$, C_{lf} 为低频电容, C_{hf} 为高频电容, C_{ox} 为氧化物电介质的电容, 为 HfO₂ 与 Al₂O₃ 的串联电容,

可以通过淀积厚度与介电常数计算得到.

MOS 电容的等效电路图插入在图 4(b) 中, 其中 C_d 是耗尽区电容, C_{it} 是界面陷阱电容. 为了得到精确的耗尽层电容, 利用 C_{it} 在 1 MHz 的高频下几乎为 0 F 的特点, 这是因为当交流电压频率过高时, 界面陷阱几乎不能响应. 因此, 高频下可以通过 $C_d = C_m \cdot C_{ox} / (C_{ox} - C_m)$

得到, C_d , C_m 为1 MHz时测量的电容. 接下来, 表面势能 V_s 可以通过式(5)得到:

$$V_s = \frac{A^2 \epsilon_0 \epsilon_s q N_d}{2 C_d^2}, \quad (5)$$

其中, ϵ_0 为真空介电常数, ϵ_s 为 $\beta\text{-Ga}_2\text{O}_3$ 的相对介电常数, 其值为10^[23], N_d 为 $\beta\text{-Ga}_2\text{O}_3$ 的掺杂浓度. 最后由直流偏压与表面势得到 E_C-E_{it} 的值, 并获得MOS电容的 D_{it} 与 E_C-E_{it} 的关系. 在0.2–0.8 eV范围内的结果展示于图4(b). 提取出 D_{it} 的范围在 7×10^{11} – $2 \times 10^{13} \text{ eV}^{-1} \text{ cm}^{-2}$ 之间. 此方法仅适用于浅能级陷阱密度的测量, 更无法测量到能级低于禁带中线的陷阱, 由于p型掺杂的氧化镓的缺失. 即便如此, 在MOSFET工作中, 费米能级附近的陷阱对器件的性能有重要的影响, 这个范围内的 D_{it} 可作为界面质量的参考. 此结果较低的原因可能是1 kHz的频率并不足够低到所有界面态都能响应交

流信号. 用准静态方法测量的电容更适合作为低频电容的参考^[24]. Shockley-Read-Hall俘获发射比率特征表明本方法在室温下0.3–0.7 eV的结果是精确的^[25,26].

4 结论

这项工作使用三种提取 D_{it} 的方法, 分别提取了 $\beta\text{-Ga}_2\text{O}_3$ 基SBD、异质PN结以及MOS电容的界面陷阱密度. 利用了电容-电压和电导-电压特性对于频率的依赖性获得SBD的 D_{it} , 反映通过简单的处理工艺获得了一个低的界面陷阱密度. 接着用导纳谱法研究了NiO/ $\beta\text{-Ga}_2\text{O}_3$ 异质结二极管的 D_{it} , 得到了一个相对较低的结果. 最后, 高-低频电容法被用以提取MOS电容的 D_{it} , 在室温下对于0.3–0.7 eV范围内的陷阱而言是一种精确的手段. 这项工作对通过界面处理提高器件性能具有参考和指导意义.

参考文献

- Li K, Yang X, Tian Y, et al. Ga₂O₃ solar-blind position-sensitive detectors. *Sci China-Phys Mech Astron*, 2020, 63: 117312
- Higashiwaki M, Sasaki K, Kuramata A, et al. Gallium oxide (Ga₂O₃) metal-semiconductor field-effect transistors on single-crystal $\beta\text{-Ga}_2\text{O}_3$ (010) substrates. *Appl Phys Lett*, 2012, 100: 013504
- Sasaki K, Higashiwaki M, Kuramata A, et al. Ga₂O₃ Schottky barrier diodes fabricated by using single-crystal $\beta\text{-Ga}_2\text{O}_3$ (010) substrates. *IEEE Electron Device Lett*, 2013, 34: 493–495
- Pearson S J, Yang J, Cary Iv P H, et al. A review of Ga₂O₃ materials, processing, and devices. *Appl Phys Rev*, 2018, 5: 011301
- Wang Y B, Xu W H, You T G, et al. $\beta\text{-Ga}_2\text{O}_3$ MOSFETs on the Si substrate fabricated by the ion-cutting process. *Sci China-Phys Mech Astron*, 2020, 63: 277311
- Sharma S, Zeng K, Saha S, et al. Field-plated lateral Ga₂O₃ MOSFETs with polymer passivation and 8.03 kV breakdown voltage. *IEEE Electron Device Lett*, 2020, 41: 836–839
- Hu Z, Zhou H, Feng Q, et al. Field-plated lateral $\beta\text{-Ga}_2\text{O}_3$ Schottky barrier diode with high reverse blocking voltage of more than 3 kV and high DC power figure-of-merit of 500 MW/cm². *IEEE Electron Device Lett*, 2018, 39: 1564–1567
- Zhang Y C, Li Y F, Wang Z Z, et al. Investigation of $\beta\text{-Ga}_2\text{O}_3$ films and $\beta\text{-Ga}_2\text{O}_3/\text{GaN}$ heterostructures grown by metal organic chemical vapor deposition. *Sci China-Phys Mech Astron*, 2020, 63: 117311
- He Q, Hao W, Zhou X, et al. Over 1 GW/cm² vertical Ga₂O₃ Schottky barrier diodes without edge termination. *IEEE Electron Device Lett*, 2022, 43: 264–267
- Hao W, He Q, Zhou K, et al. Low defect density and small $I-V$ curve hysteresis in NiO/ $\beta\text{-Ga}_2\text{O}_3$ pn diode with a high PFOM of 0.65 GW/cm². *Appl Phys Lett*, 2021, 118: 043501
- Zhou H, Alghmadi S, Si M, et al. Al₂O₃/ $\beta\text{-Ga}_2\text{O}_3$ (–201) interface improvement through piranha pretreatment and postdeposition annealing. *IEEE Electron Device Lett*, 2016, 37: 1411–1414
- Kamimura T, Krishnamurthy D, Kuramata A, et al. Epitaxially grown crystalline Al₂O₃ interlayer on $\beta\text{-Ga}_2\text{O}_3$ (010) and its suppressed interface state density. *Jpn J Appl Phys*, 2016, 55: 1202B5
- Hirose M, Nabatame T, Yuge K, et al. Influence of post-deposition annealing on characteristics of Pt/Al₂O₃/ $\beta\text{-Ga}_2\text{O}_3$ MOS capacitors. *Microelectron Eng*, 2019, 216: 111040
- Zeng K, Jia Y, Singisetti U. Interface state density in atomic layer deposited SiO₂/ $\beta\text{-Ga}_2\text{O}_3$ (–201) MOSCAPs. *IEEE Electron Device Lett*, 2016,

37: 906–909

- 15 Dong H, Mu W, Hu Y, et al. *C-V* and *J-V* investigation of $\text{HfO}_2/\text{Al}_2\text{O}_3$ bilayer dielectrics MOSCAPs on (100) $\beta\text{-Ga}_2\text{O}_3$. *AIP Adv*, 2018, 8: 065215
- 16 Kokubun Y, Kubo S, Nakagomi S. All-oxide p-n heterojunction diodes comprising p-type NiO and n-type $\beta\text{-Ga}_2\text{O}_3$. *Appl Phys Express*, 2016, 9: 091101
- 17 Gong H, Chen X, Xu Y, et al. Band alignment and interface recombination in NiO/ $\beta\text{-Ga}_2\text{O}_3$ type-II p-n heterojunctions. *IEEE Trans Electron Devices*, 2020, 67: 3341–3347
- 18 Bilkan Ç, Gümüş A, Altindal Ş. The source of negative capacitance and anomalous peak in the forward bias capacitance-voltage in Cr/p-Si Schottky barrier diodes (SBDs). *Mater Sci Semicond Process*, 2015, 39: 484–491
- 19 Du L, Xin Q, Xu M, et al. High-performance Ga_2O_3 diode based on tin oxide Schottky contact. *IEEE Electron Device Lett*, 2019, 40: 451–454
- 20 Hill W A, Coleman C C. A single-frequency approximation for interface-state density determination. *Solid-State Electron*, 1980, 23: 987–993
- 21 Wang R, Xue J, Wang K L, et al. Constructive molecular configurations for surface-defect passivation of perovskite photovoltaics. *Science*, 2019, 366: 1509–1513
- 22 Castagné R, Vapaille A. Description of the $\text{SiO}_2\text{-Si}$ interface properties by means of very low frequency MOS capacitance measurements. *Surf Sci*, 1971, 28: 157–193
- 23 Hoeneisen B, Mead C A, Nicolet M A. Permittivity of $\beta\text{-Ga}_2\text{O}_3$ at low frequencies. *Solid-State Electron*, 1971, 14: 1057–1059
- 24 Kuhn M. A quasi-static technique for MOS *C-V* and surface state measurements. *Solid-State Electron*, 1970, 13: 873–885
- 25 Cooper Jr. J A. Advances in SiC MOS technology. *Phys Stat Sol (A)*, 1997, 162: 305–320
- 26 Zeng K, Singisetti U. Temperature dependent quasi-static capacitance-voltage characterization of $\text{SiO}_2/\beta\text{-Ga}_2\text{O}_3$ interface on different crystal orientations. *Appl Phys Lett*, 2017, 111: 122108

Extracting interface trap density in $\beta\text{-Ga}_2\text{O}_3$ -based heterointerface

XIE Xuan, HAO WeiBing, LIU Qi, ZHOU XuanZe, XU GuangWei^{*} & LONG ShiBing

School of Microelectronics, University of Science and Technology of China, Hefei 230026, China

High performance devices need a high quality interface between metal/semiconductor, semiconductor/semiconductor or semiconductor/insulator. In this work, we report three different methods to obtain the interface trap density (D_{it}) in $\beta\text{-Ga}_2\text{O}_3$ -based SBD, PN, and MOS capacitors. The characteristics of capacitance-voltage and conductance-voltage corresponding to frequency demonstrate a low D_{it} for Ni-SBD. Also, we introduce admittance spectroscopy (AS) to evaluate D_{it} of NiO/ $\beta\text{-Ga}_2\text{O}_3$ PN diode. Moreover, the accurate high-low frequency capacitance method has been adopted for the MOS capacitor. The verified methods for extracting D_{it} offer a quantification of the quality of interface, which contribute to interface processing and device design.

$\beta\text{-Ga}_2\text{O}_3$, interface trap density, hetero-interface

PACS: 73.40.Lq, 73.40.Qv, 84.30.Jc, 85.30.-z, 85.30.De

doi: [10.1360/SSPMA-2021-0368](https://doi.org/10.1360/SSPMA-2021-0368)