

DOI: 10.19816/j.cnki.10-1594/tn.2023.06.001

可重构模数转换器技术概述*

揭路

(清华大学集成电路学院 北京 100084)

摘要: 可重构模数转换器能根据不同场景需求实时调整性能指标,是未来通信与感知领域的关键技术之一。本文回顾了目前主流的可重构模数转换器技术,包括电路参数调整和架构重构两种技术路线及代表性工作,并总结了当前可重构转换器的主要问题与挑战,包括性能尚未能体现优势,缺少对多模式并发的支持,以及缺少针对性的指标。最后,本文回顾了一种最新提出的可编程模数转换器阵列技术,并讨论了其优势、挑战及未来可能的研究方向。

关键词: 模数转换器; ADC; 可重构; 多模式; 可编程转换器阵列

中图分类号: TM712 **文献标识码:** A **国家标准学科分类代码:** 510

A review on reconfigurable analog to digital converter

JIE Lu

(School of Integrated Circuits, Tsinghua University, Beijing 100084, China)

Abstract: Reconfigurable analog to digital converters (ADC) can adapt to different scenarios by adjusting specifications in real time, which is the key technique for future communication and sensing. This paper reviews the current reconfigurable ADCs technique and representative works, in both technical roadmaps of circuit-level tuning and architecture re-structuring, and concludes the main challenges in reconfigurable ADCs, including performance overhead, nonsupport for concurrent-task, and lacking dedicated specifications. In the end, this paper also reviews a new programmable converter array technique, and discusses its advantages, challenges, and possible future research.

Keywords: analog to digital converter; ADC; reconfigurable; multi-mode; programmable converter array

0 引言

模数转换器(analog to digital converter, ADC)是联系数字系统与物理世界的关键桥梁,也是日益强大的数字算力得以发挥应用的基石之一,其在通信、信号采集、工业控制、乃至国防航天等关键领域的先进电子系统中有着不可或缺的重要地位。随着电子技术的发展,系统日益变得小型化、智能化和多功能化。人们希望将更多的功能集成于尽可能小的设备之中,提高单位体积和单位成本下设备可支持的功能模式数量,即支持多模式(multi-mode)或多模态。然而,目前大多数的模数转换器为针对某种特定应用指标进行优化设计,虽然在速度、精度以及能效上不断进步,在对多模式、多指标支持方面却留有很大的空白。许多系统在面对多模式信号链的需求时,往往只能针对各指标分别部署多个模数转换器,从而大大增加了成本、降低了硬件利用率。

无线通信系统是多模式模数转换器的一个典型需

求场景。例如,先进的移动电话不仅需要兼容各个国家地区、各个运营商的不同频段和通信制式,还需要兼容蓝牙、WiFi、GPS等其他无线通信模式。这些通信模式之间指标迥异,带宽从数十千赫兹至数百兆赫兹不等,信噪比也从60~90 dB不等。目前,虽然数字基带处理器可以通过软件实现对各种通信协议的兼容,但信号链中的模数转换器等部分却极少能实现共用,往往需要针对不同制式定制。在一些先进的手机通信芯片中,模数转换器的数量可高达数十个,占用了大量的芯片面积。随着通信、探测等行业需求的发展,系统功能和指标需求的不断扩张,可预见模数转换器的数量还将继续增加,最终使得系统成本变得无法接受。除此之外,多模式模数转换器在部分国防领域也具有重要价值,例如在“侦干探通一体化”等应用中,信号链亦需要覆盖超宽的频率和精度范围,同时需要根据情况快速切换指标模式,其中模数转换器的性能往往成为系统的瓶颈。

*基金项目: 国家自然科学基金(62374098)项目资助

揭路(通信作者), 助理教授, 主要研究方向为数据转换器和可重构电路等。E-mail: jielu@mail.tsinghua.edu.cn

“可重构”(reconfigurable)的基本思想是针对不同应用场景动态地改变系统的结构和参数,从而使系统在各种场景下都能保持尽可能高的性能和效率。区别于简单的“参数化”,可重构系统是在顶层结构上进行变化,因此可以适应跨度更大、甚至本质有别的不同应用场景。可重构技术在数字系统中已有大量的应用,如现场可编程门阵列(field-programmable gate array, FPGA)、粗粒度可重构处理器(coarse-grained reconfigurable array, CGRA)等,已实现高度的灵活性和接近专用加速器的性能,是可重构优势的有力证明。但是对于模拟及混合信号系统中可重构技术的研究还相对初步,目前已

有的多模式接收机大多重点实现了天线、混频器等射频前端以及数字信号处理模块的可重构,而在模拟基带(主要指模数转换器)部分实现可重构的工作极少。多数支持软件无线电(software-defined radio, SDR)的接收机使用一个超高带宽的模数转换器覆盖所有场景的频段要求,但是这会导致多数模式下的性能溢出,在功耗上造成浪费。因此,能根据不同任务需求随时调整性能指标,同时在各模式下实现高能效的可重构模数转换器是未来先进通信与探测领域的关键支持技术之一,受到学界和业界的普遍关注和重视,如图1所示。

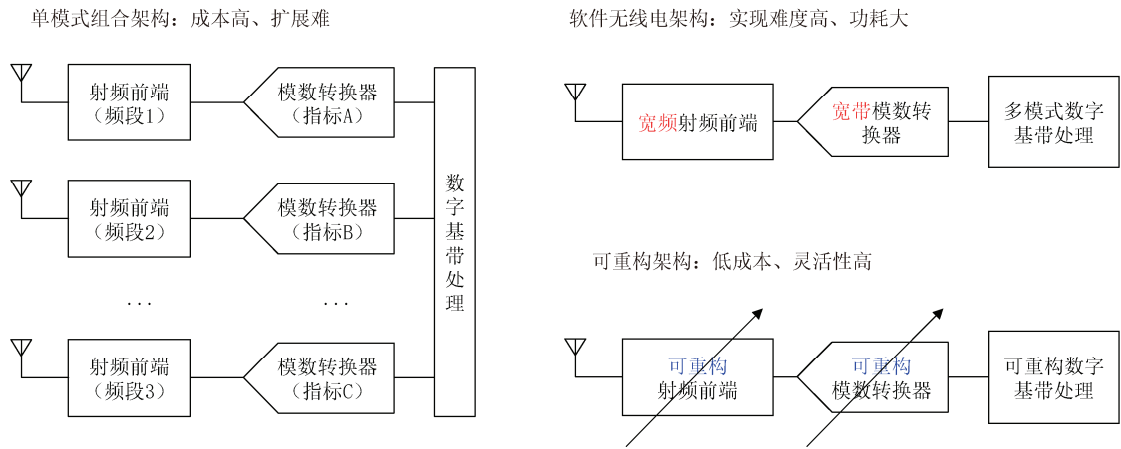


图 1 多制式无线系统的技术方案对比

Fig.1 Comparison between different techniques for multi-standard wireless system

1 主流技术方案

目前已报道的可重构模数转换器主要可分为两类:第1类是基于参数调整的技术路线,第2类是基于架构重构的技术路线。亦有部分设计将两类技术进行混合以实现更好的性能。

1.1 基于参数调整的技术路线

此类方案通过对模数转换器中部分电路的参数进行在线调整,实现转换器整体指标的变动,是目前最为常见的一类方案。被调整的电路参数通常为电阻值、电容值、偏置电流等,或为针对特定转换器架构的架构参数。这些参数一般可通过 CMOS (complementary metal oxide semiconductor) 开关的选通实现,如图2所示。

此类可重构转换器最常被实现为 Δ - Σ 调制器(delta-sigma modulator, DSM) 架构^[1-11],其核心思想在于通过对 DSM 中环路滤波器的参数和结构进行调节实现转换器在带宽和精度上的调整,如图3所示。代表性地,2018年 Sauerbrey 等^[1]通过对一个3阶 DSM 的滤波器电容、运放偏置电流、环路反馈强度以及采

样率进行调整,实现了 240 kHz~45 MHz 约 2 个数量级的带宽调整范围和 61~81 dB 的信噪失真比(signal-to-noise distortion ratio, SNDR) 调整范围,并在各个模式下维持大约 160 dB 的能效优值(FoMs),是目前已发表的基于 DSM 架构的可重构转换器中带宽覆盖范围最宽的一项工作;2019年 Wang 等^[2]提出使用逐次逼近量

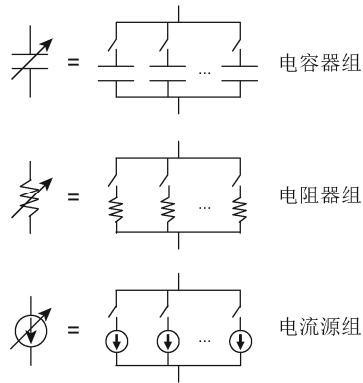


图 2 参数调整的常见实现方法

Fig.2 Common implementation of parameter tuning

化器等技术提高 DSM 架构的能效, 并使用 CMOS 开关切换电容和电阻, 实现了一款能效优值超过 165 dB 的双模式转换器, 可覆盖 20 MHz 和 160 MHz 两种带

宽模式, 信噪失真比分别达到了 65 dB 和 77 dB, 为目前已发表能效最高的一项基于 DSM 架构的可重构转换器工作。

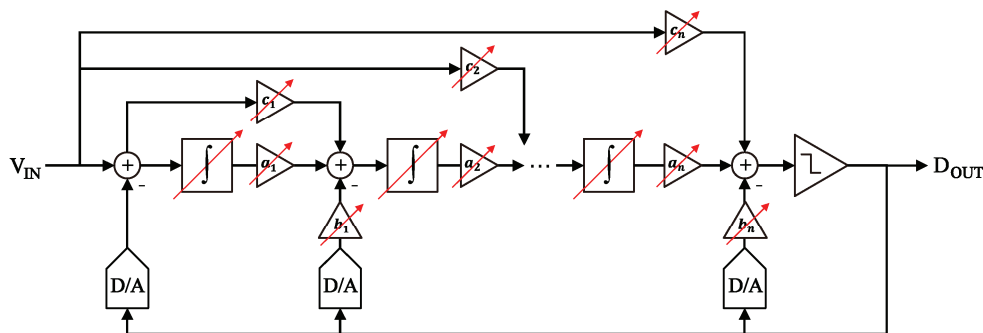


图3 基于参数调整的可重构 DSM 转换器

Fig.3 Reconfigurable DSM converter based on parameter tuning parameter tuning

另一种常见的实现是基于流水线架构^[12-15], 这类工作通过对流水线架构的级数、采样率及运放性能的调参实现 ADC 指标的调整, 如图 4 所示。例如, TaherzadehSani 等^[12]在 2013 年的工作中提出可将流水线架构的前三级进行选择性的跳过以实现转换器分辨率的调整, 同时运放的偏置电流也可根据采样率动态调整以节约功耗。该项工作实现了 60~67 dB 的 SNDR 配置范围, 以及 400 kS/s 和 44 MS/s 两种采样率模式, FoMs

稳定为 155 dB 左右; 2011 年 Zhang 等^[14]提出可将流水线架构中的各个量化级的工作时序进行配置, 从而在改变转换器的采样率的同时维持能效。这项技术实现了 580 kS/s~200 MS/s 的采样率配置范围, 同时将 SNDR 和 FoMs 分别维持在约 52 dB 和 145 dB。可见相比 DSM 架构的方案, 流水线架构得益于离散时间的工作方式, 其带宽(采样率)配置范围更宽, 但大量运放的使用也使得其能效较差。

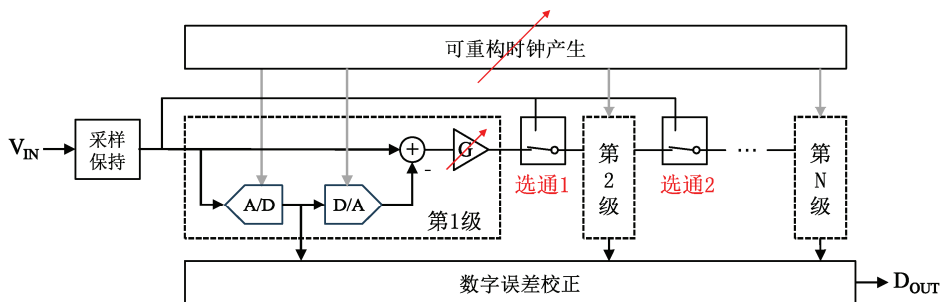


图4 基于参数调整的可重构流水线转换器

Fig.4 Reconfigurable pipeline converter based on parameter tuning

除此之外, 还有部分工作其他模数转换器架构进行电路参数的调节, 也可以在一定范围内实现转换器性能的调整。代表性地, Liu 等^[16]和 Yip 等^[17]分别在 2021 年和 2013 年的两篇工作中基于逐次逼近 (successive approximation, SAR) 架构实现了可重构转换器, 如图 5 所示。其中 Liu 等^[16]的工作提出让 SAR 架构的每周期转换比特数在 1b 和 2b 之间配置, 实现精度和速度的重构; Yip 等^[17]的工作提出对 SAR 架构中的电容阵列进行切分, 通过启用不同比例大小的电容阵列实现转换精度的大范围配置。此外, Wang 等^[18]在 2017 年的工作中提出可对折叠闪速 (folded flash)

架构的部分比较器进行启用而实现对精度的配置; Danesh 等^[19]在 2013 年的工作中提出可将交织计数器 (time-interleaved counter, TIC) 架构中的计数周期和交织数等参数进行调整, 实现一个速度和精度都可灵活配置的模数转换器。

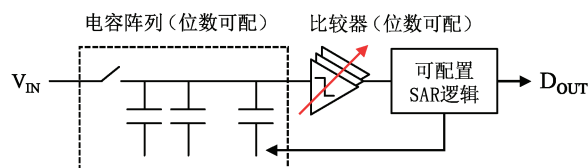


图5 基于 SAR 架构的可重构转换器

Fig.5 Reconfigurable converters based on SAR

1.2 基于架构重构的技术路线

与前类方案改变电路参数不同, 此类方案通过对数模转换器的架构进行改变以适应不同的指标需求。例如, Chang 等^[20]和 Subramanian 等^[21]分别在 2008 和 2016 年的工作中提出让转换器在流水线架构和 DSM 架构之间作切换: 当系统需要高带宽时使用流水线架构支持, 而当需要高精度时则切换至 DSM 架构, 从而实现更大的带宽和精度覆盖范围, 如图 6 所示。以 Chang 等^[20]的工作为例, 所提出的转换器在流水线模式下, 可支持最高 10 MHz 的带宽和 52 dB 的 SNDR, 功耗为 5 mW; 而在 DSM 模式下, 其可支持最高 74 dB 的 SNDR, 此时带宽降至 0.27 MHz, 功耗降低为 0.9 mW。总体而言, 第 2 类方案的工作数量相对较少, 所支持的架构通常不超过 3 种, 性能上也较第一类方案稍差一些。

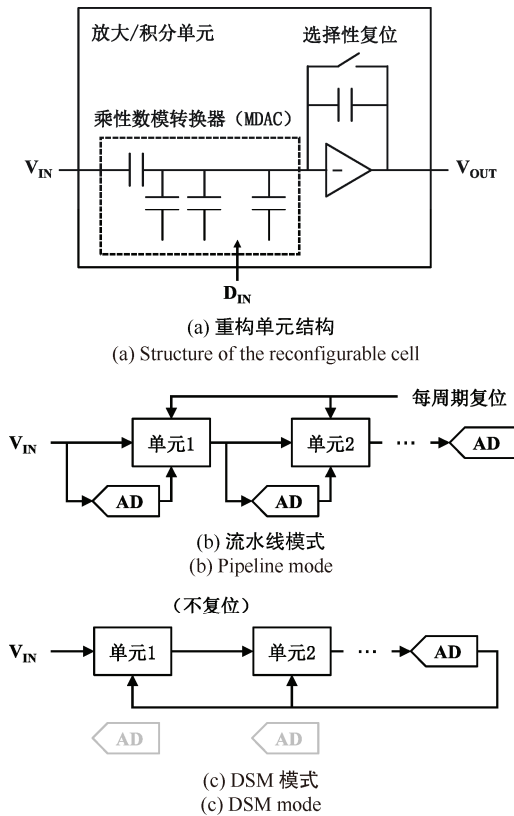


图 6 基于架构重构的可重构转换器 (流水线和 DSM 架构的切换)

Fig.6 Reconfigurable converter based on architecture re-structuring (switching between pipeline and DSM architecture)

1.3 现有多模转换器性能对照

图 7 所示为基于前述两种路线的部分代表性的多模转换器性能与代表性单模转换器性能的对比 (数据摘自 Murmann^[22]的 ADC 调研)。

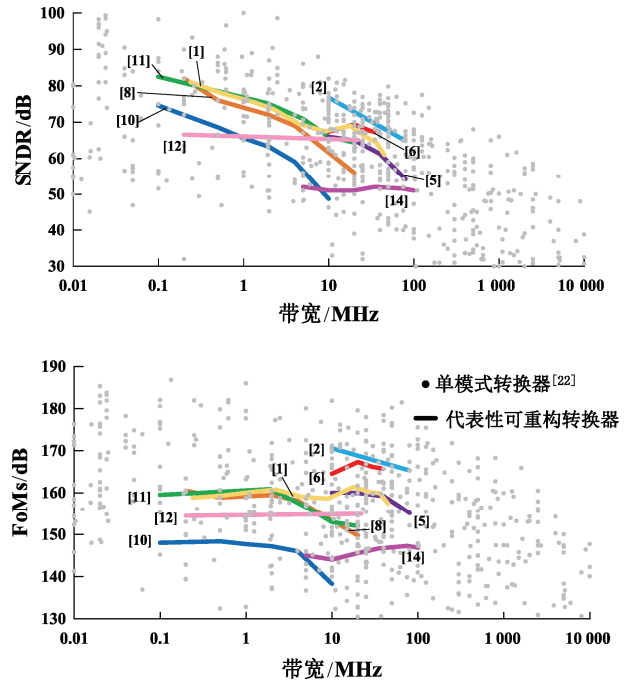


图 7 代表性可重构转换器的性能统计图

Fig.7 Performance statistics of representative reconfigurable converters

2 现存问题与挑战

现有的可重构模数转换器工作虽然在一定程度上实现了多模式切换, 使得转换器可覆盖一定范围的性能指标, 但仍然存在很大的局限性, 具体来说可总结为以下 3 个共性问题。

2.1 无法体现可重构优势

由图 7 可见, 现有的可重构模数转换器不仅可覆盖的性能范围相对有限, 在各模式下的性能也落后于对应的单模式转换器性能。特别地, 基于前述两种方案的工作中, 还鲜有超过百兆带宽性能的可重构转换器工作发表, 尚无法支持 5G、WiFi-7 等先进通信标准。其次, 部分可重构在面积上也无法体现优势。虽然以单个转换器覆盖了多个单模式转换器的性能, 但其面积却可能比数个单模式转换器的面积总和更大。最后, 部分可重构转换器的带宽-精度折中关系仍不够合理, 例如, 2018 年 Sauerbrey 等^[1]提出的可重构转换器的低带宽模式甚至没有高带宽模式过采样后精度高, 能效也没有明显提升。上述种种问题导致了现有的可重构转换器在性能和成本上不如采用多个单模式转换器的方案, 因此在实际应用中尚未成为主流。

2.2 缺少多模式并发支持

现有的可重构转换器在某一时段内仅能被配置为一种特定模式并处理一路输入信号, 这意味着不同模

式之间具有排他性，即无法在一个可重构转换器内同时处理多个不同模式的任务。然而在许多先进系统中，常有多路信号需要在同一时间内被处理，例如移动电话在进行 5G 通信的同时还可能进行蓝牙、IoT 通信。现有的可重构转换器在面对此类场景时并没有显著优势，仍然需要对可能并发的模式部署多个可重构转换器。在极端假设下，若系统存在全模式并发的需求，则现有的可重构转换器技术将失去节约成本的意义，如图 8 所示。

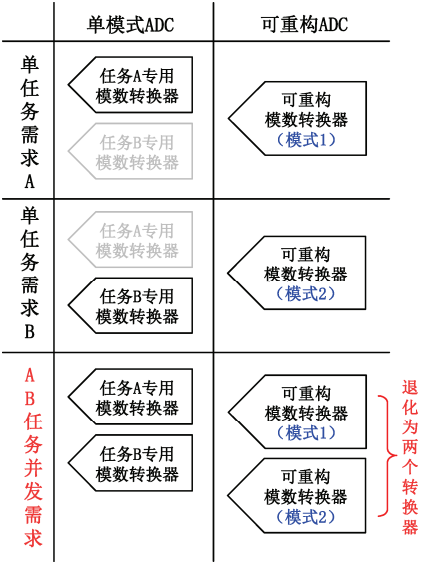


图 8 并发场景下的多模转换器退化问题

Fig.8 The degeneration of multi-mode converter under task concurrency

2.3 缺少理论框架和指标体系

现有的可重构模数转换器工作均沿用了传统单模转换器的理论框架和指标体系，在设计和测试时仅关

注单一模式下的信噪比、带宽等传统指标，而缺失了对“多模式”特性的评价。这导致大部分工作盲目地关注可重构转换器在几个单一模式下的性能，而忽视了可重构转换器在系统层面的核心目的，即提高每单位成本所支持的任务数量。本文认为，对可重构转换器需要建立一套全新的理论体系，并定义专用的指标，对可重构转换器的性能覆盖范围、单位成本效能、硬件利用率、模式并发数等方面进行有效评估和描述，从而允许可重构转换器之间进行比较，同时使得可重构转换器可被上层系统抽象和定义指标。

3 可编程转换器阵列技术

目前，大部分的可重构模数转换器采用的是前述第 1 类方案（参数调整）。此类方案从原理上无法实现硬件资源的复用，无法实现多模式并发，可覆盖的性能范围也受到架构特性限制。采用第 2 类方案（架构重构）的研究则数量稀少且相对原始，没有形成主流方案，也缺乏配套的理论 and 配置算法。可见，可重构转换器的相关研究整体还处于起步阶段，远落后于单模式转换器的技术水平，具有很大的发展潜力和研究空间。仍待研究人员探索有别于传统方案的新型可重构转换器技术。

Zhang 等^[23]在 2023 年的工作中提出了一种新型的基于可编程阵列的可重构模数转换器架构。它是一种由多个转换模块和总线系统构成的阵列，如图 9 所示。其中转换模块是阵列的基本单元，其既可以独立工作实现基本的模数转换，也可以与其他转换模块通过总线系统协同，从而共同完成更高速度或者更高精度的模数转换。

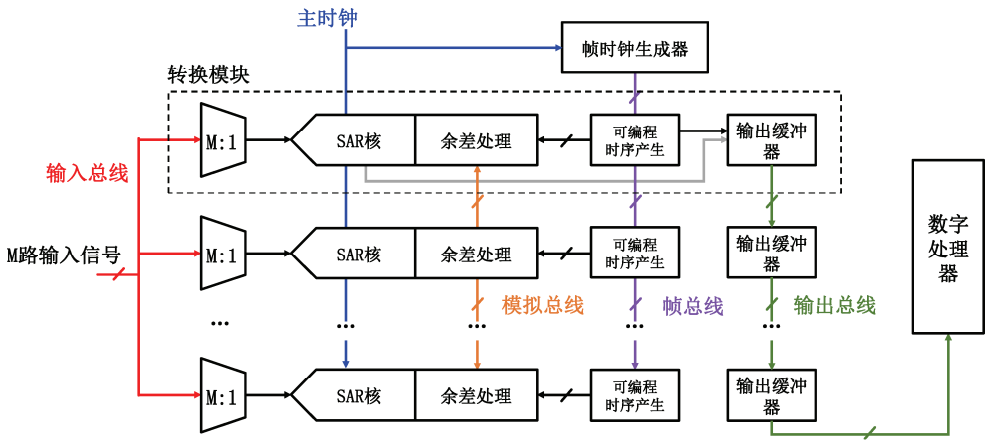


图 9 一种可编程转换器阵列

Fig.9 A programmable converter array

该架构中的每个转换模块由5个部件组成:1个输入多路选择器、1个能实现采样和模数转换的SAR架构核心、1个余差信号处理电路、1个可编程的时序生成电路、1个数据输出缓冲器。与前述两种技术方案不同,该架构的配置主要通过对各个转换模块的时序进行编程实现。时序生成电路根据存储的帧时刻表,在时钟总线的同步下输出任意多相时钟,进而控制其他部分的工作,决定转换器被重构成何种模式。在该工作中,通过转换模块的组合可实现的架构包括SAR、流水线、时间交织、噪声整形(noise-shaping, NS)SAR,以及上述架构的灵活组合,可支持的带宽范围从小于3 MHz~1 000 MHz,可支持的SNDR范围从30~80 dB, FoMs最高达到174.3 dB。不论是带宽范围、精度范围还是能效都显著高于传统技术方案如图10所示。此外在该架构中,转换器的模拟输入可根据应用需要扩展为多路,并由输入总线和多路选择器分发至不同的转换模块进行处理,因此实现了对多路输入、模式并发的支持。

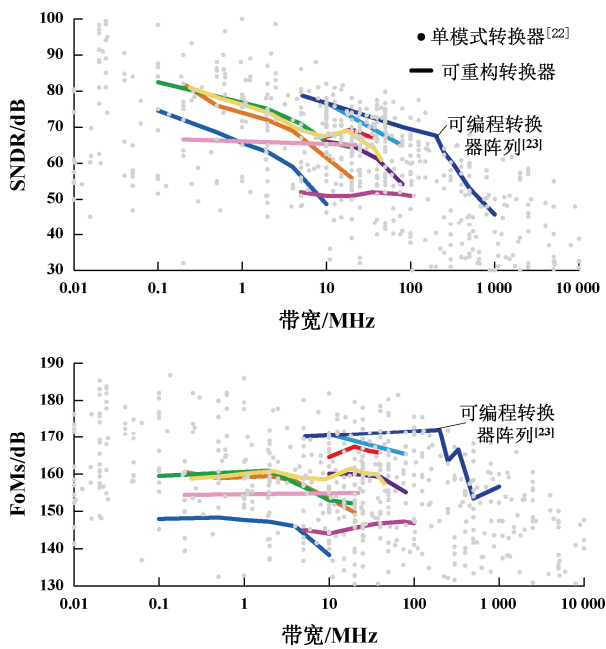


图10 可编程转换器阵列与传统可重构转换器的性能对照

Fig.10 Performance comparison between programmable converter array and conventional reconfigurable converter

此方案与前述两类常见可重构转换器的技术路线有本质区别:在此方案中,可重构转换器是由多种电路模块的阵列组成,模块间由可配置的总线系统互联并组合成各种转换器的架构,形式上与可编程逻辑阵列(FPGA)相似。阵列架构带来了几点优势:(1)由于阵列中的模块相互独立,具有并行特征,阵列架构

可以通过互联配置在同一时间组合出多个不同模式的子ADC,从而实现模式并发;(2)阵列结构提供了非常高的编程自由度,使得可支持的模式数量和性能范围大大增加;(3)阵列结构也更容易支持规模的扩展和模块升级,有利于转换器的IP复用和快速迭代。该工作也第1次提出了转换器的“资源池化”(resource pooling)概念,即将系统内所有的模数转换需求集中到一个转换器阵列中实现,并根据需求实时从阵列中重构出所需的转换功能,而无需为具体需求定制转换器。

不过,这种可编程转换器阵列技术也同时引出了新的技术难点,例如如何精确、高速地实现模拟信号的互联和路由,如何高效率地实现时钟信号的分发及时序编程等。以及新的理论层面的科学问题,包括如何对此类转换器进行顶层建模和抽象,如何类比FPGA定义转换器阵列的“资源数”,以及如何描述应用需求,如何根据应用需求“综合”出最优的阵列配置等。总结而言,可编程转换器的研究尚处于起步阶段,仍有大量研究工作有待开展。

4 结论

随着电子技术发展和应用场景的增加,设备对于可重构技术的需求日益增长。目前,虽然已存在一定数量的可重构模数转换器技术及工作发表,但主流方案还集中在电路参数调整技术上,整体性能还落后于单模式转换器,也缺乏对于多任务并发场景的支持。同时,目前也缺少针对可重构模数转换器的理论研究工作,没有统一、完善的指标体系和顶层抽象方法。一些新型的可重构技术,如“可编程转换器阵列”等,则仍然处于起步阶段,有待后继完善。因此,在可重构转换器领域仍存在大量开拓性的研究工作有待开展,是信号链领域未来值得关注的研究领域之一。

参考文献

- [1] SAUERBREY J, GARCIA J S P, SCHÜTZ U, et al. A Multi-mode GSM to LTE100 ADC[C]//44th European Solid-State Circuits Conference, IEEE, 2018: 246-249.
- [2] WANG C Y, TSAI J H, SU S Y, et al. An 80 MHz-BW 31.9 fJ/conv-step filtering $\Delta\Sigma$ ADC with a built-in DAC-segmentation/ ELD-compensation 6b 960 MS/s SAR-quantizer in 28 nm LP for 802.11 ax applications[C]//2019 IEEE International Solid-State Circuits Conference, IEEE, 2019: 338-340.
- [3] EROL O E, OZEV S. A reconfigurable 0.1-10 MHz DT passive dynamic Zoom ADC for cellular receivers[J]. IEEE Transactions on

- Circuits and Systems I: Regular Papers, 2020, 67(7): 2216-2228.
- [4] CONZATTI F, DORRER L, TORTA P, et al. A CT $\Delta\Sigma$ ADC with 9/50 MHz BW achieving 73/71 dB DR designed for robust blocker tolerance in 14 nm FinFET[C]//43rd IEEE European Solid-State Circuits Conference, 2017: 139-142.
 - [5] WANG C Y, CHU S W, PENG T H, et al. A mode-configurable analog baseband for Wi-Fi 11ac direct-conversion receiver utilizing a single filtering $\Delta\Sigma$ ADC[C]//2016 IEEE Radio Frequency Integrated Circuits Symposium, 2016: 170-173.
 - [6] LOEDA S, HARRISON J, POURCHET F, et al. A 10/20/30/40 MHz feedforward FIR DAC continuous-time $\Delta\Sigma$ ADC with robust blocker performance for radio receivers[J]. IEEE Journal of Solid-State Circuits, 2016, 51(4): 860-870.
 - [7] TAYLOR G, GALTON I. A reconfigurable mostly-digital delta-sigma ADC With a worst-case FOM of 160 dB[J]. IEEE Journal of Solid-State Circuits, 2013, 48(4): 983-995.
 - [8] KE Y, GAO P, CRANINCKX J, et al. A 2.8-to-8.5 mW GSM/bluetooth/UMTS/DVB-H/WLAN fully reconfigurable CT $\Delta\Sigma$ with 200 kHz to 20 MHz BW for 4G radios in 90 nm digital CMOS[C]//2010 Symposium on VLSI Circuits, 2010: 153-154.
 - [9] CROMBEZ P, VAN DER PLAS G, STEYAERT M S J, et al. A single-bit 500 kHz-10 MHz multimode power-performance scalable 83-to-67 dB DR CT $\Delta\Sigma$ for SDR in 90 nm digital CMOS[J]. IEEE Journal of Solid-State Circuits, 2010, 45(6): 1159-1171.
 - [10] MORGADO A, DEL RÍO R, DE LA ROSA J M, et al. A 100 kHz-10 MHz BW, 78-to-52 dB DR, 4.6-to-11 mW flexible SC $\Sigma\Delta$ modulator in 1.2-V 90-nm CMOS[C]//2010 Proceedings of ESSCIRC, 2010: 418-421.
 - [11] CHRISTEN T, HUANG Q. A 0.13 μm CMOS 0.1-20 MHz bandwidth 86-70 dB DR multi-mode DT $\Delta\Sigma$ ADC for IMT-Advanced[C]//2010 Proceedings of ESSCIRC, 2010: 414-417.
 - [12] TAHERZADEH-SANI M, HAMOUI A A. A reconfigurable and power-scalable 10-12 Bit 0.4-44 MS/s pipelined ADC with 0.35-0.5 pJ/step in 1.2 V 90 nm digital CMOS[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2013, 60(1): 74-83.
 - [13] YOUSRY R, CHEN M S, CHANG M C F, et al. An architecture-reconfigurable 3b-to-7b 4GS/s-to-1.5 GS/s ADC using subtractor interleaving[C]//2013 IEEE Asian Solid-State Circuits Conference, 2013: 285-288.
 - [14] ZHANG H, TAN J, ZHANG C, et al. A 0.6-to-200MSPS speed reconfigurable and 1.9-to-27 mW power scalable 10bit ADC[C]//2011 Proceedings of the ESSCIRC, 2011: 367-370.
 - [15] CHANDRASHEKAR K, CORSI M, FATTARUSO J, et al. A 20-MS/s to 40-MS/s reconfigurable pipeline ADC implemented with parallel OTA scaling[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2010, 57(8): 602-606.
 - [16] LIU J, LIU S, DING R, et al. A conversion mode reconfigurable SAR ADC for multistandard systems[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2021, 29(5): 895-903.
 - [17] YIP M, CHANDRAKASAN A P. A resolution-reconfigurable 5-to-10-Bit 0.4-to-1 V power scalable SAR ADC for sensor applications[J]. IEEE Journal of Solid-State Circuits, 2013, 48(6): 1453-1464.
 - [18] WANG L, LACROIX M A, CARUSONE A C. A 4-GS/s single channel reconfigurable folding flash ADC for wireline applications in 16-nm FinFET[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2017, 64(12): 1367-1371.
 - [19] DANESH S, HURWITZ J, FINDLATER K, et al. A reconfigurable 1 GSps to 250 MSps, 7-bit to 9-bit highly time-interleaved counter ADC with low power comparator design[J]. IEEE Journal of Solid-State Circuits, 2013, 48(3): 733-748.
 - [20] CHANG D Y, JAVVADI S, MUNOZ C, et al. A 1.2 V programmable ADC for a multi-mode transceiver in 0.13 μm CMOS[C]//2008 European Microwave Integrated Circuit Conference, 2008: 151-154.
 - [21] SUBRAMANIAN S, HASHEMI H. A 200 MSPS reconfigurable ADC with adjacent channel narrowband blocker resiliency[C]//2016 IEEE Radio Frequency Integrated Circuits Symposium, 2016: 338-341.
 - [22] MURMANN B. ADC performance survey 1997-2023 [Z]. Available: <https://github.com/bmurmman/ADC-survey>.
 - [23] ZHANG Z, GAO Z, HUANG S, et al. A 1 GS/s/6-Core programmable A/D converter array supporting architecture restructuring and multitasking[C]//2023 IEEE Custom Integrated Circuits Conference, 2023: 1-2.