



# 基于 FPGA 的视频图像采集项目教学设计

王伟刚<sup>1</sup>, 夏子山<sup>1</sup>, 涂真珍<sup>2</sup>

(1. 南京邮电大学 电子与光学工程学院、柔性电子(未来技术)学院, 南京 210023; 2. 南京邮电大学 材料科学与工程学院, 南京 210023)

**摘要:** 针对学生对各独立的 FPGA 基础实验兴趣不大的现象, 该文设计了与人工智能相关的视频图像采集综合教学项目。该项目分为基础知识、提高要求、自主创新 3 个部分的设计内容, 能从多个角度对学生进行能力考核。实验教学成效表明, 该教学设计提升了学生在电子与信息处理方面的综合能力, 并为进一步 FPGA 技术的深入学习打下坚实基础。

**关键词:** 现场可编程门阵列; 实验教学; 视频图像采集; 教学设计

中图分类号: TP332; TN791

文献标志码: A

DOI: 10.12179/1672-4550.20220370

## Teaching Design of Video Image Acquisition Project Based on FPGA

WANG Weigang<sup>1</sup>, XIA Zishan<sup>1</sup>, TU Zhenzhen<sup>2</sup>

(1. College of Electronic and Optical Engineering & College of Flexible Electronics (Future Technology), Nanjing University of Posts and Telecommunications, Nanjing 210023, China;

2. College of Material Science and Engineering, Nanjing University of Posts and Telecommunications, Nanjing 210023, China)

**Abstract:** In view of the phenomenon that students have little interest in the independent field programmable gate array (FPGA) basic experiments, This paper designs a comprehensive teaching project of video image acquisition related to artificial intelligence. This project is divided into three parts: basic knowledge, advanced requirements, independent innovation, which can assess students' ability from multiple perspectives. Experimental teaching results show that the teaching design improves students comprehensive ability in electronics and signal processing and lays a solid foundation for further in-depth study of FPGA technology.

**Key words:** FPGA; experimental teaching; video image acquisition; teaching design

当前 FPGA 技术正处于高速发展时期, 基于现场可编程门阵列(FPGA)的 EDA 设计方式已成为现代电子设计的主流方向。FPGA 是基于 PLA、GLA 等可编程器件上发展创新的产物, 是集成电路中专用的一种半定制电路<sup>[1]</sup>。FPGA 集成了大量的可配置逻辑块、数字时钟管理模块、嵌入式块 RAM 等资源, 具有可重复编程的特点, 适合用于技术前期的开发验证。由于 AI 应用发展迅速, 视频图像采集处理技术在许多行业领域中应用广泛, 如军事、安全监控、工业视觉等领域, 因而各行业对于视频图像采集和处理技术的要求也越来越高。FPGA 具有并行处理的架构, 在面对高分辨率的数字视频时, 能充分体现其高效率低时延的特点, 满足视频的实时性要求<sup>[2-4]</sup>。本文选取的视频图像采集项目, 能实现 FPGA 控制摄像头采

集视频图像<sup>[5]</sup>、TFT 显示屏实时显示视频图像等功能<sup>[6]</sup>。

## 1 项目教学设计

### 1.1 项目设计思想

由于现代集成电路制造技术的不断提升, FPGA 内部逻辑门的数量从最初几千个发展到现在的上千万个。随着 FPGA 的集成度越来越高, 设计大规模电路利用自顶向下的设计方法要求错误尽可能少<sup>[7]</sup>。自顶向下的设计方法是将整个系统分解为若干子模块, 每个子模块又可以分解为下一层级的模块, 直到分解为基本元件为止。该设计方法可以对每一个模块单元独立设计并进行验证, 能有效提高系统设计的正确性。本项目采用自顶向下设计。

收稿日期: 2022-06-14; 修回日期: 2022-07-28

基金项目: 南京邮电大学研究生教改项目(JGKT22\_XYB03); 南京邮电大学教学改革研究项目(JG03318JX65); 国家自然科学基金(61871232, 61571233); 射频集成与微组装技术国家地方联合工程实验室开放课题(KFJJ20200103)。

作者简介: 王伟刚(1975-), 男, 博士, 教授, 主要从事嵌入式系统、FPGA 以及室内外定位方面的研究。E-mail: wangwg@njupt.edu.cn

## 1.2 项目意义

FPGA 的视频图像采集是一个综合性高的项目, 实验中 FPGA 设计部分包含很多常用模块, 包括摄像头驱动模块、DDR3 存储器的读写模块、TFT 显示屏驱动模块。学生将学过的知识综合运用在同一个实验项目中, 有助于加深对 FPGA 技术的熟练使用。另外, 实验项目的设计和验证需要使用到的工具包括 Vivado 的开发环境, 以及 Modelsim 仿真验证环境。学生通过使用不同工具, 能掌握和提高应用各种 EDA 的能力。

本实验项目的设计层次鲜明, 学生可以按照一定顺序完成各个模块的设计, 用仿真验证设计是否正确。由于不同学生知识的掌握程度、工程实践能力、自主创新能力都不一样, 因此将本项目实验设计分为基础要求、提高要求、自主创新 3 个部分, 从而适合不同基础的学生锻炼动手能力。对于基础薄弱的学生, 可以先重点完成基本模块的设计与验证, 在保证完成重点实验内容后再去做提高部分。对于有较好理论和实践基础的学生, 完成实验提高部分后, 让其自主选择并实现创新功能。

本视频图像采集项目实现依托南京邮电大学电子与光学工程学院, 有完备的实验环境和成熟的 FPGA 教学方案。本实验课程“FPGA 数字系统实验”面向电子信息类大三学生, 学生在已完成数字电路和 EDA 技术的课程基础上完成此实验内容。此项目作为实验课程最后一个综合实验, 实验内容按困难程度分块, 不同基础的学生能对应完成相关内容并得到提高。

## 1.3 项目的目标

本项目的目标是让学生掌握 FPGA 的视频图

像采集的一般设计方法, 掌握 FPGA 设计流程, 能够熟练使用 Verilog 这一硬件描述语言设计并验证视频图像采集中常用模块。通过本项目激发学生自主学习的兴趣, 为将来进一步深入学习 FPGA 技术打下良好基础。

## 2 项目教学设计过程

本项目的实验内容分为基础、提高、创新 3 个部分。基础部分要求完成 OV5640 数据获取模块、TFT 显示驱动模块、DDR 接口模块的设计与仿真验证; 提高部分要求完成整个视频采集项目, 摄像头采集视频图像显示在 TFT 显示屏上; 创新部分的内容由学生自主查找资料, 选择一个图像处理算法并实现, 如图像灰度化、高斯滤波、sobel 算子边缘检测等<sup>[8]</sup>。

### 2.1 系统框图

基于 FPGA 的视频图像采集项目的顶层系统框图如图 1 所示。本系统模型根据输入数据的流向设计, 首先 OV5640 摄像头由初始化模块对其内部各个寄存器写入特定值进行初始化, 完成初始化后由图像接收模块获取摄像头输出的像素数据<sup>[9]</sup>。获取的数据流先写入 FIFO 缓存器, 再由控制器模块写入 DDR3 存储器中。DDR3 中用两块空间转运数据流的方式称之为乒乓操作<sup>[10]</sup>, 是为了解决摄像头输出数据和 TFT 显示屏使用数据时钟不一致的问题。接口转换模块用于 FIFO 接口与 DDR 存储器接口的相互转换。数据由 FIFO 中读出后, 送入显示驱动模块。该模块按照显示时序生成新的数据流输出给 TFT 显示屏, 以确保图像的正确显示。

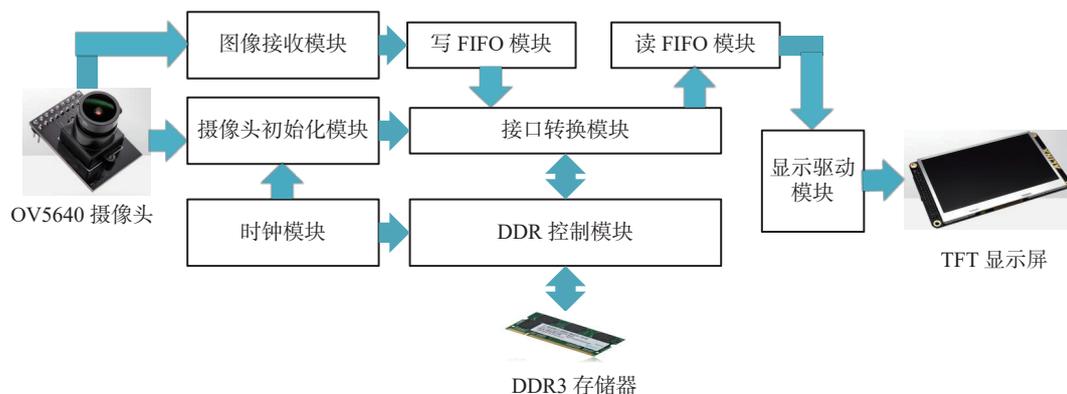


图 1 视频图像采集系统的建模框图

### 2.2 图像接收模块设计

接收 OV5640 摄像头输出的视频图像数据时

需要设计图像接收模块, 该模块将数据整合好后再送入下一级 FIFO 中。学生需要理解摄像头如何

输出图像数据，VSYNC 和 HREF 是摄像头输出图像的场同步和行同步信号，通过这两个信号判断接收一帧图像数据和一行像素数据的开始和结束。接收两个 8 位的数据拼接成一个 16 位 RGB 格式的图像数据，数据有效信号高电平时表示像素数据有效。为了获取像素在图像上的位置，还应生成坐标数据为 Xaddr 和 Yaddr。

### 2.3 DDR3 接口模块设计

FIFO 和 DDR 控制器之间接口不同，因此需要设计接口转换模块。将普通的 FIFO 接口转换成 AXI 接口，用于将 FIFO 里的数据读出然后存储在 DDR 存储器以及将其中读出的数据存放到 FIFO 缓存。整个转换的过程比较复杂，因此教师需要

重点讲解如何设计状态机<sup>[1]</sup>。如图 2 所示，上电后的初始状态为空闲态，当 DDR 存储器初始化后进入读写仲裁状态。判断该状态是否有读或写的操作请求跳转到读或写流程的各个状态。完成一次读写流程后，状态回到仲裁状态进行下一次的读操作。当在仲裁状态出现写操作请求后，进入到 AXI 写地址通道的操作状态。在该状态，传输写操作的地址和控制信息结束后转到写入数据状态。在写入数据状态中写完最后一个数据后，进入到等待写响应的状态。当主机接收到设备的写响应后，写操作流程结束，状态机回到仲裁状态等待下一次的读操作。读操作的状态转移与写操作类似，其详细过程如图 2 所示。

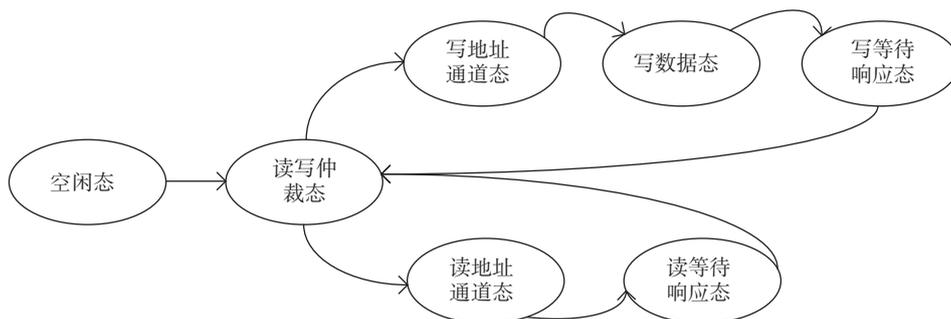


图 2 DDR3 接口模块状态转移图

### 2.4 TFT 显示驱动模块设计

本次项目使用的是 RGB 接口的 TFT 显示屏，学生需要掌握显示屏的接口时序并设计显示驱动模块。显示的屏扫方式是按行从左到右逐行扫描，一行结束后回到下一行左边的起始位置。行扫描与场扫描要遵循一定的时序，如图 3 所示。在行扫描中，行同步信号 HSYC 有一段低电平同步时间，其前后有固定的前沿和后沿时间。场扫描的时序与行扫描相似，只是在各参数大小上有所不同。行扫描参数的值以像素时钟周期为单位，场扫描参数的值以输出一行的时钟周期为单位，每个参数值的大小根据显示屏数据手册确定。

图 3 中，TFT 显示驱动模块根据显示驱动时序生成行同步信号 HS、场同步信号 VS、数据有效信号 DE，输入的 16 位 RGB 格式的数据按颜色分解出三路 8 位宽的信号。

### 2.5 Vivado 时序分析

时序分析是检查芯片时序特性的一种方法，可以用来检查信号在芯片中的传播是否符合时序约束的要求。Vivado 非常适合本项目的时序分析，如图 4 所示，clock 时钟上升沿采集数据时需要信号 data 在上升沿前后保持稳定，即满足建立时间和保持时间要求。学生需掌握使用 Vivado 软件直接对芯片的时序进行约束，然后通过时序分析工具查看时序分析结果是否正确。如图 5 所示 Vivado 时序检查报告正常。

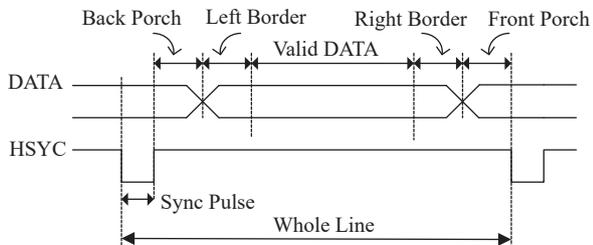


图 3 TFT 行扫描时序

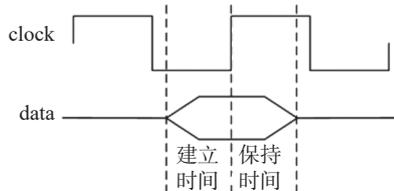


图 4 静态时序分析

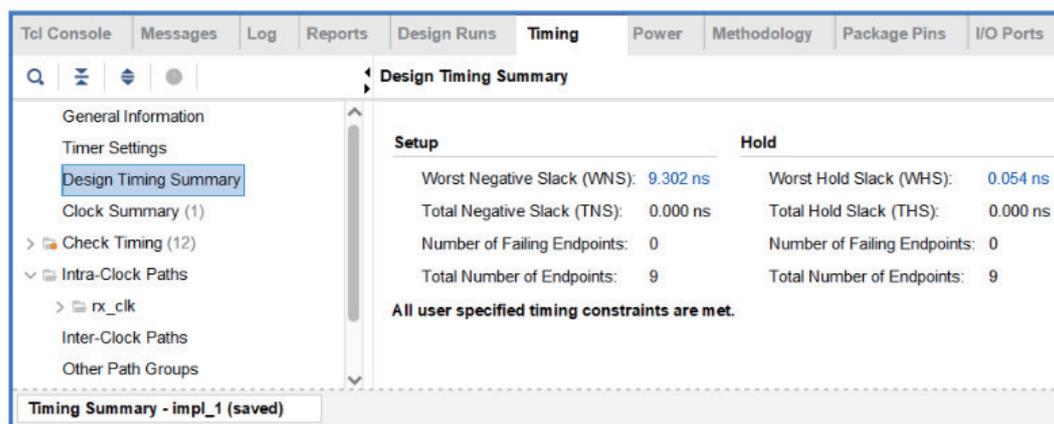


图 5 Vivado 时序检查报告

### 3 实验波形仿真

#### 3.1 Modelsim 仿真建立

本项目使用 Modelsim 进行波形仿真, 它是 Mentor 公司出品的 Verilog 语言仿真软件, 相比于 Vivado 自带的仿真工具速度更快、功能更多。且新版本的 Vivado 支持和 Modelsim 联合仿真, 仿真过程能及时发现设计中的错误, 能加快设计进度, 提高设计的可靠性。学生在 Vivado 的环境下编写好仿真程序, 配置仿真器选用 Modelsim, 就可以在 Modelsim 环境中进行仿真<sup>[12]</sup>。

#### 3.2 仿真结果

图像接收模块的仿真过程重点检验像素信号和像素位置信号 Xaddr、Yaddr 的波形。因为 data 端口需要 2 个时钟周期才能传输一个像素所需的 16 位数据, 所以每个像素会占用两个时钟周期。由于显示屏分辨率为 800×480, 每个像素仅在这个范围内, 且坐标的递增顺序按扫描方式从左往

右, 从上至下。

DDR3 接口模块波形仿真检验数据的写入和设计是否相符, 在地址通道写入数据的起始地址和突发长度等信息, 当地址写有效信号和准备信号同时为高时, 这些信息被传输给 DDR 控制器。在写数据通道写入指定突发长度的数据, 数据写有效信号和准备信号同时为高时表示写入数据被传输给 DDR 控制器。对模块多次输入大量数据, 观察波形对比输入输出数据是否一致, 检验设计是否正确。

TFT 显示驱动模块仿真实验中, 需要检查信号是否符合 TFT 屏幕的显示时序。使用的显示屏分辨率为 800×480, 图像的一行有 480 个像素时钟周期, 一帧图像有 800 行。从图 6 的波形可以看出, 一帧图像结束后行计数器的值是 800, 列计数器的值是 480, 行扫描和场扫描信号满足时序要求。一帧图像共有 384000 个像素点, 通过 visible\_pixcount 波形可观察到一帧图像结束后像素计数器的值确实为 384000, 说明图像像素正确传输。

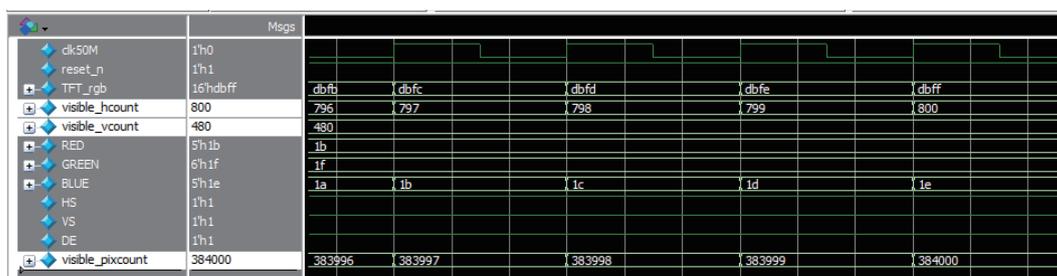


图 6 TFT 显示驱动模块的仿真

### 4 项目考核与验收

本项目实验课程结束后能有效地组织验收学生学习成果, 并给出学生此次实验成绩<sup>[13]</sup>。总评

成绩为 100 分, 由以下 5 个部分构成。

1) 预习报告占 10 分, 实验教学前检查学生的预习报告, 检验学生对实验用到的 OV5640 摄像头、TFT 显示屏、DDR3 存储器等器件的基本原

理是否理解清楚。

2) 实验主要模块的设计与仿真占 30 分, 其中图像接收模块、DDR3 接口模块、TFT 显示驱动模块各占 10 分。通过仿真波形检查学生设计是否正确, 功能能否实现等。

3) 实物验收占 30 分, 检查学生实物效果, 显示屏是否能正确显示摄像头采集的视频图像。

4) 自主创新占 15 分, 考察学生是否有新的设计, 自主实现新的功能。

5) 实验报告占 15 分, 批改学生课后实验报告, 检查报告内容完整性和学生对问题分析过程的正确性<sup>[13]</sup>。

## 5 改革实验教学成效

为对比课程改革前后教学的效果, 对本校 2017、2018 级两届学生的电子科学与技术实验课程成绩及教学内容进行课程改革的前后对比, 如表 1、表 2 所示。2018 级电子科学与技术班级的教学内容是基于 FPGA 的视频采集实验设计, 2017 级电子科学与技术班级的教学内容是基于 FPGA 的交通灯实验设计。从表 1 可看出, 优秀和良好成绩的比例由过去的 42.85% 提升至 62.07%, 及格和不及格成绩的比例由 24.82% 下降至 17.24%。分析其原因是过去的教学内容单一, 知识相对陈旧, 学生积极性不足; 而改革后的教学内容丰富, 与热门的 AI 图像处理紧密相关, 学生自主拓展空间大, 学习积极性明显增强。且新的教学内容层次划分合理, 基础薄弱的学生也能在课程实验中完成部分内容。

表 1 电子科学与技术课程改革前后学生成绩对比

年级	成绩/分	人数	占比/%	平均分
2017	90~100(优秀)	3	10.71	77.5
	80~89(良好)	9	32.14	
	70~79(中)	9	32.14	
	60~69(及格)	5	17.86	
	小于60(不及格)	2	7.14	
2018	90~100(优秀)	5	17.24	81.25
	80~89(良好)	13	44.83	
	70~79(中)	6	21.69	
	60~69(及格)	4	13.79	
	小于60(不及格)	1	3.45	

表 2 电子科学与技术课程改革前后内容对比

年级	实验内容	复杂程度
2017	基于FPGA的交通灯实验设计	消耗68个LUT
2018	基于FPGA的视频采集实验设计	消耗6489个LUT

## 6 结束语

作者在南京邮电大学电子与光学工程、柔性电子(未来技术)学院开设“FPGA 数字系统实验”实验课程多年, 文中基于 FPGA 的视频图像采集项目教学设计是多年教学经验积累的成果。新项目的教学效果表明, 学生的平均实验成绩较以往有一定的提高, 实验主动性明显增强。本实验能有效促进学生掌握 FPGA 更高级的设计方法, 激发更大自主学习兴趣。

## 参考文献

- [1] 栾岚. FPGA技术在数字逻辑课程中的应用[J]. 电脑知识与技术, 2021, 17(24): 168-169.
- [2] 卢有亮, 姜书艳. 数字设计FPGA应用课程的挑战式实验教学设计[J]. 实验科学与技术, 2018, 16(6): 82-85.
- [3] 王娜, 刘一清. 基于ZYNQ的数字视频处理实验平台[J]. 电子测量技术, 2020, 43(7): 124-128.
- [4] 张秀磊, 岳昊嵩, 徐东. 基于FPGA的数字频率计综合实验设计[J]. 中国现代教育装备, 2022(3): 16-18.
- [5] 郝彦爽, 林颖, 韩守梅. 基于FPGA的数字电子技术实验案例设计[J]. 实验室科学, 2021, 24(3): 101-104.
- [6] 于波, 栾海鹏, 韩玉斌. 基于FPGA的以太网视频传输系统[J]. 电子测量技术, 2020, 43(8): 138-142.
- [7] 夏宇闻. Verilog数字系统设计教程[M]. 3版, 北京: 北京航空航天大学出版社, 2013.
- [8] 李迪, 吴奇, 杨浩森. 基于改进Sobel算子的边缘检测系统的设计与实现[J]. 信息技术与网络安全, 2022, 41(3): 13-17.
- [9] 喻金华, 肖铁军. 基于FPGA的图像滤波的流水线结构设计及实现[J]. 计算机工程与设计, 2009, 30(18): 4192-4194.
- [10] 杨会建, 田成军, 杨志娟, 等. 基于FPGA的SDRAM乒乓读写操作设计[J]. 长春理工大学学报(自然科学版), 2015, 38(2): 67-71.
- [11] 张智慧. “FPGA技术应用”课程的混合式教学实践研究[J]. 工业和信息化教育, 2021(11): 28-31.
- [12] 艾伟清, 陈景波, 王伟, 等. 基于FPGA的“数字电路”教学改革探索[J]. 电气电子教学学报, 2021, 43(2): 49-51.
- [13] 倪健民, 韩绍程. 基于FPGA的视频图像处理综合性实验项目开发[J]. 实验技术与管理, 2021, 38(9): 161-165.