



4H-SiC MOSFET栅氧界面性能提升工艺

吴望龙^{1,2}, 王小周^{1,2*}, 李京波^{1,2,3*}

1. 华南师范大学工学部半导体科学与技术学院, 佛山 528225;

2. 广东省芯片与集成技术重点实验室, 广州 510631;

3. 浙江大学光电科学与工程学院, 杭州 310027

* 联系人, E-mail: 20200706@m.scnu.edu.cn; jbli@zju.edu.cn

2022-11-21 收稿, 2023-02-03 修回, 2023-02-06 接受, 2023-02-07 网络版发表

国家自然科学基金(62004071, 11904108, 62175040, 62074060)、广东省基础与应用基础研究基金(2020B1515020032)、中国博士后科学基金(2020M672680)、广州市科技计划(202103030001)和“珠江人才引进行计划”(2019ZT08X639)资助

摘要 MOSFET器件是现代微电子学的关键核心器件之一, 其应用范围从高度集成的CMOS芯片到高功率器件。目前, SiC MOSFET存在沟道迁移率较低、阈值电压漂移、栅氧介质在高温下的长期可靠性不足、体二极管正向导通状态下产生双极型漂移等问题。值得注意的是, 其中众多问题都与栅氧界面缺陷有关。由于SiC/SiO₂界面缺陷的存在, SiC MOSFET器件的沟道迁移率被严重限制, 栅氧化层的可靠性和阈值电压的稳定性也受到较大影响, 导致其栅氧界面性能较差。为了改善这些问题, 本文从退火、高 k 介质层的使用、栅氧化物掺杂、沟槽型MOSFET沟槽深宽优化四个方面, 综述了提升4H-SiC MOSFET栅氧界面性能的制备工艺, 从多个角度介绍了多种可行的方案, 以期进一步综合提升4H-SiC MOSFET栅氧界面性能, 使其更好地应用于电力电子系统。

关键词 4H-SiC MOSFET, 栅氧界面, 场效应, 载流子迁移率, 界面缺陷

由于碳化硅(silicon carbide, SiC)具有宽带隙、高击穿电场等较为优异的电学性能^[1], SiC基功率器件在电力电子系统中的潜在应用受到越来越多的研究关注^[2]。其中, SiC基金属氧化物半导体场效应晶体管(metal-oxide-semiconductor field-effect transistor, MOSFET)器件是现代微电子芯片中的关键元件, 具有从高集成CMOS到高功率器件的广泛应用^[3]。对比Si基的IGBT器件, SiC MOSFET具有更低的开关损耗和导通损耗等优势^[4]。然而, 由于SiC/SiO₂界面附近的界面陷阱、近界面氧化物陷阱以及氧化物层中可移动电荷的存在, SiC基MOSFET器件的稳定性问题较为严重^[5,6], 会出现器件的迁移率受到影响、器件的阈值电压产生漂移等问题。此外, 因为SiO₂与4H-SiC(一种最小堆叠周期为4的六方晶系结构SiC)之间的势垒高度小于SiO₂与Si之

间的势垒高度, SiC MOSFET器件的栅极漏电会比Si基器件更大^[7]。同时, 界面缺陷的存在降低了SiC MOSFET的开关速度, 影响其工作频率和开关损耗^[8]。

本文从提升4H-SiC MOSFET栅氧界面性能出发, 以改善沟道载流子迁移率(μ_{fe})、阈值电压(V_{th})稳定性、栅氧化层可靠性等问题为中心进行讨论。对于 μ_{fe} 而言, 需要关注的情况主要有以下两种: 一个是在相对较低的电场下, 一般为刚好超过 V_{th} ; 另一个是在较高的电场下, 一般为15~25 V, 这是因为MOSFET的迁移率在这两种电场情况下有较为明显的差异。大量实验表明^[9~13], μ_{fe} 一般在栅压达到 V_{th} 后出现峰值, 之后随电场的增大呈现非线性衰减趋势。对于 V_{th} 而言, 若其正向偏移足够大, 则可能增加导通电阻。同样, 如果 V_{th} 负向偏移足够大, 那么在断开或阻塞状态下, 漏电流可能会显

引用格式: 吴望龙, 王小周, 李京波. 4H-SiC MOSFET栅氧界面性能提升工艺. 科学通报, 2023, 68: 1777-1786

Wu W L, Wang X Z, Li J B. Gate-oxide interface performance improvement technology of 4H-SiC MOSFET (in Chinese). Chin Sci Bull, 2023, 68: 1777-1786, doi: 10.1360/TB-2022-1196

著增加,若增幅足够大,则可能导致器件故障^[14]. 栅氧化层可靠性与栅氧化层的种类和厚度等因素有关,栅氧化层厚度的降低可增强晶体管的电流驱动能力,提升开关速度和功率特性,然而薄的氧化层会加重电流的隧穿效应并使氧化层可靠性降低. 在给定的栅极介质厚度下,高 k 栅极介质材料的引入可显著降低电场值,导致总的栅电流密度降低,使栅氧化层的可靠性提升.

1 MOSFET缺陷分布及栅氧性能主要影响参数

1.1 4H-SiC MOSFET结构缺陷分布

图1所示为4H-SiC MOSFET的结构缺陷分布,可分为SiC/SiO₂界面附近的界面陷阱(D_{it})、近界面氧化物陷阱(near interface oxide traps, NIOTs)、氧化层中的陷阱及可移动电荷和固定电荷(Q_{ox})几类. D_{it}主要指位于4H-SiC表面的陷阱,主要包括界面处由于热氧化产生的含C的副产物缺陷、悬挂键和晶格失配等界面处结构缺陷形成的陷阱^[15]. D_{it}会影响沟道载流子的输运及复合,降低可移动载流子的浓度,增加界面散射,导致 μ_{fe} 下降,比导通电阻上升. NIOTs则主要由界面附近氧化物中的氧空位相关缺陷形成,这类缺陷主要存在于由SiO_xC_y构成的过渡层中^[15],会严重影响器件 V_{th} 的稳定性. 氧化层陷阱主要为在氧化层沉积阶段中产生的自身氧化缺陷,以及一些残留的氧化副产物如CO、CO₂等引起的缺陷陷阱^[16],这类陷阱在高温下会由于陷阱活化而影响 V_{th} 的稳定性及栅氧化层的可靠性. 在低电场下, D_{it}和固定电荷对 μ_{fe} 的峰值有较大的影响;而在高场强下,表面粗糙度和NIOTs是影响 μ_{fe} 的主要参数;移动电荷和NIOTs则是导致阈值电压不稳定的主要原因^[17].

1.2 4H-SiC MOSFET栅氧性能主要影响参数

1.2.1 沟道迁移率

迁移率决定着半导体的电导率,影响器件的工作速度. 在MOSFET中,反型层中产生的电子被高密度的D_{it}和NIOTs捕获,导致沟道有效载流子的数目直接减少. 此外,部分陷阱在俘获电子之后会变成带电中心,致使沟道表面的库仑散射效应加剧,进而导致沟道迁移率降低^[16]. 在含N环境(NO、N₂O)中进行处理,可以有效地将迁移率提升至25~50 cm² V⁻¹ s⁻¹^[13,18],相比未经退火处理样品的迁移率值(12 cm² V⁻¹ s⁻¹)有所提升;

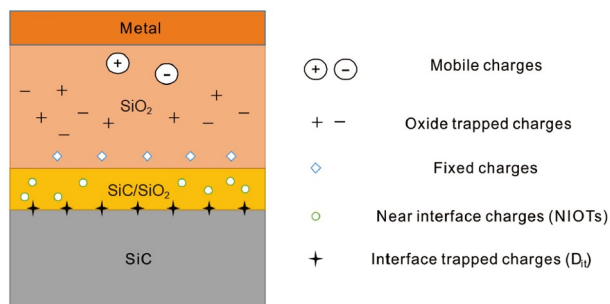


图1 4H-SiC MOSFET结构缺陷分布
Figure 1 Defect distribution of the 4H-SiC MOSFET structure

在三氯化磷中进行栅极氧化物的热退火,可使4H-SiC MOSFET迁移率提高到89 cm² V⁻¹ s⁻¹,但会出现较为严重的阈值电压漂移现象^[11];采用La₂O₃作为高 k 介质层,得到的迁移率值为133 cm² V⁻¹ s⁻¹,且有相对稳定的阈值电压^[19,20],此外,V族元素如As^[21]和Sb^[22]的栅氧化物掺杂,可以使得迁移率峰值分别达到160和100~120 cm² V⁻¹ s⁻¹,但是在高电场下迁移率明显衰减. 以上研究表明,通过退火引入N、P、O等元素或使用高 k 介质层可以有效改善 μ_{fe} .

1.2.2 阈值电压稳定性

V_{th} 稳定性主要受D_{it}和氧化层陷阱的影响. 若 V_{th} 正向偏移足够大,则可能增加导通电阻;若 V_{th} 负向偏移足够大,那么在断开或阻塞状态下,栅极漏电流可能会显著增加. 此外,当器件长时间受正向偏置电压作用,且放置在125°C以上环境中时,器件的 V_{th} 不稳定性会显著增加. 这是因为器件在高温环境中且受正向偏置电压的作用下,一些中性Si-二聚体态能够转化为活性诱捕位点(E'中心),这是一种与氧化物中的氧空位有关的点缺陷^[14]. 在高温偏压胁迫下,前驱体诱捕位点活化为E'中心,这种缺陷能够在高温(正向偏置电压作用下)捕获额外的电子,从而有效地充当电子陷阱,导致更大的 V_{th} 正向漂移. 但这种高温氧化物电子陷阱在冷却到室温时可能会失去额外捕获的电荷,特别是当栅极偏压从正转换到零或施加负电压时^[5]. 图2为一个SiC MOSFET器件在150°C、+15 V环境下 V_{th} 不稳定性随应力时间变化图像,菱形点表示撤销应力并在室温下放置36 h后的阈值电压漂移量,可以看出,器件的阈值电压漂移有了较好的恢复.

1.2.3 栅氧化层可靠性

栅氧化层厚度的降低,可增强晶体管的电流驱动能力,提升开关速度和功率特性. 然而,薄的氧化层会加重电流的隧穿效应并使氧化层可靠性降低. 4H-SiC

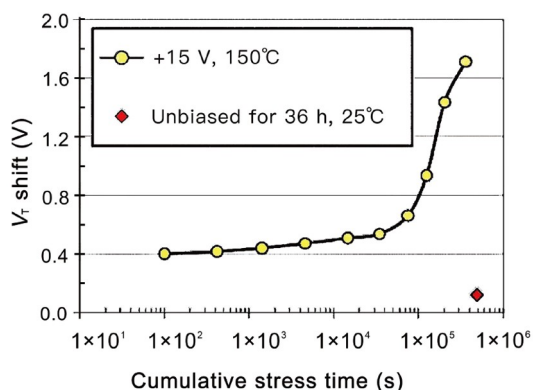


图2 SiC MOSFET器件在150°C、+15 V环境下 V_{th} 漂移随应力时间变化图像^[5]. Copyright © 2018, Elsevier

Figure 2 Image of V_{th} shift versus stress time for a SiC MOSFET device at 150°C and +15 V^[5]. Copyright © 2018, Elsevier

与SiO₂的相对介电常数分别为9.7和3.9, 由高斯定理(式(1))^[16]可知, 栅氧化层需要承受约为SiC层2.5倍的电场强度, 当SiC内部场强与临界击穿场强相接近时, 氧化层中所承受的场强足以使载流子通过隧穿进入氧化层, 使得栅极漏电流上升, 最终导致栅氧化层完整性失效.

$$\varepsilon_{SiC} E_{SiC} = \varepsilon_{SiO_2} E_{SiO_2}, \quad (1)$$

式中, ε_{SiC} 和 ε_{SiO_2} 分别为SiC和SiO₂的介电常数, E_{SiC} 和 E_{SiO_2} 分别为SiC和SiO₂所承受的电场强度.

提升器件可靠性的方法有: 在界面引入更多的O元素来打破前驱体态的弱Si-Si键, 减少弱Si-Si键的数量^[14]; 改变界面附近Si-Si键应变来限制活化过程^[23]; 通过额外的活化后的氮或磷退火来中和已经活跃的陷阱等^[24]. 此外, 由于沟槽型MOSFET采用槽栅结构, 消除了器件中寄生JFET(junction field effect transistor)的影响, 器件的比导电阻得以降低; 但是沟槽型MOSFET的电场集中在槽栅的拐角处及底部, 会对器件可靠性产生不利影响^[25], 可通过改善槽栅的深度及宽度来提升器件的可靠性.

2 4H-SiC MOSFET栅氧性能提升工艺

2.1 退火

退火工艺可以在一定程度上减少栅氧界面的缺陷, 使界面态密度降低, 进而提升沟道载流子迁移率^[13,26]. 此外, 使用氧等离子体退火的方法可通过钝化界面缺陷而降低SiC/SiO₂界面附近的Si和C的相对含量, 从而提升界面的可靠性^[27]; 将N退火与B扩散相结合, 会因

为B原子使界面应力松弛的缘故, 保证器件 V_{th} 在室温下的稳定性^[9,28].

在含N(NO、NO₂)环境中进行退火是常见的退火工艺, 可以有效地将迁移率提升至25~50 cm² V⁻¹ s⁻¹. Chung等人^[26]研究了N₂O退火对SiO₂/4H-SiC界面的影响, 得到 μ_{fe} 值达到26 cm² V⁻¹ s⁻¹. Moghadam等人^[6]发现, 在进行NO退火时, N仅在界面处加入, 由于界面态的钝化、悬挂键的饱和或界面上过量碳的消除, 能非常有效地将 D_{it} 降低10倍左右. 此外, NO处理比N₂O处理更有效, 这是因为在高温下, N₂O会分解成少量的NO和大量的N₂和O₂, 这些副产物会导致竞争反应, 阻碍N掺入到SiO₂/4H-SiC界面^[17]. 图3描绘了在不同环境中退火对4H-SiC MOSFET迁移率的影响, 为了方便表示, 将栅压与阈值电压之差作为横轴, 未进行退火处理样品的 μ_{fe} 也被描绘以方便比较. 值得注意的是, μ_{fe} 一般在栅压达到 V_{th} 之后出现峰值, 之后由于声子的主导作用和界面散射限制, V_{th} 随栅压的增大呈现非线性衰减的趋势^[29].

Okamoto等人^[11]证明了在三氯化磷(POCl₃)环境中进行栅氧化物的热退火可使4H-SiC MOSFET迁移率提高到89 cm² V⁻¹ s⁻¹, 这是因为在该环境中退火可使4H-SiC导带边缘附近的界面态密度显著降低, 与氮气氛围退火相比, D_{it} 进一步降低. 但是, 相对于N退火处理, 在POCl₃中退火处理的MOSFET器件存在严重的可靠性问题, 这是由于在施加偏压的作用下会出现阈值电压严重不稳定的现象, 而 V_{th} 不稳定是大量磷掺入后SiO₂中产生的电荷捕获中心所造成的^[31].

2014年, Okamoto等人^[10]采用平面BN扩散源进行热退火, 获得了约100 cm² V⁻¹ s⁻¹的迁移率, 这里 μ_{fe} 的提升归因于在SiO₂中引入了网格结构的B原子, 使得界面应力松弛, 有效地降低了 D_{it} ^[32]. Cabello等人^[9,28]进一步优化了这一方法, 将N₂O氧化退火与B扩散相结合, 获得了160 cm² V⁻¹ s⁻¹的峰值迁移率. 将N₂O氧化退火与B扩散这两种方法相结合, 保证了阈值电压在室温下的 V_{th} 稳定性. 然而, 在正向偏置电压下的测试表明, 当温度升高到150°C时, V_{th} 的稳定性将无法保持^[17].

Zhu等人^[33]和Song等人^[34]论证了SiC/SiO₂界面附近的缺陷是由于SiC/SiO₂界面缺乏氧而引起的这一结论. 基于这一理论, Yin等人^[27]采用低温氧等离子体退火(oxygen plasma re-oxidation annealing, OP-ROA)的方法来优化SiC/SiO₂界面性能, 通过引入单一氧元素退火, 同时改善了SiO₂薄膜和SiC/SiO₂界面的质量, 提升

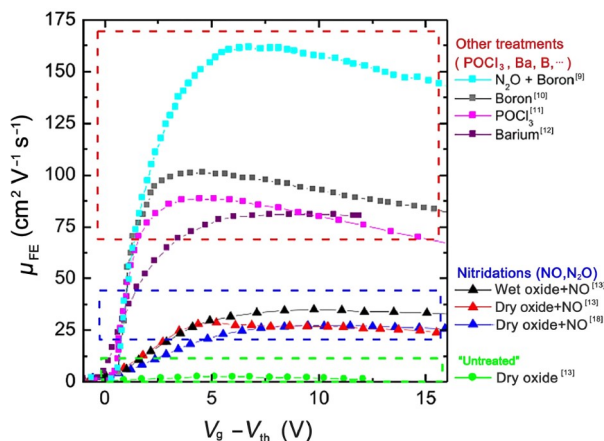


图3 不同环境退火对4H-SiC MOSFET迁移率影响^[9-13,18,30]. Copyright © 2018, Elsevier
Figure 3 Effect of different environmental annealing on mobility of 4H-SiC MOSFET^[9-13,18,30]. Copyright © 2018, Elsevier

了SiC MOS电容器的电压稳定性,使得SiO₂的击穿电场增加到12.40 MV/cm,如图4(a), (b)所示,提升了器件的可靠性. 这是因为氧的引入可重新氧化SiC/SiO₂界面附近的Si相关缺陷、C相关缺陷和SiO_xC_y, 减小了界面过渡区的厚度,降低了SiC/SiO₂界面附近的Si和C的相对含量;同时,由于退火温度的降低,高温对器件性能的影响也得到了抑制.

此外, Luo等人^[3]探究了低氧分压和NO顺序退火对SiC MOS电容器性能和可靠性的影响. 他们发现,顺序退火能有效提高SiC MOS电容器的可靠性,但界面性能略有下降,这是因为低氧分压退火形成了高质量的氧化层,使氮原子在随后的NO退火中分布更加集中,降低了氧化层电场分布的复杂性,减小了氧化层局部击穿的概率. 经过NO退火后,衬底虽然有一部分缺陷被氧化,但仍存在部分低氧分压退火时产生的较深C相关的缺陷,导致界面性能略微下降.

2.2 高k介质层

4H-SiC MOSFET在高电场下的介电稳定性是一个较为重要的问题,这是由于SiC的介电常数大于SiO₂的介电常数,由式(1)可知, SiO₂中的电场始终大于SiC中的电场. 当电介质的介电常数 $k > 3.9$ 时,将其判定为高k介质. 在给定的栅极介质厚度下,高k栅极介质材料的引入可显著降低电场值,使得总栅电流密度降低,栅氧化层的可靠性得以提升. 此外,随着高k介质层的引入,栅介质层的厚度可相对降低, V_{th} 的漂移也将减少. 图5所示是一些4H-SiC栅介质的潜在候选材料及其介电常数、击穿电场和带隙.

目前关于高k介质层的研究主要聚焦于Al₂O₃和HfO₂^[1]. 在使用高k层时,不仅要考虑带隙值,还要考虑其与SiC带隙的能带排列,以避免界面产生过多的漏电流. 在SiC和高k层之间叠加一个薄的SiO₂层是实现高k栅介质的典型配置,如图6所示,使用高k层代替厚的SiO₂可以在给定的最大电场下减少SiC界面热氧化物的厚度. 在使用图6三种方法制备MOSFET器件,且器件 V_{th} 相同的情况下,从左至右器件栅氧界面的C簇含量依次降低. 对于MOSFET,由于在氧化过程中产生的C簇和Si空位的减少, D_{it} 会降低, μ_{fe} 值将得以提升^[35].

在SiC MOSFET中常用的高k介质是Al₂O₃,因为它具有良好的热稳定性和较大的介电带隙^[36]. Hino等人^[37,38]使用Al₂O₃作为栅电介质,获得了较高的 μ_{fe} 峰值,为64~300 cm² V⁻¹ s⁻¹. 然而,所报道的迁移率值同样对应于最大的峰值迁移率,在高电场下的 μ_{fe} 却急剧下降. 此外,为了改善介质层的整体k值,还可以引入HfO₂,因为HfO₂具有较高的介电常数,其介电常数为20~25. 然而,因为与4H-SiC间的低导带偏移, HfO₂单独作为一种潜在的介电介质是不合适的. 即便引入SiO₂并增加一

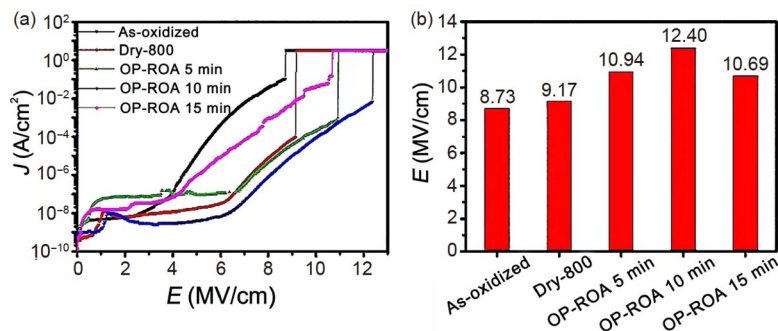


图4 OP-ROA处理^[27]. (a) J - E 曲线; (b) 氧化层击穿场强. Copyright © 2020, Elsevier
Figure 4 Under OP-ROA processing^[27]. (a) J - E curve; (b) the breakdown field strength of oxide layers. Copyright © 2020, Elsevier

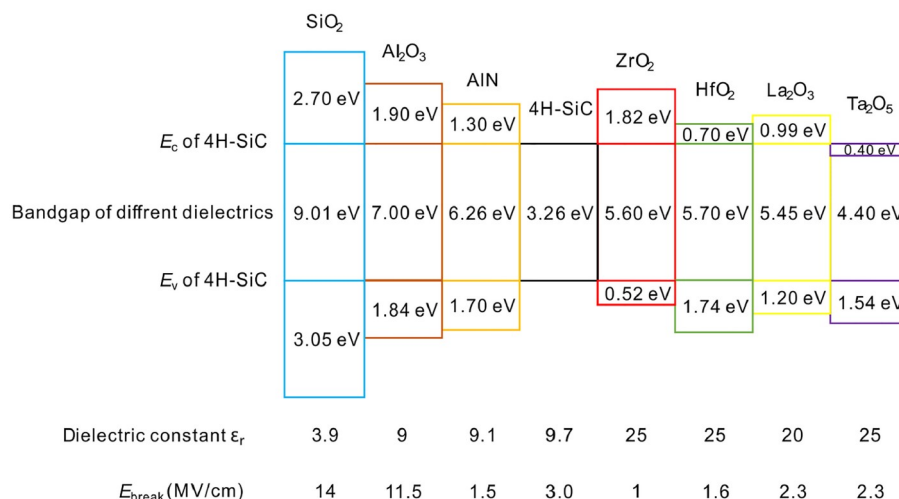


图5 不同栅介质与4H-SiC的介电常数、击穿电场及带隙^[41]. Copyright © 2021, Royal Society of Chemistry

Figure 5 Dielectric constant, breakdown electric field and band gap of different gate dielectrics and 4H-SiC^[41]. Copyright © 2021, Royal Society of Chemistry

些带偏, 大多数HfO₂栅介质层的击穿电场和漏电流也不比Al₂O₃栅介质层好. 因此, 为了发挥HfO₂的高介电常数优势, 需要将其与Al₂O₃结合使用, 这样复合栅介质层的击穿电场就不会受到损害^[1]. 此外, Yang等人^[19,20]将La₂O₃沉积在界面上, 由SiO₂层覆盖, 在由SiO₂层覆盖的高介电常数La₂O₃作为复合栅介质层的MOSFET中, 观察到漏电流密度相对单一的La₂O₃作为栅介质层的MOSFET有所降低: 单一的La₂O₃栅介质层在栅压为1 V时电流密度达到1 A/cm², 而有SiO₂层覆盖的La₂O₃栅介质层在栅压达到10 V时才达到相应量级. 研究得到的 μ_{fe} 值为133 cm² V⁻¹ s⁻¹, 且有相对稳定的 V_{th} .

2.3 栅氧化物掺杂

在栅氧化物中掺杂不同的离子, 可有效地钝化SiO₂/SiC界面陷阱并提高 μ_{fe} . 其中, 引入V族元素会产生反掺杂效应, 可减少库仑散射的界面效应^[39,40]; 引入

B可降低氧键强度, 促进氧化物的应力松弛^[32], 引入Ba等碱或碱土元素能降低导带附近的 D_{it} , 且Ba不以移动离子的形式存在, 使得氧化物界面稳定性良好^[12,41].

目前已有研究使用Rb、Cs、Sr、Ba等碱或碱土元素来钝化SiO₂/4H-SiC界面以提升4H-SiC MOSFET μ_{fe} . 其工艺流程为先在SiC上沉积一层非常薄的碱或碱土材料, 然后沉积栅氧化物, 并在O₂或O₂/N₂环境下进行退火. 如图7(a)所示, 虽然使用Rb和Cs只产生了大约25 cm² V⁻¹ s⁻¹的 μ_{fe} 峰值, 但使用Sr和Ba取得了较有希望的结果, 得到的 μ_{fe} 峰值分别达到40和90 cm² V⁻¹ s⁻¹^[12,41]. 这是因为Ba等碱或碱土元素的引入能降低导带附近的 D_{it} , 且Ba不以移动离子的形式存在, 使得氧化物界面稳定性良好. 研究还发现, Ba的加入使得器件能够在175°C和2 MV/cm的栅极偏压下获得较为稳定的阈值电压. 在正常的氮气氛围退火过程中, 靠近SiO₂/SiC界面的SiC区域处于拉伸应变状态, 而氧化的Ba夹层的存在导致了无应变的界面, 有利于沟道迁移率的提高^[42].

通过在POCl₃环境中对热SiO₂进行退火而掺入P, 可以获得高的 μ_{fe} 值并降低 D_{it} , μ_{fe} 值为89 cm² V⁻¹ s⁻¹. 此外, 氧化前通过离子注入在SiC中引入P, 也被证明能有效地减少 D_{it} ^[39,40]. 这是因为诸如P一类的V族元素存在反掺杂效应, 当在SiO₂/SiC界面聚集时, 它们将作为施主取代Si或C原子, 使得MOS结构的反型通道被移到SiC晶体内部更深的地方, 从而减少了如库仑散射一类的界面效应. 因此, 反掺杂能增加 μ_{fe} . 然而, 掺磷氧化物中的氧化物陷阱会由于俘获电子而导致 V_{th} 不稳定.

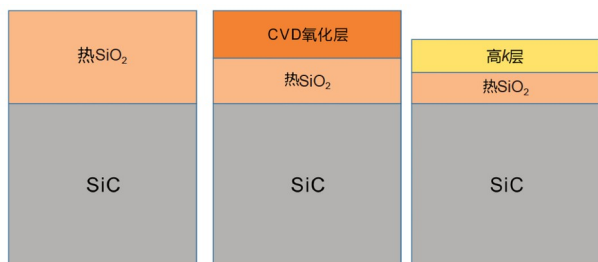


图6 使用高k层减少热氧化物厚度

Figure 6 Use high k layers to reduce thermal oxide thickness

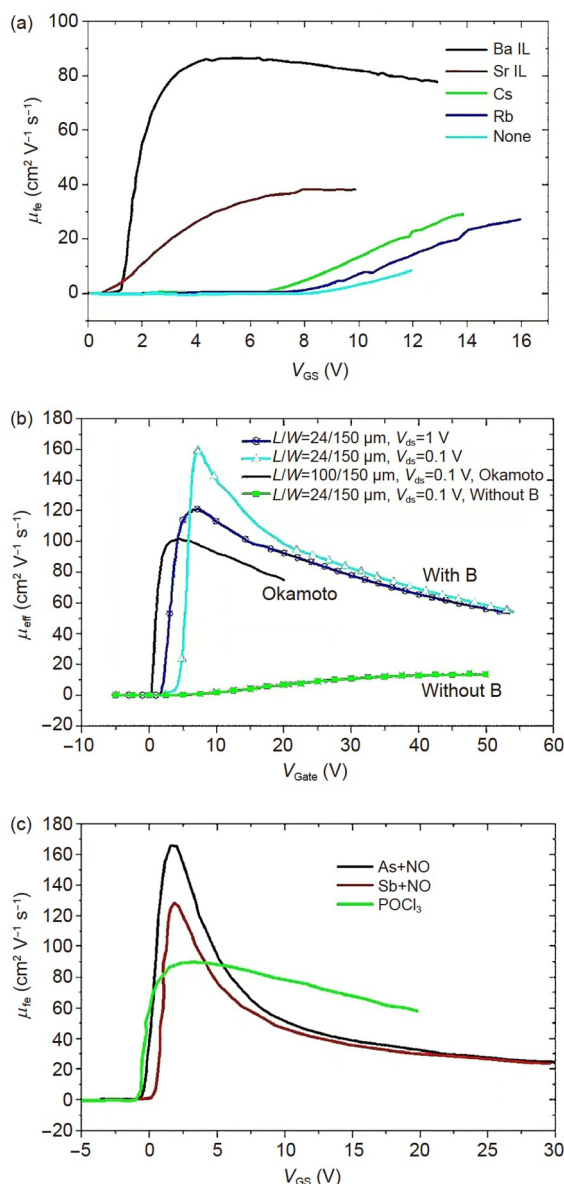


图7 栅氧化物掺杂对 μ_{fe} 的影响. (a) 各种碱土元素处理后的 μ_{fe} 值^[12,17], Copyright © 2018, Elsevier; (b) 硼掺杂对 μ_{fe} 的影响^[30], Copyright © 2016, Trans Tech Publications Ltd; (c) 不同V族元素掺杂下 μ_{fe} 与 V_{GS} 关系^[17], Copyright © 2018, Elsevier

Figure 7 Effect of gate oxide doping on μ_{fe} . (a) μ_{fe} values after treatment with various alkaline earth elements^[12,17], Copyright © 2018, Elsevier; (b) effect of boron doping on μ_{fe} ^[30], Copyright © 2016, Trans Tech Publications Ltd; (c) relationship between μ_{fe} and V_{GS} under different Group V element doping^[17], Copyright © 2018, Elsevier

Sharma等人^[43,44]通过使用由薄的磷硅玻璃界面层和沉积在其上的CVD(chemical vapor deposition)氧化物组成的复合栅极氧化物结构,改善了 V_{th} 的稳定性,得到了较高的迁移率值,约为80 cm² V⁻¹ s⁻¹. 在4H-SiC MOSFET中, Okamoto等人^[10]在先前生长的干热氧化物中进行B

扩散,使得其 D_{it} 降低,获得的 μ_{fe} 峰值约为100 cm² V⁻¹ s⁻¹,如图7(b)所示. 在这种情况下,由于B是SiC的受主,反掺杂不能解释迁移率的提高,迁移率的提高主要归因于SiO₂/SiC界面结构的改变. Okamoto^[32]认为是B原子占据了Si位点,而非C位点,这与Si较低的电负性相匹配. 因此,氧键强度降低,促进了氧化物的应力松弛,使得 μ_{fe} 峰值提升. 其他V族元素如As^[21]和Sb^[22],研究发现的 μ_{fe} 峰值分别为160和100~120 cm² V⁻¹ s⁻¹,如图7(c)所示,As和Sb在低电场时都表现出非常明显的 μ_{fe} 峰,但是在高电场时迁移率明显衰减,使得其在实际应用中受限. Sveinbjörnsson等人^[45]将Na引入,得到的迁移率约为170 cm² V⁻¹ s⁻¹,但是由于可移动离子的影响,器件工作不稳定.

2.4 沟槽型MOSFET槽深及槽宽优化

沟槽栅结构的MOSFET(UMOSFET)由于缺乏JFET电阻区,改善了击穿电压(BV)和导通电阻(R_{on})之间的权衡,但是UMOSFET的栅极拐角及底部电场集中,会影响器件的可靠性^[26]. 为解决这个问题,已有研究者开展了相关工作,如在沟槽下注入p型离子来降低沟槽底部角落的尖峰电场^[46],在沟槽下方插入双缓冲层来消除JFET效应^[47],采用双沟槽MOSFET结构,减小 R_{on} ,同时增加BV等^[48,49].

对于MOSFET,如果要提升其击穿电压,则需要对器件进行轻掺杂,但轻掺杂会使器件的导通电阻增大,因此器件的击穿电压与导通电阻相互制约. 可通过研究沟槽深度及宽度对 R_{on} 及BV的影响,来寻找最优的沟槽深度及宽度,进而得到BV与 R_{on} 之间的折中最优解. 乔杰等人^[50]以击穿电压65 V的沟槽MOSFET器件为研究对象,探究了沟槽深度、宽度对 R_{on} 及BV的影响,得到在其他条件不变的情况下,随沟槽深度的增大, R_{on} 逐渐减小,BV先增大后减小;随沟槽宽度的增大, R_{on} 略微增大,BV逐渐增大,最终得到了 R_{on} 为0.79 mΩ cm²,BV为81 V的优化设计. Woo等人^[51]发现随着外延层深度的增加,耗尽区会扩展到外延层末端,使得尖峰电场降低,BV增大,但 R_{on} 也随着增大. Song等人^[2]通过改变沟槽深度设计了一种L型栅极4H-SiC沟槽MOSFET,如图8(b)所示,发现适当的改变沟槽深度可降低SiO₂中的尖峰电场,提升BV,但深度改变较大会使 R_{on} 不断增大. 张跃等人^[52]设计了一种台阶型4H-SiC沟槽MOSFET,如图8(a)所示,确定了当台阶数量为1,台阶的深度与宽度为0.3 μm时,器件的BV为900 V, R_{on} 为1.28 mΩ cm². 他

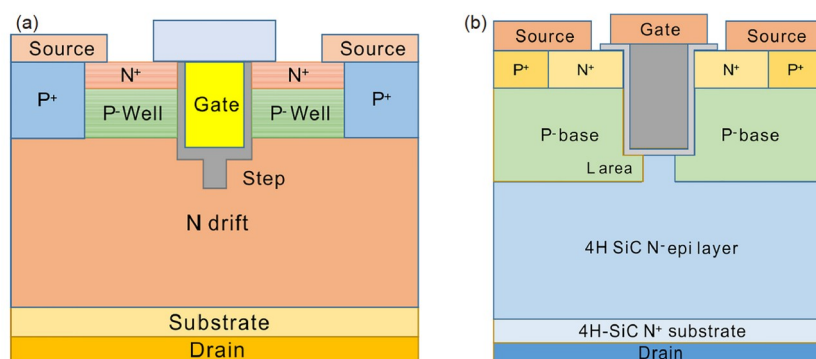


图8 沟槽槽深、槽宽优化的器件. (a) 台阶型UMOFET^[52]; (b) L栅型UMOFET^[2]
Figure 8 Devices with optimized trench depth and width. (a) Step-type UMOFET^[52], (b) L-gate type UMOFET^[2]

们采用MOSFET的品质因数FOM指数(式(2))来判定器件BV与 R_{on} 之间折中关系的优劣, FOM指数的值越大, 说明BV与 R_{on} 之间的折中关系更优. 他们测得器件的FOM值比传统UMOFET提升了5.1%, 得到了更好的BV与 R_{on} 之间的折中解. 此外, 使用超结结构也可以提升MOSFET的FOM值. 超结结构原理为使用N型、P型交替排布的漂移区来替代原始的N型漂移区, 由于柱状的N型漂移区和P型漂移区间会形成横向的耗尽区, 器件的内电场分布将更加均匀, 因此器件的BV增大; 而增大柱状N型漂移区的掺杂浓度可减小器件的 R_{on} , 从而实现FOM值的提升. 张跃等人^[53]在原有的超结结构基础上, 提出了一种上下掺杂浓度不同的P型漂移区结构的器件, 上层P柱厚度小于下层P柱, 但掺杂浓度较高, 可以有效降低氧化层的尖峰电场, 而下层P柱用于与N型漂移区形成超结结构, 在保持BV的同时, 可以较大幅度地减小 R_{on} ^[53].

$$FOM = \frac{(BV)^2}{R_{on}}. \quad (2)$$

3 总结

4H-SiC MOSFET栅氧界面附近存在界面陷阱、近界面氧化物陷阱、氧化层中的陷阱及可移动电荷和固定电荷等缺陷, 会严重影响MOS的工作性能, 需探寻出能尽可能多地钝化这些缺陷的方法.

退火工艺能在不同程度上减少栅氧界面的缺陷, 使界面态密度降低, 进而提升 μ_{fe} . 此外, 使用氧等离子体退火的方法能通过钝化界面缺陷而降低SiC/SiO₂界面附近的Si和C的相对含量, 从而提升界面的可靠性; 将N退火与B扩散相结合, 会因为B原子使界面应力松弛, 使 V_{th} 的稳定性提升. 高 k 栅极介质材料的引入可显著降低电场值, 导致总栅电流密度降低, 使栅氧化层的可靠性提升. 此外, 随着栅介质层厚度降低, 高 k 介质层还可以减少 V_{th} 的漂移. 在栅氧化物中掺杂不同的离子, 均可有效地钝化SiO₂/SiC界面并提高 μ_{fe} . 引入Ba等碱或碱土元素还能使氧化物界面获得良好的稳定性. 对于沟槽型MOSFET, 可以根据击穿电压和导通电阻随槽深和槽宽的影响, 通过继续优化槽栅的宽度及深度来寻找更优的FOM值, 进一步提升UMOFET的可靠性.

SiC具有宽带隙、高击穿电场、耐高温等较为优异的电学性能, 将4H-SiC MOSFET器件应用于电力电子系统, 可显著提升系统的可靠性, 降低系统的功耗, 因此4H-SiC MOSFET在电力电子系统中有着广泛的应用前景. 目前针对组合方法钝化来进一步综合提升4H-SiC MOSFET性能的研究还比较少, 如在不同的环境中进行先后退火, 或将本文所提及的钝化方法组合使用, 包括探究退火环境或组合方法应用的先后顺序等. 这些方法的组合使用有望综合钝化4H-SiC MOSFET栅氧界面存在的缺陷, 以实现同时提升MOS的多项性能.

参考文献

- 1 Siddiqui A, Khosa R Y, Usman M. High- k dielectrics for 4H-silicon carbide: Present status and future perspectives. *J Mater Chem C*, 2021, 9: 5055–5081
- 2 Song Q, Yang S, Tang G, et al. 4H-SiC trench MOSFET with L-shaped gate. *IEEE Electron Device Lett*, 2016, 37: 463–466

- 3 Luo Z, Wan C, Jin Z, et al. Effects of sequential annealing in low oxygen partial-pressure and NO on 4H-SiC MOS devices. *Semicond Sci Technol*, 2021, 36: 045021
- 4 Li L, Ning P Q, Wen X H, et al. Comparative performance study of 1200 V SiC MOSFET and Si IGBT (in Chinese). *J Power Sour*, 2016, 14: 32–38 [李磊, 宁圃奇, 温旭辉, 等. 1200 V碳化硅MOSFET与硅IGBT器件特性对比性研究. *电源学报*, 2016, 14: 32–38]
- 5 Lelis A J, Green R, Habersat D B. SiC MOSFET threshold-stability issues. *Mater Sci Semicond Process*, 2018, 78: 32–37
- 6 Moghadam H A, Dimitrijević S, Han J, et al. Active defects in MOS devices on 4H-SiC: A critical review. *Microelectronics Reliab*, 2016, 60: 1–9, doi: 10.1016/j.microrel.2016.02.006
- 7 Hosoi T, Kirino T, Mitani S, et al. Relationship between interface property and energy band alignment of thermally grown SiO₂ on 4H-SiC(0001). *Curr Appl Phys*, 2012, 12: S79–S82
- 8 Tettamanzi G C, Paul A, Lee S, et al. Interface trap density metrology of state-of-the-art undoped Si n-FinFETs. *IEEE Electron Device Lett*, 2011, 32: 440–442
- 9 Cabello M, Soler V, Montserrat J, et al. Impact of boron diffusion on oxynitrided gate oxides in 4H-SiC metal-oxide-semiconductor field-effect transistors. *Appl Phys Lett*, 2017, 111: 042104
- 10 Okamoto D, Sometani M, Harada S, et al. Improved channel mobility in 4H-SiC MOSFETs by boron passivation. *IEEE Electron Device Lett*, 2014, 35: 1176–1178
- 11 Okamoto D, Yano H, Hirata K, et al. Improved inversion channel mobility in 4H-SiC MOSFETs on Si face utilizing phosphorus-doped gate oxide. *IEEE Electron Device Lett*, 2010, 31: 710–712
- 12 Lichtenwalner D J, Cheng L, Dhar S, et al. High mobility 4H-SiC (0001) transistors using alkali and alkaline earth interface layers. *Appl Phys Lett*, 2014, 105: 182107
- 13 Chung G Y, Tin C C, Williams J R, et al. Effect of nitric oxide annealing on the interface trap densities near the band edges in the 4H polytype of silicon carbide. *Appl Phys Lett*, 2000, 76: 1713–1715
- 14 Lelis A J, Green R, Habersat D B, et al. Basic mechanisms of threshold-voltage instability and implications for reliability testing of SiC MOSFETs. *IEEE Trans Electron Devices*, 2015, 62: 316–323
- 15 Afanasev V V, Bassler M, Pensl G, et al. Intrinsic SiC/SiO₂ interface states. *Phys Stat Sol A*, 1997, 162: 321–337
- 16 Jia Y F. Study on trap characteristics and reliability of gate oxide layer of 4H-SiC MOS structure (in Chinese). Doctor Dissertation. Xi'an: Xidian University, 2018 [贾一凡. 4H-SiC MOS结构陷阱特性及栅氧化层可靠性的研究. 博士学位论文. 西安: 西安电子科技大学, 2018]
- 17 Cabello M, Soler V, Rius G, et al. Advanced processing for mobility improvement in 4H-SiC MOSFETs: A review. *Mater Sci Semicond Proc*, 2018, 78: 22–31
- 18 Lipkin L A, Das M K, Palmour J W. N₂O processing improves the 4H-SiC:SiO₂ interface. *Mater Sci Forum*, 2002, 389-393: 985–988
- 19 Yang X, Lee B, Misra V. Investigation of lanthanum silicate conditions on 4H-SiC MOSFET characteristics. *IEEE Trans Electron Devices*, 2015, 62: 3781–3785
- 20 Moon J H, Cheong K Y, Eom D I, et al. Electrical properties of atomic-layer-deposited La₂O₃/thermal-nitrided SiO₂ stacking dielectric on 4H-SiC (0001). *Mater Sci Forum*, 2007, 556-557: 643–646
- 21 Ahyi A C, Modic A, Jiao C, et al. Channel mobility improvement in 4H-SiC MOSFETs using a combination of surface counter-doping and NO annealing. *Mater Sci Forum*, 2015, 821-823: 693–696
- 22 Modic A, Gang Liu A, Ahyi A C, et al. High channel mobility 4H-SiC MOSFETs by antimony counter-doping. *IEEE Electron Device Lett*, 2014, 35: 894–896
- 23 Lelis A J, Oldham T R, Boesch H E, et al. The nature of the trapped hole annealing process. *IEEE Trans Nucl Sci*, 1989, 36: 1808–1815
- 24 Watanabe H, Ikeguchi D, Kirino T, et al. Novel approach for improving interface quality of 4H-SiC MOS devices with UV irradiation and subsequent thermal annealing. *Mater Sci Forum*, 2013, 740-742: 741–744
- 25 Jiang H, Wei J, Dai X, et al. SiC trench MOSFET with shielded fin-shaped gate to reduce oxide field and switching loss. *IEEE Electron Device Lett*, 2016, 37: 1324–1327
- 26 Chung G Y, Tin C C, Williams J R, et al. Improved inversion channel mobility for 4H-SiC MOSFETs following high temperature anneals in nitric oxide. *IEEE Electron Device Lett*, 2001, 22: 176–178
- 27 Yin Z, Yang C, Zhang F, et al. Low-temperature re-oxidation of near-interface defects and voltage stability in SiC MOS capacitors. *Appl Surf Sci*, 2020, 531: 147312
- 28 Cabello M, Soler V, Mestres N, et al. Improved 4H-SiC N-MOSFET interface passivation by combining N₂O oxidation with boron diffusion. *MSF*, 2017, 897: 352–355
- 29 Frazzetto A, Giannazzo F, Fiorenza P, et al. Limiting mechanism of inversion channel mobility in Al-implanted lateral 4H-SiC metal-oxide semiconductor field-effect transistors. *Appl Phys Lett*, 2011, 99: 072117
- 30 Roccaforte F, Fiorenza P, Greco G, et al. Emerging trends in wide band gap semiconductors (SiC and GaN) technology for power devices.

- MicroElectron Eng*, 2018, 187-188: 66–77
- 31 Fiorenza P, Swanson L K, Vivona M, et al. Comparative study of gate oxide in 4H-SiC lateral MOSFETs subjected to post-deposition-annealing in N_2O and $POCl_3$. *Appl Phys A*, 2014, 115: 333–339
 - 32 Okamoto D, Sometani M, Harada S, et al. Effect of boron incorporation on slow interface traps in $SiO_2/4H-SiC$ structures. *Appl Phys A*, 2017, 123: 133
 - 33 Zhu Q, Huang L, Li W, et al. Chemical structure study of $SiO_2/4H-SiC$ (0001) interface transition region by angle-dependent X-ray photoelectron spectroscopy. *Appl Phys Lett*, 2011, 99: 082102
 - 34 Song Y, Dhar S, Feldman L C, et al. Modified deal grove model for the thermal oxidation of silicon carbide. *J Appl Phys*, 2004, 95: 4953–4957
 - 35 Gupta S K, Singh J, Akhtar J. Physics and Technology of Silicon Carbide Devices (Chapter 8). InTech Publications, 2016. 208–234, [http://refhub.elsevier.com/S1369-8001\(17\)31897-8/sbref50](http://refhub.elsevier.com/S1369-8001(17)31897-8/sbref50)
 - 36 Schilirò E, Fiorenza P, Di Franco S, et al. Effect of SiO_2 interlayer on the properties of Al_2O_3 thin films grown by plasma enhanced atomic layer deposition on 4H-SiC substrates. *Phys Status Solidi A*, 2017, 214: 1600365
 - 37 Hino S, Hatayama T, Kato J, et al. High channel mobility 4H-SiC metal-oxide-semiconductor field-effect transistor with low temperature metal-organic chemical-vapor deposition grown Al_2O_3 gate insulator. *Appl Phys Lett*, 2008, 92: 183503
 - 38 Hatayama T, Hino S, Miura N, et al. Remarkable increase in the channel mobility of SiC-MOSFETs by controlling the interfacial SiO_2 layer between Al_2O_3 and SiC. *IEEE Trans Electron Devices*, 2008, 55: 2041–2045
 - 39 Sledziewski T, Weber H B, Krieger M. Passivation and generation of states at P-implanted thermally grown and deposited N-type 4H-SiC/ SiO_2 interfaces. *Mater Sci Forum*, 2016, 858: 697–700
 - 40 Sledziewski T, Mikhaylov A, Reshanov S A, et al. Reduction of density of 4H-SiC / SiO_2 interface traps by pre-oxidation phosphorus implantation. *Mater Sci Forum*, 2014, 778-780: 575–578
 - 41 Lichtenwalner D J, Pala V, Hull B A, et al. High-mobility SiC MOSFETs with alkaline earth interface passivation. *Mater Sci Forum*, 2016, 858: 671–676
 - 42 Houston Dycus J, Xu W, Lichtenwalner D J, et al. Structure and chemistry of passivated SiC/ SiO_2 interfaces. *Appl Phys Lett*, 2016, 108: 201607
 - 43 Sharma Y K, Ahyi A C, Isaacs-Smith T, et al. High-mobility stable 4H-SiC MOSFETs using a thin PSG interfacial passivation layer. *IEEE Electron Device Lett*, 2013, 34: 175–177
 - 44 Akagi T, Yano H, Hatayama T, et al. Effect of interfacial localization of phosphorus on electrical properties and reliability of 4H-SiC MOS devices. *Mater Sci Forum*, 2013, 740-742: 695–698
 - 45 Sveinbjörnsson E O, Allerstam F, Ólafsson H O, et al. Sodium enhanced oxidation of Si-face 4H-SiC: A method to remove near interface traps. *Mater Sci Forum*, 2007, 556-557: 487–492
 - 46 Tan J, Cooper J A, Melloch M R. High-voltage accumulation-layer UMOSFETs in 4H-SiC. In: 56th Annual Device Research Conference Digest, Charlottesville, VA, USA, 1998. 88–89
 - 47 Zhang Q, Gomez BM, Bui C, et al. 1600V 4H-SiC UMOSFETs with dual buffer layers. In: 17th International Symposium on Power Semiconductor Devices and ICs, Santa Barbara, CA, USA, 2005. 211–214
 - 48 Nakamura T, Nakano Y, Aketa M, et al. High performance SiC trench devices with ultra-low R_{on} . In: 2011 International Electron Devices Meeting, Washington, DC, USA, 2011
 - 49 Nakamura T, Aketa M, Nakano Y, et al. Novel developments towards increased SiC power device and module efficiency. In: 2012 IEEE Energytech, Cleveland, OH, USA, 2012
 - 50 Qiao J, Feng Q Y. Optimal design of voltage resistance and on-resistance of channel MOSFET (in Chinese). *Electr Comp Mater*, 2020, 39: 71–76 [乔杰, 冯全源. 沟槽MOSFET耐压与导通电阻的优化设计. *电子元件与材料*, 2020, 39: 71–76]
 - 51 Woo J W, Seo J J, Jin S, et al. Analysis of electrical characteristics according to the design parameter of 1200V 4H-SiC trench MOSFET. *J ICKEE*, 2020, 24: 592–597, doi: 10.7471/ikeee.2020.24.2.592
 - 52 Zhang Y, Zhang T, Huang R H, et al. 4H-SiC step trench MOSFET device (in Chinese). *Electr Comp Mater*, 2022, 41: 376–380 [张跃, 张腾, 黄润华, 等. 4H-SiC台阶型沟槽MOSFET器件. *电子元件与材料*, 2022, 41: 376–380]
 - 53 Zhang Y, Huang R H, Bai S. An Improved 4H-SiC Superjunction UMOS Device (in Chinese). *J Power Sources*, 2022, https://kns.cnki.net/kcms2/article/abstract?v=3uoqlhG8C45S0n9fL2suRadTyEVI2pW9UrhTDCdPD66_gXaZhj2c8QZ0kqyY7IDI_PPWxzbAWp9GKV90ThXW0ioqj_dofwq&uniplatform=NZKPT [张跃, 黄润华, 柏松. 一种改进型4H-SiC超结UMOS器件. *电源学报*, 2022, https://kns.cnki.net/kcms2/article/abstract?v=3uoqlhG8C45S0n9fL2suRadTyEVI2pW9UrhTDCdPD66_gXaZhj2c8QZ0kqyY7IDI_PPWxzbAWp9GKV90ThXW0ioqj_dofwq&uniplatform=NZKPT

Summary for “4H-SiC MOSFET 栅氧界面性能提升工艺”

Gate-oxide interface performance improvement technology of 4H-SiC MOSFET

Wanglong Wu^{1,2}, Xiaozhou Wang^{1,2*} & Jingbo Li^{1,2,3*}¹ School of Semiconductor Science and Technology, South China Normal University, Foshan 528225, China;² Guangdong Key Laboratory of Chip and Integration Technology, Guangzhou 510631, China;³ College of Optical Science and Engineering, Zhejiang University, Hangzhou 310027, China

* Corresponding authors, E-mail: wxzanu@outlook.com; jbli@zju.edu.cn

MOSFET devices are one kind of the core devices of modern microelectronics, with applications ranging from highly integrated CMOS chips to high power devices. As a third-generation wide bandgap semiconductor material, SiC has excellent electrical properties such as wide bandgap, high breakdown electric field, and high temperature resistance. The application of 4H-SiC MOSFET devices in power electronics systems can significantly enhance the reliability and reduce the power consumption of the system, which makes 4H-SiC MOSFETs have a wide application prospect in power electronics systems. Nowadays, SiC MOSFETs suffer from low channel mobility, threshold voltage drift, insufficient long-term reliability of the gate oxygen dielectric at high temperatures, and bipolar drift in the forward-guided state of the body diode. Remarkably, many of these problems are related to defects at the gate-oxide interface. Owing to the presence of SiC/SiO₂ interface defects, the channel mobility of SiC MOSFET devices is grossly limited, and the reliability of the gate-oxide layer as well as the stability of the threshold voltage are also significantly affected, contributing to the poor performance of the gate-oxide interface. For instance, partial traps will become charged centers upon electron capture, which leads to enhanced Coulomb scattering effects on the surface of the channel and consequently reduced channel mobility. Decreasing the thickness of the gate-oxide layer can enhance the current driving capability of the transistor and boost the switching speed as well as the power characteristics. However, a thin oxide layer will aggravate the tunneling effect of the electron and make the oxide layer unreliable. To ameliorate these concerns, this review presents a number of processes for gate-oxide interface performance enhancement of 4H-SiC MOSFETs from four aspects: Annealing, utilization of high-*k* dielectric layers, gate oxide doping, and trench-type MOSFETs' trench depth-width optimization, along with an analysis of the effects of these processes on 4H-SiC MOSFETs. The annealing process can reduce the defects at the gate-oxide interface to a certain extent, enabling the interface density of states to be diminished and thus enhancing the channel carrier mobility. For a specific gate dielectric thickness, the application of high-*k* gate dielectric material dramatically reduces the electric field value, thereby reducing the total gate current density and increasing the reliability of the gate-oxide layer. Doping of different ions in the gate oxide is effective in passivating SiO₂/SiC interfacial traps and upgrading carrier mobility. As for trench MOSFETs, according to the influence of breakdown voltage and on-resistance with the change of groove depth and width, better FOM value can be found by continuing to optimize the width and depth of the gate, so as to further promote the reliability of trench MOSFETs. This paper reviews various feasible alternatives from several perspectives in order to further comprehensively improve the performance of 4H-SiC MOSFET gate-oxide interface for better applications in power electronics systems.

4H-SiC MOSFET, gate-oxide interface, field effect, carrier mobility, interface defectdoi: [10.1360/TB-2022-1196](https://doi.org/10.1360/TB-2022-1196)