

基于 $0.13\mu\text{m}$ CMOS 工艺的插时间数字转换器设计与测试

葛 达^{1,2} 梁福田¹ 王鑫喆¹ 冯 博¹ 朱宇龙¹ 朱晨曦¹
陈 炼¹ 李 锋¹ 尚爱国² 金 革¹

1 (中国科学技术大学 核探测与核电子学国家重点实验室 合肥 230026)

2 (中国人民解放军火箭军工程大学 西安 710025)

摘要 针对高能物理实验中飞行时间探测器的时间测量高精度需求, 基于 $0.13\mu\text{m}$ 互补金属氧化物半导体 (Complementary Metal Oxide Semiconductor, CMOS) 工艺设计了一种可应用在插时间法中作为细计数模块的单周期时间数字转换器 (Time to Digital Converter, TDC), 并为测试设计了一个闭环测试系统。通过实测数据分析, 在相同的条件下设计对比试验, 寻找 TDC 刻度非均匀性的来源, 并给出相应的校准方法。测试结果表明: 校准后 TDC 的分辨率达到 57 ps, 精度好于 40 ps, 达到了预期的设计目标。

关键词 专用集成电路, 时间数字转换器, 闭环测试系统, 对比实验

中图分类号 TL824

DOI: 10.11889/j.0253-3219.2018.hjs.41.040401

Design and test of time-interpolation TDC based on $0.13\mu\text{m}$ CMOS process

GE Da^{1,2} LIANG Futian¹ WANG Xinzhe¹ FENG Bo¹ ZHU Yulong¹ ZHU Chenxi¹
CHEN Lian¹ LI Feng¹ SHANG Aiguo² JIN Ge¹

1(State Key Laboratory of Particle Detection and Electronics, University of Science and Technology of China, Hefei 230026, China)

2(Rocket Force University of Engineer, The Chinese People's Liberation Army, Xi'an 710025, China)

Abstract [Background] Time-of-flight measurement is a basic method to identify charged particles in high-energy physics experiments. [Purpose] This paper aims to realize time measurement resolution of flight time detectors in high-energy physics experiments within 50 ps. [Methods] Based on the $0.13\mu\text{m}$ complementary metal oxide semiconductor (CMOS) process, we designed a single-cycle time to digital converter (TDC) as a fine counting module in time interpolation and built a closed-loop test system. [Results] Through analysis of measured data, we designed the comparison test under the same conditions, and found the source of TDC scale heterogeneity, and proposed the corresponding calibration method. [Conclusion] The resolution of TDC after calibration is up to 57 ps and the accuracy is better than 40 ps.

Key words Application-specific integrated circuit, TDC, Closed-loop test system, Comparison test

国家自然科学基金(No.61401422)资助

第一作者: 葛达, 男, 1994 年出生, 2015 年毕业于火箭军工程大学, 现为硕士研究生, 研究方向为核辐射探测与核电子技术

通信作者: 梁福田, E-mail: ftliang@ustc.edu.cn

收稿日期: 2017-06-16, 修回日期: 2017-10-20

Supported by National Natural Science Foundation of China (No.61401422)

First author: GE Da, male, born in 1994, graduated from Rocket Force University of Engineer in 2015, master student, focusing on nuclear radiation detection and nuclear electronics

Corresponding author: LIANG Futian, E-mail: ftliang@ustc.edu.cn

Received date: 2017-06-16, revised date: 2017-10-20

在 高 能 物 理 实 验 中, 飞 行 时 间 探 测 器 通 过 测 量 粒 子 的 飞 行 时 间 来 实 现 粒 子 鉴 别。为 了 实 现 较 好 的 粒 子 分 辨 能 力, 对 时 间 的 分 辨 能 力 要 求 达 到 百 ps 量 级 以 内^[1], 需 要 高 精 度 的 时 间 数 字 转 换 器 (Time to Digital Converter, TDC)。

ASIC (Application Specific Integrated Circuit) 技术使用用户全定制或半定制 的 电 路, 可 以 根 据 用 户 需 要 设 计 信 号 传 播 路 径, 一 旦 芯 片 制 作 成 功, 信 号 的 路 径 延 迟 固 定 不 变, 不 会 受 到 综 合 和 局 部 布 线 的 影 响, 所 以 在 大 型 科 学 研 究 和 科 学 实 验 中 应 用 较 多^[2-7]。

本 文 基 于 0.13 μm 互 补 金 属 氧 化 物 半 导 体 (Complementary Metal Oxide Semiconductor, CMOS) 工 艺 进 行 TDC 的 设 计, 根 据 高 能 物 理 实 验 中 百 ps 量 级 以 内 的 时 间 分 辨 率 要 求, 预 期 最 终 达 到 50 ps 以 内 精 度 的 目 标。

1 时 间 内 插 法 的 基 本 原 理

时 间 测 量 最 简 单 易 行 的 方 法 是 用 计 数 器 对 系 统 时 钟 进 行 计 数。这 种 方 式 的 精 度 受 限 于 系 统 时 钟 周 期, 通 常 为 ns 量 级, 为 了 实 现 比 时 钟 周 期 更 小 的 测 量 精 度, 需 要 对 时 钟 进 行 插 值。如 图 1 所 示, 整 个 时 间 测 量 系 统 由 两 个 细 计 数 TDC 和 一 个 粗 计 数 器 组 成, START 和 STOP 是 两 路 随 机 的 输 入 信 号, CLK 是 系 统 的 时 钟 信 号。待 测 的 时 间 t 是 START 和 STOP 信 号 上 升 沿 之 间 的 时 间 间 隔, 一 个 细 计 数 TDC 记 录 输 入 信 号 START 上 升 沿 与 随 后 的 CLK 上 升 沿 A 之 间 的 时 间 间 隔 t_1 , 另 一 个 细 计 数 TDC 记 录 输 入 信 号 STOP 上 升 沿 与 随 后 的 CLK 上 升 沿 B 之 间 的 时 间 间 隔 t_2 , 粗 计 数 器 记 录 START 上 升 沿 和 STOP 上 升 沿 之 间 时 钟 周 期 的 个 数。将 细 计 数 TDC 的 量 程 设 计 成 稍 长 于 CLK 的 一 个 时 钟 周 期, 则 可 以 实 现 粗 计 数 与 细 计 数 的 连 接。由 图 1 可 见, 所 需 测 量 的 START 信 号 与 STOP 信 号 之 间 的 时 间 间 隔 t 为:

$$t = T + t_1 - t_2 \quad (1)$$

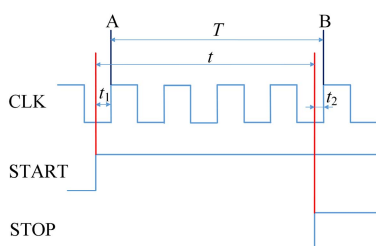


图 1 时间间隔测量
Fig.1 Diagram of time interval measurement

2 TDC 及其测试系统设计

通 过 以 上 描 述 可 知, 使 用 时 间 内 插 法 进 行 时 间 测 量, 其 精 度 主 要 由 细 计 数 部 分 决 定。本 文 主 要 设 计 和 探 讨 在 时 间 内 插 法 中 作 为 细 计 数 模 块 的 单 周 期 TDC, 粗 计 数 部 分 可 通 过 与 计 数 器 配 合 实 现, 本 文 将 不 再 赘 述。

2.1 TDC 的 ASIC 实现

作 为 精 细 时 间 测 量, 本 文 选 用 时 钟 缓 冲 (CLK_BUF) 作 为 最 小 的 延 时 单 元, 将 CLK_BUF 串 联 成 信 号 延 时 链, 让 开 始 信 号 (START) 在 延 时 链 中 传 递, 当 停 止 信 号 (STOP) 到 达 时, 通 过 对 称 树 式 扇 出 (FAN OUT), 利 用 STOP 信 号, 锁 存 所 有 CLK_BUF 的 状 态。然 后 利 用 读 出 结 构 (READ OUT) 将 START 信 号 在 延 时 链 上 的 位 置 信 息 读 出, 通 过 分 析 即 可 得 出 TDC 中 START 与 STOP 信 号 的 时 间 之 差。整 体 结 构 如 图 2 所 示。

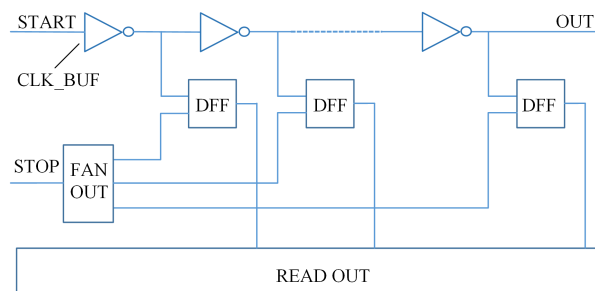


图 2 TDC 结构
Fig.2 Diagram of TDC structure

显 然 TDC 的 性 能 很 大 程 度 上 取 决 于 延 时 单 元 链 的 均 匀 性, 为 确 保 各 延 时 单 元 的 延 迟 时 间 高 度 一 致, 本 文 在 进 行 ASIC 设 计 时 对 延 时 单 元 链 部 分 采 用 纯 模 拟 流 程 的 手 工 布 线。本 次 TDC 共 设 计 64 个 延 时 单 元 (64 Bin)。对 延 时 链 的 时 延 进 行 带 寄 生 参 数 的 后 仿 真, 64 Bin 对 应 总 延 迟 时 间 为 3.753 ns, 平 均 每 Bin 约 58 ps。

2.2 测试系统的设计

TDC 设 计 完 成 后, 对 其 精 度 等 性 能 指 标 进 行 测 试。测 试 选 用 Agilent 81150A 脉 冲 函 数 任 意 噪 声 发 生 器 做 输 入 信 号 源 (Signal Source), 它 的 耦 合 模 式 可 以 保 证 两 个 通 道 的 延 时 固 定, 延 时 可 调 范 围 可 以 精 确 到 1 ps, 满 足 测 试 需 求。

此 外, 测 试 需 要 一 个 控 制 模 块 对 TDC 的 状 态 和 信 号 源 的 参 数 设 置 进 行 控 制, 同 时 采 集 TDC 读 取 的 数 据 并 将 读 到 的 温 度 计 码 转 码 为 十 进 制 数。本 文 基 于 LabVIEW 对 上 位 机 (PC) 进 行 软 件 设 计, 利 用 上

位机与现场可编程门阵列(Field-Programmable Gate Array, FPGA)及信号发生器的通信搭建了一个闭环测试系统。上位机通过 LabVIEW 的虚拟仪器软件架构(Virtual Instrument Software Architecture)对信号源进行控制, 将信号源两路信号输出的波形和延时等参数设定为测试所需的状态。设定好信号源的输出之后, 需要对 TDC 的状态位进行写的操作, 并给出时钟信号读取 TDC 测到的数据, 以及对读取的数据进行处理, 本系统选用一个 FPGA 来实现以上的数据读写和处理功能。为了实现上位机与 FPGA 的通信, 加入一个通用串行总线(Universal Serial Bus, USB)接口芯片, 上位机通过 LabVIEW 的虚拟仪器软件架构与 FPGA 进行 USB 通信, 由此构成一个整体的闭环测试结构, 图 3 为其结构示意图, 图 4 为其实物图。

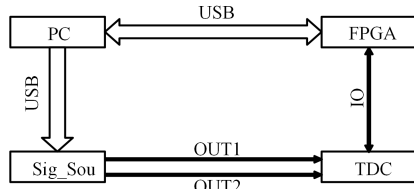


图 3 测试系统结构
Fig.3 Diagram of test system structure

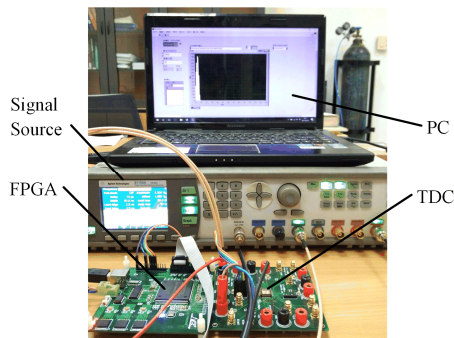


图 4 测试系统实物图
Fig.4 Actual picture of test system

3 TDC 的刻度标定

上位机控制信号源两个通道在耦合模式下输出 OUT1 和 OUT2 分别作为 START 信号和 STOP 信号。设置 OUT1 的延迟时间为 0 ps; 设置 OUT2 的延迟时间从 0 ps 开始, 每次步进 1 ps 直到 TDC 的量程 3.2 ns。上位机在设置好 OUT2 的延迟时间后, 发送命令给 FPGA, 控制其将相应状态位写入 TDC, 进行读数并完成转码和储存。对每个设置的延迟时间进行 500 次测试, 统计 TDC 读数, 按照 TDC 每个

读数为一个时间 Bin 宽, 得到统计结果如图 5 所示。(图 5 中前几 Bin 没有计数的原因是 STOP 信号的传输本身存在一定延迟)。

虽然 TDC 设计时严格控制时间延时 Bin 宽一致, 但上述结果显示各延迟单元的计数并不均匀。为了提升 TDC 的性能, 需要分析延迟链均匀性缺失的原因以改善 TDC 的设计并利用刻度修正的方法进行补偿。

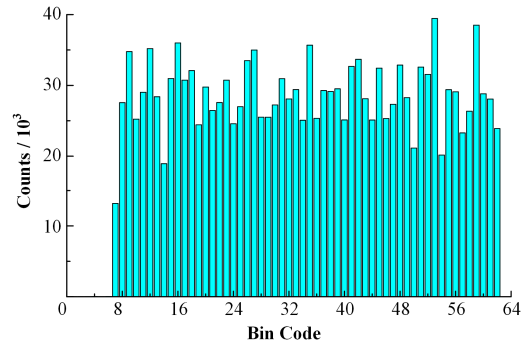


图 5 TDC 各延迟单元的计数
Fig.5 Counts of TDC delay bin

分析其各延迟单元计数不均匀原因存在两种可能: 一是芯片在刻蚀加工时出现了一些不可避免的偏差, 导致在延迟链上产生了分布不均匀的寄生参数, 从而破坏了延迟链的均匀性; 另一个是所用的信号源本身在产生延时的过程中存在固有偏差。

为排除信号源本身偏差带来的影响, 设计如下三组对照实验。各组实验中信号源设置的时间起点和延迟时间均不相同, 如果各组测试结果差异不大, 则可以说明微分非线性不是在信号源提供信号的过程中产生的, 而是来自芯片本身的固有寄生参数。

保持温度、湿度、电压等其他实验条件不变, 使用相同的信号源产生两路输出信号 OUT1 和 OUT2。OUT1 输出后通过延迟盒再输入 TDC 作为 START 信号, 三组对照实验中, 延迟盒的延迟时间分别设为 3.6 ns、5.6 ns、7.6 ns。OUT2 直接输入 TDC 作为 STOP 信号, 通过上位机设置信号源 OUT2 的延迟时间分别从 3.6 ns、5.6 ns、7.6 ns 开始, 每次步进 1 ps 直至其延迟时间增加到比起始值大 3.2 ns, 同样对每个设置的延迟时间进行 500 次测试。

为增加论证的科学性, 选用同一批设计的 3 个芯片进行以上对照试验, 将 3 个芯片区分为 A、B、C。完成各组对照试验, 得到 TDC 各延迟单元上的计数, 计算出微分非线性, 结果如图 6 所示。

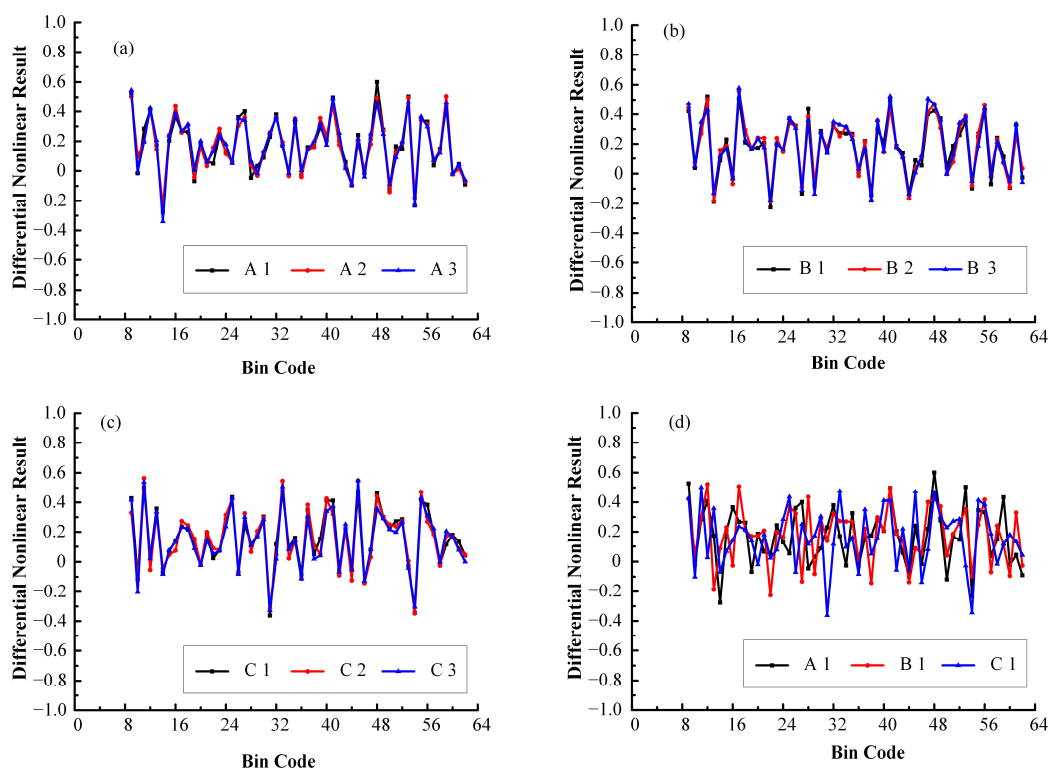


图 6 对照实验微分非线性结果 (a) 芯片 A, (b) 芯片 B, (c) 芯片 C, (d) 芯片 A、B、C 在相同条件下

Fig.6 Differential nonlinear results of comparative test

(a) Chip A, (b) Chip B, (c) Chip C, (d) Chip A, B and C under the same condition

其中图 6(a)、(b)、(c)分别是芯片 A、B、C 各自对照实验的结果, 图 6(d)是 3 个芯片在相同条件下的一组实验结果对比。由实验结果可以直观地看到图 6(a)、(b)、(c)中各组结果近似一致, 而图 6(d)中 3 个芯片在相同条件下各 Bin 不均匀性存在差异, 说明信号源本身对各 Bin 计数不均匀的影响很小, 延迟链均匀性的缺失主要是芯片刻蚀加工过程中出现的寄生参数造成的。

由于芯片刻蚀加工过程中的误差是不能避免且无法预估的, 所以延迟链中最小延迟单元的时长也难以精确控制, 但是根据 ASIC 的特点, 在环境相对稳定的情况下, 其寄生参数在芯片加工完成之后就不会发生较大的变化。因此在使用之前可以对所有延迟单元进行计算。

本文采用 Bin-by-Bin 方式对延迟链进行校准。利用 ADC 测试中标准的码密度测试方法可以对每个延迟单元大小进行测试^[8]。产生 1 200 000 个在测量动态范围内平均分布的随机信号给 TDC, 并把读出的数据做直方图统计, 直方图每个 Bin 中统计的数目正比于 TDC 实际的 Bin 延迟宽度, 进而得出延迟单元的延迟宽度。

将所有 TDC 延迟单元 Bin 的延迟大小测量出来后存储为一个数组 a_k 。则第 n 个延迟单元所对应的

时间 t_n 可表达为式(2)^[9], 校准结果如图 7 所示, TDC 平均分辨率每 Bin 为 57 ps, 与设计时的仿真结果相吻合。

$$t_n = \frac{a_n}{2} + \sum_{k=0}^{n-1} a_k \quad (2)$$

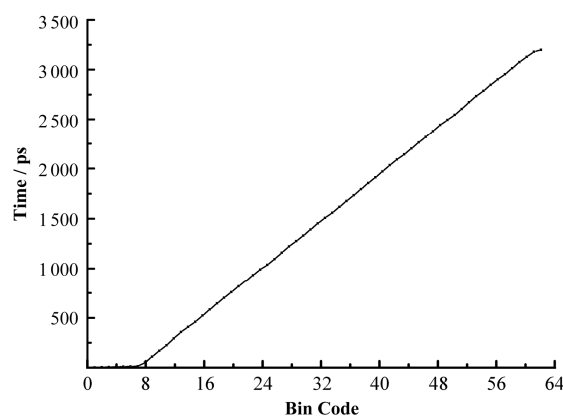


图 7 延迟链校正曲线

Fig.7 Calibration curve of delay chain.

4 性能检测

根据测试得到的各延迟单元的大小将 TDC 刻度进行标定之后, 对 TDC 的精度进行检测, 给 TDC 的 START 和 STOP 两个输入端输入大量延迟时间固

定的触发信号, 将测得的数据进行统计分析, 可以得到时间测量的均方根值(Root Mean Square, RMS)。在测试系统中, 通过上位机设置信号源使两路输出信号间的延迟时间从 100 ps 开始, 每组递增 100 ps, 直到 3 000 ps。进行多组测试, 每组重复测量 10 000 次, 计算出各个延迟时间下 TDC 的 RMS 值。测试结果表明: TDC 的 RMS 值整体小于 40 ps, TDC 精度达到了预期的设计目标, 也证明了本文所采用对照实验及刻度标定方法的可行性。

5 结语

本文基于 0.13 μm CMOS 工艺设计了一种可应用在时内插法中作为细计数模块的 TDC 芯片, 实现了一个能自动调节参数进行多次测量的闭环测试系统。通过大量的测试和数据分析以及设计对照实验进行验证, 找到了 ASIC 设计中常见问题的可能原因并给出了可行的修正办法, 为后续完整 TDC 设计和测试问题的解决提供了一种可行的参考方案。最终经实验验证, TDC 的分辨率达到每 Bin 57 ps, 时间测试精度好于 40 ps, 达到了预期的设计目标。

参考文献

- 祁迹, 邓智, 刘以农. 一种基于 FPGA 的高精度单周期 TDC 设计[J]. 核电子学与探测技术, 2011, **31**(4): 378–385.
QI Ji, DENG Zhi, LIU Yinong. A high accuracy single cycle TDC design based on FPGA[J]. Nuclear Electronics and Detection Technology, 2011, **31**(4): 378–385.
- 段霖. 多通道高精度时间数字变换器的电路实现[D]. 长沙: 湖南大学, 2013.
DUAN Lin. Realization of multi-channel high precision digital-to-digital converter[D]. Changsha: Hunan University, 2013.
- 王巍, 董永孟, 李捷, 等. 基于 FPGA 的高精度多通道时间数字转换器设计[J]. 微电子学, 2015, **45**(6): 698–705.
WANG Wei, DONG Yongmeng, LI Jie, *et al.* Design of high precision multi-channel time-to-digital converter based on FPGA[J]. Microelectronics, 2015, **45**(6): 698–705.
- 宋健. 基于 FPGA 的精密时间-数字转换电路研究[D]. 合肥: 中国科学技术大学, 2006.
SONG Jian. Research on precision time-digital conversion circuit based on FPGA[D]. Hefei: University of Science and Technology of China, 2006.
- 李宏彬, 赫光中, 果秋婷. 基于皮尔逊相关系数的有机质谱相似性检索方法[J]. 化学分析计量, 2015, **24**(3): 33–37.
LI Hongbin, HE Guangzhong, GUO Qiuting. Methods for similarity retrieval of organic mass spectrometry based on pearson correlation coefficients[J]. Chinese Journal of Analytical Chemistry, 2015, **24**(3): 33–37.
- 吴军, 王海伟, 郭颖. 资源有限 FPGA 的多通道时间-数字转换系统[J]. 红外与激光工程, 2015, **44**(4): 1208–1217.
WU Jun, WANG Haiwei, GUO Ying. Multi-channel time-to-digital conversion system with limited resources of FPGA[J]. Infrared and Laser Engineering, 2015, **44**(4): 1208–1217.
- Wu J Y, Shi Z H, Wang Y N. Firmware-only implementation of time-to-digital converter (TDC) in field programmable gate array (FPGA)[C]. Proceedings of the Nuclear Science Symposium Conference Record, IEEE, 2003.
- 刘树彬, 郭建华, 张艳丽, 等. 高精度数据驱动型 TDC 在高能物理实验中应用的研究[J]. 核技术, 2006, **29**(1): 72–76.
LIU Shubin, GUO Jianhua, ZHANG Yanli, *et al.* Study on the application of high precision data-driven TDC in high energy physics experiment[J]. Nuclear Techniques, 2006, **29**(1): 72–76.
- Wu J Y. Several key issues on implementing delay line based TDCs using FPGAs[J]. IEEE Transactions on Nuclear Science, 2010, **57**(3): 1543–1548. DOI: 10.1109/TNS.2010.2045901.