新型 RHBD 抗多节点翻转锁存器设计

郭靖¹⁾, 李强¹⁾, 宿晓慧²⁾, 孙宇³⁾

¹⁾ (中北大学仪器与电子学院 太原 030051)

²⁾ (中国科学院微电子研究所硅器件与集成研发中心 北京 100029)

³⁾ (工业和信息化部电子第五研究所元器件检测中心 广州 510610)

(guojing19861229@163.com)

摘要: 在纳米数字锁存器中, 多节点翻转(multiple-node upset, MNU)正持续增加. 虽然现有基于互连单元的抗辐射加固设计(radiation hardening by design, RHBD)的锁存器可以恢复所有 MNU, 但是需要更多的敏感节点和晶体管. 为了在获得高可靠性的同时降低硬件开销, 提出利用辐射翻转机制进行加固的方法. 首先, 通过使用屏蔽晶体管减少敏感节点, 进而降低使用的晶体管数; 然后, 将 2 个单元内的上拉晶体管进行交叉互连, 从而构造出一个可抗 MNU 翻转的 RHBD 锁存器. 在 65 nm 工艺下, 与现有基于互连技术的 RHBD 锁存器相比, 提出的 RHBD 锁存器可平均减少 12.82% 的面积, 319.22% 的延迟和 10.66% 的功耗.

关键词: 纳米集成电路; 抗辐射加固设计; 锁存器; 多节点翻转

中图分类号: TP391 **DOI:** 10.3724/SP.J.1089.2021.18615

Novel Radiation Hardening by Design Latch for Tolerating Multiple-Node Upset

Guo Jing¹⁾, Li Qiang¹⁾, Su Xiaohui²⁾, and Sun Yu³⁾

¹⁾ (School of Instrument and Electronics, North University of China, Taiyuan 030051)

²⁾ (Key Laboratory of Silicon Device Technology, Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029)

³⁾ (Component Testing Center, China Electronic Product Reliability and Environmental Testing Research Institute, Guangzhou 510610)

Abstract: In nanometer digital latches, multiple-node upsets (MNU) are likely to occur. Although some existing radiation hardening by design (RHBD) latches based on the interlocked cells can recover all MNUs, they require more sensitive nodes and transistors. To obtain higher reliability and lower hardware redundancy, the radiation upset mechanism is utilized. First, the masked transistors are used to reduce the number of sensitive nodes, thus reducing the number of transistors. Second, two cells are interlocked by using their pull-up transistors, and then a RHBD latch with the MNU tolerance capability is proposed. Compared with the existing RHBD latches based on the interlocking techniques in 65 nm process, the proposed latch can reduce 12.82% area, 319.22% delay and 10.66% power on average.

Key words: nanometer integrated circuit; radiation hardening by design; latch; multiple-node upsets

在现代纳米集成电路工艺下, 单粒子翻转(single event upset, SEU)正成为数字存储电路设计急需解决的问题之一^[1]. 当辐射粒子轰击集成电路

敏感区域时, 大量的辐射诱导电子-空穴对随之产生. 在器件反偏电场的作用下, 这些电子-空穴对将被分离和积累. 当积累的电荷大于节点临界电

收稿日期: 2020-08-30; 修回日期: 2020-12-03. 基金项目: 国家自然科学基金(61604133). 郭靖(1986—), 男, 博士, 副教授, 硕士生导师, CCF 会员, 主要研究方向为集成电路抗辐射加固设计; 李强(1996—), 男, 硕士研究生, 主要研究方向为集成电路抗辐射加固设计; 宿晓慧(1986—), 女, 博士, 助理研究员, 主要研究方向为集成电路抗辐射加固设计; 孙宇(1983—), 男, 博士, 工程师, 主要研究方向为超大规模集成电路可靠性设计与测试技术.

荷的时候, 该节点的值将会翻转. 在数字组合电路中, 由于输入电压保持不变, 翻转节点的值可以很快恢复. 然而, 在数字存储电路(如存储器和锁存器)中, 一个节点值的改变可以通过交叉耦合反馈来改变另外一个节点值, 从而导致 SEU 的发生. SEU 不会持久破坏电路本身, 只会影响电路保存的值, 即暂时变为它的互补值; 而在下一个时钟来临之后, 改变的值就会恢复. 因此, SEU 又称为软错误^[1].

随着集成电路工艺进入纳米尺寸, 数字存储电路(如存储器和锁存器)中发生的 SEU 将越来越多. 因此, 在辐射应用中, 需要对其进行抗辐射加固保护^[2]. 对于存储器, 纠错码(error correction code, ECC)是一种非常有效的加固技术并且已经被广泛使用^[3]. 在 ECC 加固技术中, 存储器需要提供一些额外的存储单元来保存码字的冗余位; 而编码器和译码器需要集成在整个存储器中分别进行冗余位的计算和错误码位的纠正. 因此, 相比于整个存储器, ECC 技术所带来的额外硬件开销相对较小. 然而, ECC 技术并不适用于加固锁存器, 主要原因是它的硬件开销要远远大于锁存器自身的硬件开销. 为了在提高锁存器可靠性的同时降低加固技术带来的硬件开销, 使用电路级抗辐射加固设计(radiation hardening by design, RHBD)技术是一种比较好的选择, 即设计新的容错结构来实现对锁存器的抗辐射加固保护^[4]. 虽然已有一些 RHBD 锁存器, 但是它们只能对在单个节点上发生的翻转(single node upset, SNU)进行容错^[5-7], 而不能对由电荷共享效应导致的在多节点上发生的同时翻转(multiple-node upset, MNU)进行容错. 在纳米互补金属氧化物半导体(complementary metal oxide semiconductor, CMOS)工艺中, 由于晶体管尺寸的持续缩小, 电路工作电压越来越低, 节点电容越来越小并且集成度越来越高, 电荷共享效应能够导致晶体管之间共享辐射诱导电荷, 从而使存储的值更容易发生翻转. 因此, 在纳米集成电路中, MNU 正逐渐成为数字存储电路中重要的翻转现象^[8]. 尽管在纳米工艺中, 电荷共享效应可以导致 2 个以上节点同时收集并积累辐射电荷, 但是由于电路实际版图的限制(节点距离的增加将导致电荷共享效应的急剧下降)和电荷快速的扩散, 2 个以上的节点并不可能同时发生翻转. 因此, MNU 指的是 2 个邻近节点同时发生翻转, 即双节点翻转^[9].

文献[10-19]设计的抗 MNU 锁存器主要是使用了双互锁存储单元(dual interlocked storage cell,

DICE)^[5], 3 路 DICE (triple path DICE, TPDICE)和 C 单元. 基于 DICE 和 TPDICE 设计的锁存器拥有较少的晶体管和敏感节点, 但是只能实现对 MNU 的屏蔽, 此时输出节点将悬空在高阻态; 在受到漏电流的影响下(增加了漏电功耗), 该高阻值很容易发生改变. 基于多个 C 单元的锁存器虽然可以对 MNU 进行恢复, 但是由于多次复制, 导致硬件开销将很大, 并增加了更多的敏感节点. 例如, 文献[16]构造的锁存器使用 60 个晶体管和 23 个敏感节点实现对 MNU 的恢复容错; 文献[17]构造的锁存器需要使用 70 个晶体管和 21 个敏感节点才能实现对 MNU 的恢复容错(越多的敏感节点导致被轰击的概率就越大). 然而, 在特殊的辐射应用(如航天航空任务)中, 电路应具有更小的硬件开销.

综上所述, 如果抗 MNU 锁存器使用较少的晶体管和敏感节点, 则只能实现对 MNU 的屏蔽, 这将导致输出节点悬空, 更容易受到漏电流的影响并增加较大的漏电功耗; 而如果使用较多的晶体管和敏感节点, 则能对 MNU 进行恢复容错, 但是将导致较大的硬件开销. 为了使用较少的硬件开销实现 MNU 的恢复容错, 本文使用辐射翻转机制构造了一个新型低冗余抗 MNU 的锁存器, 可使用较少晶体管和敏感节点实现对所有 SNU 和 MNU 的恢复容错.

1 现有 RHBD 锁存器

1.1 抗 SNU 锁存器

通过使用双模(dual modular redundancy, DMR)或三模冗余技术可屏蔽 SNU. 文献[20]利用 DMR 技术构造的抗 SNU 锁存器(latch1)如图 1 所示, 其使用了 2 个钟控交叉耦合存储单元. 假设 $CLK = 0$, $CLK_N = 1$, $d_1 = d_2 = 1$, $d_{1n} = d_{2n} = 0$ 以及 $Q = 1$. 当节点 d_1 被轰击发生翻转的时候, d_1 的值将翻转到 0; 通过由反相器 I_1 和 I_2 组成的交叉耦合反馈环, 节点 d_{1n} 的值将被翻转到 1; 翻转的错误值将通过反馈机制锁存, 从而开启 NMOS 晶体管 N_4 和关闭 PMOS 晶体管 P_3 , 使输出节点 Q 的值保持不变. 然而, 由于 SNU 并不能被恢复, 所以节点 Q 将在整个锁存期间一直处于悬空高阻态. 受到纳米集成电路工艺下漏电流的影响, 节点 Q 保存的值很容易通过充放电改变. 当节点对 $d_1 - d_2$ 发生 MNU 时, 节点 d_{1n} 和 d_{2n} 的值将被改变并锁存, 并关闭 PMOS 晶体管 P_3 和 P_4 , 以及 NMOS 晶体管

图1 文献[20]构造的 latch1

N_4 和 N_5 . 因此, 节点 Q 的值将变为 0.

由于 DICE 单元自身就可以抗 SNU, 所以在抗

SNU 的锁存器设计中, 利用 DICE 单元构造新锁存结构是使用比较广泛的方法之一. 文献[20]还使用 DICE 单元构造了一个抗 SNU 锁存器(latch2), 如图 2 所示. 假设 $CLK = 0$, $CLK_N = 1$, $a_1 = a_3 = 1$, $a_2 = a_4 = 0$ 以及 $Q = 0$. 当节点 a_1 发生翻转时, 它的值将会被翻转到 0; 此时, NMOS 晶体管 N_4 和 PMOS 晶体管 P_2 将会被分别打开和关闭, 但是由于 a_3 和 a_4 节点继续保持原来的值, 所以 PMOS 晶体管 P_1 和 NMOS 晶体管 N_2 将处于开启状态, 从而恢复翻转的节点. 当输出节点 Q 发生翻转时, 由于内部节点 a_1 和 a_3 保持原有的值, 所以导通的 NMOS 晶体管 N_5 和 N_6 可以恢复输出 Q 的值. 然而, 当一个 MNU 发生时, 如发生在 $a_1 \sim a_3$ 节点对, 节点 a_2 和 a_4 的值也将改变到 1; 此时, 节点 $a_1 \sim a_4$ 所保存的错误值将会锁存, 导致 PMOS 晶体管 P_5 和 P_6 开启, NMOS 晶体管 N_5 和 N_6 关闭. 最终, 输出节点 Q 的值将发生改变.

图2 文献[20]构造的 latch2

通过互连多个 C 单元构造抗 SNU 锁存器, 由于比较容易设计和实现也成为了加固锁存器的有效技术之一. 文献[20]使 4 个 C 单元构造的抗 SNU 锁存器(latch3)如图 3 所示, 该锁存器使用互连技术将 4 个 C 单元连在一起, 可恢复所有的 SNU. 假设 $CLK = 0$, $CLK_N = 1$, $d_1 = 1$, $d_2 = d_3 = 0$ 以及 $Q = 1$. 如果节点 d_1 翻转到 0, NMOS 晶体管 N_1 和 N_9 将会被关闭, PMOS 晶体管 P_2 和 P_{10} 将会被打开, 但是剩余节点将保持原来的值. 因此, 导通 PMOS 晶体管 $P_6 \sim P_8$ 可以恢复节点 d_1 的值. 然而, 如果当节点对 $d_2 \sim d_3$ 保存的值受到电荷共享效应的影响而发生改变, 在互连反馈环的作用下, 剩余节点 d_1 和 Q 的值也将发生改变.

1.2 抗 MNU 锁存器

现有抗 MNU 锁存器使用的加固技术主要分为

图3 文献[20]构造的 latch3

3 种: (1) 使用 DMR 技术将 DICE 单元复制 2 份, 并结合 C 单元实现对 MNU 的屏蔽容错; (2) 使用 TPDICE 单元实现对 MNU 的屏蔽容错; (3) 将更多个 C 单元进行互连实现对 MNU 的恢复.

文献[19]构造的抗 MNU 锁存器就使用了第一种加固方法,其通过将 DICE 单元复制 2 份来保证发生在内部节点的 MNU 不会影响锁存节点 Q 的值;在 C 单元的保护下,输出节点 Q 的值将保持在悬空的高阻态.文献[18]使用了基于 TPDICE 单元^[12]的加固方法,利用 TPDICE 单元自身对 MNU 的屏蔽特点,从而实现了 MNU 的屏蔽,如图 4 所示,其中施密特电路用来提高翻转的阈值,保持电路用于维持当发生 MNU 时输出节点的高阻值.虽然使用保持电路可以保证处于高阻态的输出值不受漏电流的影响,但是延迟和漏电功耗将增加.另外,现有基于 TPDICE 构造的加固锁存器都将面临产生短路功耗的问题,即当内部节点发生 MNU 的时候,由于 TPDICE 只能屏蔽而不能恢复 MNU,因此将产生巨大的短路功耗(短路功耗是所有电路都希望避免的).例如,假设 $CLK = 0$, $CLK_N = 1$, $n_1 = n_3 = n_5 = n_7 = 1$, $n_2 = n_4 = n_6 = 0$, $Q_a = 0$ 以及 $Q = 1$. 如果节点对 $n_3 - n_5$ 发生了 MNU,节点 n_2 和 n_4 的值将改变到 1;由于内建反馈机制,节点 $n_2 \sim n_5$ 的值将一直保存而节点 n_1 和 n_6 的值将保持不变.因此,晶体管 $P_{12}, P_2, P_5, N_2, N_{12}$ 和 N_5 将一直导通,进而形成了 2 条短路直流通路(如图 4 中箭头所示),这将导致消耗巨大的短路功耗.

图 4 文献[18]构造的锁存器

文献[16-17]构造的抗 MNU 锁存器使用了第 3 种加固技术,即利用 C 单元自身的屏蔽作用,将多个 C 单元进行互连实现对 MNU 的恢复.图 5 显示了文献[17]构造的锁存器.可以发现,该锁存器使用了 9 个 C 单元:首先,利用互连技术将 3 个钟控 C 单元和 2 个反相器互连,构造了一个抗 SNU 的电路;然后,再将 3 个抗 SNU 电路互连,实现了对 MNU 的恢复.然而,该锁存器由于使用了 70 个晶体管和 21 个敏感节点,因此其面积冗余很大.文献[16]构造的锁存器也互连了 9 个 C 单元才实现了对 MNU 的恢复容错,因此它的面积开销也很大(拥有 60 个晶体管和 23 个敏感节点).

文献[10]在 DICE 单元的基础上,利用节点隔离技术构造了一个抗 MNU 锁存器.虽然该锁存器使用了较少的晶体管和敏感节点,但是它仍然存在以下 3 个问题:(1) 该锁存器只能屏蔽 MNU,不能对其进行恢复,因此翻转的值将不能被恢复;(2) 由于使用了节点隔离技术,在输出和内部存储节点之间没有任何反馈通道的存在,因此在漏电流的影响下,悬空输出节点的值很容易通过充放电改变,并导致更大的功耗;(3) 设计者认为输出节点并不是辐射敏感节点,故没有考虑对输出节点进行加固保护,实际上,输出节点也是敏感节点,因此该锁存器仅实现了对内部节点的加固,对输出节点并没有进行加固保护,即该锁存器只是一个 SNU 加固的锁存器.

图 5 文献[17]构造的锁存器

2 基于辐射翻转机制的抗 MNU 锁存器

2.1 辐射翻转机制

当辐射粒子轰击半导体器件敏感区域的时候, 将产生大量的额外电子-空穴对; 在反偏电场作用下, 这些电子-空穴对发生分离并被收集(NMOS 器件只收集产生的负电荷, PMOS 器件只收集产生的正电荷)。当收集的电荷超过节点自身的临界电荷之后, 该节点存储的值将被翻转, 从而导致 SEU 的发生。因此, 这个辐射翻转机制决定了翻转的极性。如图 6 所示: (1) 当关闭的 NMOS 器件被轰击的时候, 只产生负的(1→0)瞬态脉冲从而拉低该节点的电压; (2) 当关闭的 PMOS 器件被辐射粒子轰击的时候, 只产生正的(0→1)瞬态脉冲从而拉高该节点的电压^[21]。

图 6 SEU 翻转极性

2.2 本文构造的抗 MNU 锁存器

上述辐射翻转机制已经被用来降低数字电路的辐射敏感度, 即预放错误晶体管版图设计原则(layout design through error-aware transistor positioning, LEAP)^[21]。LEAP 设计原则通过在版图上放置 NMOS 和 PMOS 器件达到辐射诱导电流对冲的目的, 但是该原则依赖每个节点相关器件版图的精准放置、合理的晶体管尺寸以及恰当的粒子轰击角度。因此, LEAP 设计原则不仅增加了电路的版

图面积, 还增大了设计的复杂度。在本文构造的锁存器中, 虽然也使用了图 6 所示的翻转机制, 但是并不依靠版图级加固(如版图位置优化)而是通过电路结构设计来减少敏感节点的数量, 从而达到降低硬件开销和实现抗 MNU 的目的。

本文设计的抗 MNU 锁存器如图 7 所示, 该电路使用了 40 个晶体管($TN_1 \sim TN_{16}$, $TP_1 \sim TP_{20}$, 组成 2 个反相器的 2 个 NMOS 晶体管以及 2 个 PMOS 晶体管), 反相器 I_1 和 I_2 用来分别提供时钟 CLK 和输入 D 的反向信号 CLK_N 和 D_N ; $TP_{16} \sim TP_{19}$ 是 4 个传输晶体管, 主要作用是在传输模式将输入 D 传输到内部节点 M_1 和 M_5 , 以及传输 D_N 到内部节点 M_2 和 M_6 ; 由 TP_{20} 和 TN_{16} 组成的传输门传输 D 信号到输出 Q ; 由 $TP_{13} \sim TP_{15}$ 和 $TN_{13} \sim TN_{15}$ 组成的钟控 C 单元可有效屏蔽内部节点发生翻转时对输出 Q 的影响; 剩余晶体管组成了该电路的容错锁存环, 可有效地恢复发生 SNU 和 MNU 的节点, 保证 Q 锁存值的正确性; 输出节点 Q 没有连接任何内部节点, 进而保证了发生在节点 Q 的翻转并不会影响其内部节点。因此, 本文所构造的抗 MNU 锁存器具有以下 6 个优点。

- (1) 该加固锁存器不仅可以恢复所有的 SNU, 还可以恢复所有的 MNU。
- (2) 相比于现有可恢复 MNU 的加固锁存器, 该加固锁存器所需要的晶体管数仅有 40 个, 保证了在提供高可靠性容错能力的同时具有最小的硬件开销。使用现有的评价标准面积-功耗-延迟积(area-power-delay product, APDP)与国内和国际的抗 MNU 锁存器进行比较, 该加固锁存器具有最小的 APDP 值。

图 7 本文构造的抗 MNU 锁存器(假设锁存值为 0)

(3) 与现有可恢复 MNU 的加固锁存器相比, 该加固锁存器敏感节点数只有 12 个(更少的敏感节点意味着更小的被辐射粒子轰击的概率)。

(4) 该加固锁存器只依靠在电路级上的容错环就可实现对所有 SNU 和 MNU 的恢复容错, 因此并不需要版图级上的任何放置和优化技术(如 LEAP 设计原则、增加节点间隔和环形栅等), 保证了版图面积的最小化和降低了加固设计的复杂度。

(5) 恢复容错保证输出节点不会进入高阻态, 因此不需要增加保持电路来维持输出值, 同时还避免了漏电流对输出的影响和翻转不能恢复时可能导致的短路功耗问题。

(6) 工艺波动不会影响其容错能力。

2.3 时序分析

本文构造的锁存器在时钟 CLK 低电平时为传输模式, 在时钟 CLK 高电平时为锁存模式。

(1) 当时钟 $CLK = 0$ 时, 构造的锁存器进入传输模式。此时, TN_{16} 和 TP_{20} 组成的传输门打开, 输入信号 D 直接传输到输出 Q ; 同时, $TP_{16} \sim TP_{19}$ 被打开, 输入信号 D 和 D_N 强制改变内部节点 M_1 , M_5 , M_2 和 M_6 保存的值, 并将这些节点直接和间接驱动的晶体管开启或关闭, 从而建立起正确的容错反馈保护环。例如, 当 $D=1$ 时, $M_1 = M_5 = 1$ 且 $M_2 = M_6 = 0$, 打开 TP_1 和 TP_7 , 并关闭 TP_4 和 TP_{10} , 则 $M_3 = M_7 = 1$; 然后打开 TN_1 和 TN_7 , 这将导致 $M_4 = M_8 = 0$, 此时锁存环建立, 保证节点 M_1 , M_3 , M_5 和 M_7 始终被充电到 VDD, 节点 M_2 , M_4 , M_6 和 M_8 始终被下拉至 GND; 由于 $CLK = 0$ 和 $M_2 = M_6 = 0$, 所以 TP_{15} 和 $TN_{13} \sim TN_{15}$ 处于关闭态, 保证输出 Q 的值很容易被输入 D 驱动而改变。而当 $D=0$ 时, 经过类似分析可知, 容错环也可被正确建立, 实现 $M_1 = M_3 = M_5 = M_7 = 0$, $M_2 = M_4 = M_6 = M_8 = 1$ 和 $Q = D = 0$ 。

(2) 当时钟 $CLK = 1$ 时, 构造的锁存器进入锁存模式。此时, $TP_{16} \sim TP_{20}$ 和 TN_{16} 被关闭, TP_{15} 和 TN_{13} 被打开, 而根据内部节点保存的值, 钟控 C 单元选择将输出 Q 连接 VDD 还是 GND。假如, 当 $M_1 = M_3 = M_5 = M_7 = 1$ 且 $M_2 = M_4 = M_6 = M_8 = 0$ 时, 由于 $TP_{13} \sim TP_{15}$ 被打开而 TN_{14} 和 TN_{15} 被关闭, 输出 Q 将被连接到 VDD, 从而一直锁存 1。而当 $M_1 = M_3 = M_5 = M_7 = 0$ 且 $M_2 = M_4 = M_6 = M_8 = 1$ 时, 由于 $TN_{13} \sim TN_{15}$ 被打开而 TP_{13} 和 TP_{14} 被关闭, 输出 Q 将被连接到 GND, 从而一直锁存 0。

2.4 容错分析

尽管本文构造的锁存器有 14 个节点($M_1 \sim M_8$, $F_1, F_2, F_5, F_6, F_{12}$ 和 Q), 但只有 12 个敏感节点, 且依赖于锁存的值。当 $Q=0$ 时, $Q, F_1, F_2, F_5, F_6, F_9, M_1, M_3 \sim M_5, M_7$ 和 M_8 是它的敏感节点, 节点 M_2 和 M_4 并不是敏感节点, 因为它们不是关态 NMOS 管的漏/源连接。当辐射粒子轰击 M_2 和 M_4 节点的时候, 由于在这 2 个节点只能积累大量的正电荷, 所以它们的电压只会被拉至更高^[21](见图 6), 但是锁存的值依然为 1。同理, 由于对称设计结构, 当 $Q=1$ 时, $Q, F_3, F_4, F_7, F_8, F_{12}, M_2 \sim M_4$ 和 $M_6 \sim M_8$ 为敏感节点。

本文使用图 7 假设的锁存 0 值进行容错分析。

(1) 当节点 M_1 的值被翻转为 1 时, TN_3 将被打开而 TP_2 和 TP_{10} 将被关闭, 但是这并不能改变其他节点和晶体管的状态。因此, TN_5, TN_6 和 TP_6 将一直打开, 从而恢复节点 M_1 的值。

(2) 当节点 M_3 的值被翻转为 1 时, TN_1 和 TN_2 将被打开而 TP_6 将被关闭, 导致 M_4 暂时翻转为 0, 且 M_1 节点将处于高阻状态。然而, 由于 TP_4 一直开启, 所以节点 M_4 将会恢复为原来的 1, 并再次打开 TN_4 , 从而恢复节点 M_3 的值。

(3) 当节点 M_4 的值被翻转为 0 时, TN_4 和 TN_5 将被关闭, 同时 TP_3 将被打开, 但是由于 TP_4 一直开启, 所以节点 M_4 将会恢复为原来的 1。

(4) 通过类似的抗 SNU 容错分析可知, 当节点 M_5, M_7 和 M_8 分别发生翻转的时候, 它们的值也可以被恢复。

(5) 当输出节点 Q 被轰击发生翻转的时候, 由于节点 Q 没有连接任何内部节点, 因此发生在节点 Q 的翻转并不会影响到其内部节点, 而节点 Q 将通过一直处于打开状态的 $TN_{13} \sim TN_{15}$ 与 GND 相连并恢复至 0。

(6) 当节点 F_1, F_2, F_5, F_6 或 F_9 被辐射粒子轰击时, 其他节点锁存的值并不会被影响, 因为这些节点为悬空高阻节点。

(7) 当电荷共享效应导致节点对 $M_1 \sim M_3$ 发生翻转时, $TN_1 \sim TN_3$ 将被打开而 TP_6, TP_2 和 TP_{10} 将被关闭, 导致节点 M_4 暂时翻转为 0。然而, 由于 TP_4 受节点 M_5 的驱动且节点 M_5 始终保持其原来的值, 所以 TP_4 将一直打开并恢复节点 M_4 的值; 然后, 重新打开 TN_4 和 TN_5 , 并关闭 TP_3 , 恢复节点 M_3 的值到原来的 0; 最后, 关闭 TN_1 和 TN_2 并打

开 TP_6 , 恢复节点 M_1 的值。

(8) 当电荷共享效应翻转节点对 $M_1 - M_4$ 的值时, TP_3 和 TN_3 将被打开, 而 TN_4, TN_5, TP_2 和 TP_{10} 将被关闭; 由于 TP_4 一直处于打开的状态, 所以节点 M_4 的值将恢复; 然后, 重新打开 TN_4 和 TN_5 , 节点 M_1 恢复为原来的 0。

(9) 当节点对 $M_3 - M_4$ 的值被翻转时, TP_3, TN_1 和 TN_2 将被打开, 而 TN_4, TN_5 和 TP_6 将被关闭; 由于 TP_4 一直处于打开的状态, 所以节点 M_4 的值将恢复; 然后, 重新打开 TN_4 和 TN_5 , 并将节点 M_3 恢复为原来的 0。

(10) 通过上述类似的抗 MNU 容错分析, 可知当 $M_5 - M_7$ 节点对、 $M_5 - M_8$ 节点对和 $M_7 - M_8$ 节点对发生翻转时, 它们的值也能够恢复。

(11) 当 $M_1 - M_5$ 节点对发生翻转的时候, TN_3 和 TN_9 将被打开, 而 TP_2, TP_{10}, TP_8 和 TP_4 将被关闭, 但是由于 $TN_4 \sim TN_6, TP_6, TN_{10} \sim TN_{12}$ 和 TP_{12} 始终处于打开的状态, 所以 M_1 和 M_5 节点的值都可以被恢复至原来的 0。

(12) 而当 $M_1 - M_7$ 节点对、 $M_1 - M_8$ 节点对、 $M_3 - M_5$ 节点对、 $M_3 - M_7$ 节点对、 $M_3 - M_8$ 节点对、 $M_4 - M_5$ 节点对、 $M_4 - M_7$ 节点对和 $M_4 - M_8$ 节点对在受到电荷共享效应的影响下分别发生翻转时, 通过类似分析可知, 它们的值也可恢复。

(13) 当 2 个悬空节点之间发生电荷共享时, 由于积累的电荷并不会流动去影响其他节点的值, 因此依旧锁存原有的值。

(14) 当任意一个内部节点和节点 Q 同时发生翻转时, 它们的值将被恢复。这是因为这类 MNU 相当于在一个内部节点和节点 Q 各发生一次 SNU。

由于构造的锁存器拥有对称的设计结构, 因此当锁存 0 的时候, 发生的 SNU 和 MNU 均可以被恢复。通过以上的容错分析可知, 构造的加固锁存器通过内部建立的容错锁存环就可在电路级上恢复所有的 SNU 和 MNU, 因此并不需要任何版图放置和优化技术(如 LEAP 设计原则、增加节点间隔和环形栅等), 保证了版图面积的最小化并降低了加固设计的复杂度。

3 验证与评价

3.1 时序和容错验证

为了模拟辐射诱导电流, 本文使用了双双指数电流源^[1]进行故障注入: 使用一个双双指数电

流源注入电流来模拟 SNU(如图 8a 所示); 使用 2 个双双指数电流源在 2 个敏感节点同时注入模拟电荷共享效应导致的 MNU(如图 8b 所示)。本文使用 Cadence 工具和 TSMC 65 nm 商用工艺执行时序和容错的验证以及硬件开销结果的获取。

图8 本文使用的故障注入模型

图9显示了构造锁存器时序及容错仿真结果。

(1) 在第1个和第3个时钟周期内, 当时钟 $CLK = 0$ 以及输入 D 由高电平转变为低电平时, 节点 M_1, M_3, M_5, M_7 和输出 Q 都随之由高电平转变为低电平, 而节点 M_2, M_4, M_6 和 M_8 则由低电平转变为高电平; 当时钟 $CLK = 1$ 时, 锁存器进入锁存模式, 锁存保持的值, 此时输出 Q 的值与输入 D 没有关系, 且始终维持在高电平。

(2) 第2个时钟周期内, 当时钟 $CLK = 0$ 以及输入 D 由低电平转变为高电平时, 节点 M_2, M_4, M_6, M_8 和输出 Q 都随之由低电平转变为高电平, 同时节点 M_1, M_3, M_5 和 M_7 则由高电平转变为低电平; 当时钟 $CLK = 1$ 时, 锁存器进入锁存模式, 锁存保持的低电平; 在这期间, 输入 D 信号的改变不会影响输出 Q 锁存的值。

(3) 在 25~45 ns 期间, 对内部单节点 M_1, M_3, M_4, M_5, M_7 和 M_8 分别进行故障注入, 使其发生翻转。从图9中可发现, 这些 SNU 均可被恢复。

(4) 在 26~185 ns 期间, 进行 MNU 故障注入。通过观察图9可以发现, 这些 MNU 均可以被快速恢复。另外, 在内部节点和输出 Q 之间的 MNU 恢复结果也同时证明, 在输出 Q 发生的 SNU 也可以被恢复。

图9 时序及容错仿真

图9还证明了,由于所有SNU和MNU都可以被恢复容错,导致输出 Q 不会进入高阻态,因此不需要增加保持电路来维持输出 Q 的值;同时还避免了漏电流对输出 Q 的影响和翻转不能恢复时可能导致的短路功耗问题。

3.2 硬件开销比较

表1给出了本文构造的加固锁存器与一些现有锁存器硬件开销的比较结果,其中T-latch为标准锁存器,包含4个反相器 $I_1 \sim I_4$ 以及2个传输门 TG_1 和 TG_2 在内的12个晶体管,如图10所示。在所有的加固锁存器中,文献[20]构造的latch2由于使用了最少的晶体管,所以具有最小的面积开销,但是该加固锁存器只能对SNU进行容错。在所有具有抗MNU恢复容错能力的锁存器中,只有文献[14]的锁存器具有比本文构造的锁存器更小的面积开销,这主要是因为使用了较少的晶体管。然而,该锁存器具有更大的延迟和功耗开销。文献[17]构造的锁存器由于使用了70个晶体管,所以具有最大的面积开销。与本文构造的加固锁存器相比,文献[10-12]构造的锁存器具有较小或相近

的面积开销,但是并不能对MNU进行恢复容错,这将导致输出节点悬空保持高阻态,增加了漏电流。

表1 硬件开销比较结果

锁存器	管数	面积/ μm^2	延迟/ps	功耗/ μW
T-latch	12	6.45	40.37	0.62
latch1 ^[20]	26	13.98	18.66	0.60
latch2 ^[20]	20	9.32	23.17	0.61
latch3 ^[20]	26	13.98	20.21	0.59
latch ^[7]	28	12.65	79.72	0.75
latch ^[12]	28	16.13	93.55	0.81
latch ^[15]	34	21.85	122.69	1.15
latch ^[19]	44	23.65	140.53	0.94
latch ^[13]	40	19.89	47.71	0.98
latch ^[14]	36	15.05	56.02	1.08
latch ^[10]	28	13.62	85.56	16.39
latch ^[11]	32	17.92	115.56	0.81
latch ^[17]	70	36.56	21.10	0.92
latch ^[18]	48	25.80	56.34	2.26
latch ^[16]	60	32.26	40.54	0.89
本文	40	17.68	16.84	1.19

图 12 共享电荷比较结果

的容错，因为它们的曲线没有与 X 轴和 Y 轴相交，但是它们抗 MNU 的能力要远远小于其他抗 MNU 锁存器(除文献[10]构造的锁存器之外)抗 MNU 的能力，因为它们拥有更小的曲线面积。

(4) 本文构造的加固锁存器具有与其他抗 MNU 锁存器(除文献[10]构造的锁存器之外)一样的容错能力，因为它的曲线与其他抗 MNU 锁存器的曲线重合。

本文用纠正每单位辐射诱导电荷需消耗的硬件开销为主从指标，对现有锁存器的硬件开销和容错能力进行综合比较，即

$$\beta = \frac{APDP}{Q_{\max}}$$

其中， $Q_{\max}$ 为最大共享电荷。

图 13 给出了归一化后的不同锁存器的 β 值。可见，本文构造的加固锁存器拥有最小的 β 值。 β 值越小，证明加固电路在提供优越加固能力的同时所需要的硬件开销越小。

图 13 归一化的 β 值比较结果

3.4 工艺变量的影响

当 CMOS 工艺技术进入纳米尺寸后，工艺变量(阈值电压和沟道长度等)就成为了影响电路性能的一个关键因素，因为它可以降低电路的速度和可靠性。因此，本文使用蒙特卡罗仿真检验工艺变量对抗 MNU 容错能力的影响。

表 3 给出了不同锁存器的 3 000 次蒙特卡罗仿真结果，其中失效率指的是由于受到工艺变量的影响，在蒙特卡罗仿真中锁存器不能执行抗 MNU 容错功能的概率。失效率越大，锁存器抗 MNU 容错能力就越容易受到工艺变量的影响而降低。从表 3 可以看出，文献[20]构造的锁存器虽然可实现对 SNU 的容错，但它们自身的抗 MNU 容错能力很容易受到工艺变量的影响；文献[10]构造的锁存器由于具有非常高的失效率，因此在实际应用中将受到极大的限制。除文献[10]构造的抗 MNU 锁存器之外，剩余抗 MNU 锁存器的失效率都为零，这表明工艺变量并不会影响它们的容错能力。

表 3 总仿真数为 3000 时蒙特卡罗仿真结果

锁存器	失效数	失效率/%
T-latch	1984	66.13
latch1 ^[20]	1587	52.90
latch2 ^[20]	2078	69.27
latch3 ^[20]	2516	83.87
latch ^[7]	1960	65.33
latch ^[12]	0	0
latch ^[15]	0	0
latch ^[19]	0	0
latch ^[13]	0	0
latch ^[14]	0	0
latch ^[10]	2393	79.77
latch ^[11]	0	0
latch ^[17]	0	0
latch ^[18]	0	0
latch ^[16]	0	0
本文	0	0

4 结 语

本文针对现有锁存器容错 MNU 需要较大硬件开销的问题，利用辐射翻转机制构造了一个新型 RHBD 锁存器。该锁存器在电路级上就实现了对所有 SNU 和 MNU 的恢复容错，因此并不需要任何版图优化和放置技术，保证了版图的最小化。与现有 RHBD 锁存器相比，本文构造的 RHBD 锁存器

具有更少的敏感节点和敏感节点对,因此需要的硬件开销也非常小(具有最小的 APDP 值)。

参考文献(References):

- [1] Black D A, Robinson W H, Wilcox I Z, *et al.* Modeling of single event transients with dual double-exponential current sources: implications for logic cell characterization[J]. IEEE Transactions on Nuclear Science, 2015, 62(4): 1540-1549
- [2] Shambhulingaiah S, Lieb C, Clark L T. Circuit simulation based validation of flip-flop robustness to multiple node charge collection[J]. IEEE Transactions on Nuclear Science, 2015, 62(4): 1577-1588
- [3] Liu S S, Xiao L Y, Mao Z G. Extend orthogonal Latin square codes for 32-bit data protection in memory applications[J]. Microelectronics Reliability, 2016, 63: 278-283
- [4] Guo J, Xiao L Y, Mao Z G. Novel low-power and highly reliable radiation hardened memory cell for 65 nm CMOS technology[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2014, 61(7): 1994-2001
- [5] Calin T, Nicolaidis M, Velazco R. Upset hardened memory design for submicron CMOS technology[J]. IEEE Transactions on Nuclear Science, 1996, 43(6): 2874-2878
- [6] Qi C H, Xiao L Y, Guo J, *et al.* Low cost and highly reliable radiation hardened latch design in 65 nm CMOS technology[J]. Microelectronics Reliability, 2015, 55(6): 863-872
- [7] Yan A B, Liang H Z, Huang Z F, *et al.* An SEU resilient, SET filterable and cost effective latch in presence of PVT variations[J]. Microelectronics Reliability, 2016, 63: 239-250
- [8] Black J D, Dodd P E, Warren K M. Physics of multiple-node charge collection and impacts on single-event characterization and soft error rate prediction[J]. IEEE Transactions on Nuclear Science, 2013, 60(3): 1836-1851
- [9] Lin S, Kim Y B, Lombardi F. Analysis and design of nanoscale CMOS storage elements for single-event hardening with multiple-node upset[J]. IEEE Transactions on Device and Materials Reliability, 2012, 12(1): 68-77
- [10] Wey I C, Yang Y S, Wu B C, *et al.* A low power-delay-product and robust isolated-DICE based SEU-tolerant latch circuit design[J]. Microelectronics Journal, 2014, 45(1): 1-13
- [11] Hui X, Yun Z. Circuit and layout combination technique to enhance multiple nodes upset tolerance in latches[J]. IEICE Electronics Express, 2015, 12(9): 20150286
- [12] Blum D R, Delgado-Frias J G. Delay and energy analysis of SEU and SET-tolerant pipeline latches and flip-flops[J]. IEEE Transactions on Nuclear Science, 2009, 56(3): 1618-1628
- [13] Eftaxiopoulos N, Axelos N, Zervakis G, *et al.* Delta DICE: a double node upset resilient latch[C] //Proceedings of the 58th IEEE International Midwest Symposium on Circuits and Systems (MWSCAS). Los Alamitos: IEEE Computer Society Press, 2015: 1-4
- [14] Eftaxiopoulos N, Axelos N, Pekmestzi K. DONUT: a double node upset tolerant latch[C] //Proceedings of the IEEE Computer Society Annual Symposium on VLSI. Los Alamitos: IEEE Computer Society Press, 2015: 509-514
- [15] Katsarou K, Tsiatouhas Y. Double node charge sharing SEU tolerant latch design[C] //Proceedings of the 20th IEEE International On-Line Testing Symposium. Los Alamitos: IEEE Computer Society Press, 2014: 122-127
- [16] Li Y Q, Wang H B, Yao S Y, *et al.* Double node upsets hardened latch circuits[J]. Journal of Electronic Testing, 2015, 31: 537-548
- [17] Yan A B, Huang Z F, Yi M X, *et al.* Double-node-upset-resilient latch design for nanoscale CMOS technology[J]. IEEE Transactions on Very Large Scale Integration Systems, 2017, 25(6): 1978-1982
- [18] Yan A B, Huang Z F, Fang X S, *et al.* Single event double-upset fully immune and transient pulse filterable latch design for nanoscale CMOS[J]. Microelectronics Journal, 2017, 61: 43-50
- [19] Katsarou K, Tsiatouhas Y. Soft error interception latch: double node charge sharing SEU tolerant design[J]. Electronics Letters, 2015, 51(4): 330-332
- [20] Nan H Q, Choi K. High performance, low cost, and robust soft error tolerant latch designs for nanoscale CMOS technology[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2012, 59(7): 1445-1457
- [21] Lee H H, Klas L, Mounaim B, *et al.* LEAP: layout design through error-aware transistor positioning for soft-error resilient sequential cell design[C] //Proceedings of the IEEE International Reliability Physics Symposium. Los Alamitos: IEEE Computer Society Press, 2010: 203-212