32 nm CMOS 工艺单粒子三点翻转自恢复锁存器设计

黄正峰¹⁾, 郭阳¹⁾, 潘尚杰¹⁾, 鲁迎春¹⁾, 梁华国¹⁾, 戚昊琛¹⁾, 欧阳一鸣²⁾, 倪天明³⁾, 徐奇^{1)*}

¹⁾(合肥工业大学电子科学与应用物理学院 合肥 230009)

²⁾(合肥工业大学计算机与信息学院 合肥 230009)

³⁾(安徽工程大学电气工程学院 芜湖 241000)

(xuqi@hfut.edu.cn)

摘要: 纳米尺度 CMOS 工艺的电荷共享效应日益显著, 粒子入射导致电路内部多个节点同时翻转的概率急剧升高. 为了提高时序单元的可靠性, 提出了一种三点翻转(triple node upsets, TNUs)自恢复的加固锁存器结构, 利用双输入反相器的阻塞能力, 将 24 个双输入反相器级联成 6 级, 经反馈将发生翻转的节点恢复正确; 内部采用不对称的连线方式, 有效地消除了共模故障, 优化了双输入反相器内部 NMOS/PMOS 的驱动能力, 消除了节点逻辑值翻转造成的亚稳态. 采用 Hspice 进行实验表明, 相比已有容忍 TNUs 的 4 种加固锁存器, 仅有所提结构和 TNURL 可以从 TNUs 中自行恢复, 其他 3 种加固锁存器均无法从 TNUs 中自行恢复, 而且会在输出端产生高阻态; 和 TNURL 结构相比, 所提结构的功耗减小了 35.3%, 延迟减小了 48.3%, 功耗延迟积(power delay product, PDP)减少了 67.6%.

关键词: 单粒子翻转; 抗辐射加固设计; 双输入反相器; 翻转自恢复

中图法分类号: TP391.41 **DOI:** 10.3724/SP.J.1089.2020.18160

Tri-Node Upsets Self-Recovery Latch Design in 32 nm CMOS Technology

Huang Zhengfeng¹⁾, Guo Yang¹⁾, Pan Shangjie¹⁾, Lu Yingchun¹⁾, Liang Huaguo¹⁾, Qi Haochen¹⁾,
Ouyang Yiming²⁾, Ni Tianming³⁾, and Xu Qi^{1)*}

¹⁾(School of Electronic Science & Applied Physics, Hefei University of Technology, Hefei 230009)

²⁾(School of Computer & Information, Hefei University of Technology, Hefei 230009)

³⁾(School of Electrical Engineering, Anhui Polytechnic University, Wuhu 241000)

Abstract: The charge sharing effect of nanoscale CMOS technology is becoming more and more significant, and the probability of multiple nodes upset simultaneously caused by particle incidence increases sharply. In order to improve the reliability of sequential units, a triple node upsets(TNUs) self-recovery hardened latch structure is proposed. By using the blocking ability of dual input inverters, and placing 24 dual input inverters into six stages, the upset nodes are recovered correctly by feedback; In addition, the internal asymmetric connection mode is used to eliminate the common mode fault; and the driving ability of NMOS/PMOS in the dual input inverter is optimized, which can eliminate the metastable state caused by the inversion of the node logic value. Experiments with Hspice show that, compared with the existing four types of hardened latches that tolerate TNUs, only the proposed structure and TNURL can self-recover from TNUs. The other three hardened latches cannot recover from TNUs by itself, and will produce a high impedance state at the output;

收稿日期: 2019-11-21; 修回日期: 2020-09-03. 基金项目: 国家自然科学基金(61874156, 61904047, 61904001); 安徽省自然科学基金(1908085QF272). 黄正峰(1978—), 男, 博士, 教授, 博士生导师, CCF 高级会员, 主要研究方向为硬件容错; 郭阳(1995—), 男, 硕士研究生, 主要研究方向为硬件容错; 潘尚杰(1997—), 男, 硕士研究生, 主要研究方向为硬件容错; 鲁迎春(1979—), 男, 硕士, 讲师, 主要研究方向为硬件安全; 梁华国(1959—), 男, 博士, 教授, 博士生导师, CCF 高级会员, 主要研究方向为内建自测试; 戚昊琛(1981—), 女, 硕士, 副教授, 主要研究方向为硬件安全; 欧阳一鸣(1963—), 男, 博士, 教授, 博士生导师, CCF 高级会员, 主要研究方向为 NoC 测试与容错; 倪天明(1991—), 男, 博士, 讲师, 主要研究方向为 3D 芯片测试与容错; 徐奇(1991—), 男, 博士, 讲师, 论文通讯作者, 主要研究方向为 3D 芯片测试与容错.

Compared with the TNURL structure, the power consumption of the proposed structure is reduced by 35.3%, the delay is reduced by 48.3%, and the power delay product is reduced by 67.6%.

Key words: single event upset; radiation hardening by design; dual input inverter; upset self-recovery

工作在航空航天、汽车电子等复杂环境中的芯片, 容易受到环境中高能粒子的影响, 产生各种不利效应. 这些环境中的高能粒子轰击到器件的灵敏区后, 会在高能粒子的运动轨迹上沉积电荷. 这些沉积的电荷会在外电场的作用下被器件电极收集, 当收集的电荷超过节点的关键电荷时, 就会造成器件的逻辑状态发生翻转. 当这种瞬态变化发生在锁存器和触发器等时序逻辑中时, 称其为单粒子翻转(single event upset, SEU). SEU 属于软错误, 不会破坏电路的物理结构, 但会造成时序逻辑中存储的逻辑值发生翻转, 影响整个电路的可靠性. 另外, 随着 CMOS 工艺尺寸的减小, 电路中敏感节点之间的距离不断变小. 由一颗高能粒子轰击产生的电子-空穴对可能同时被多个敏感节点吸收^[1-5], 导致电路中多个节点同时发生翻转, 即单粒子多节点翻转(multiple nodes upset, MNUs), 它对电路的破坏性更大, 而且发生的概率随着工艺的发展迅速变大. TNU-Latch 的实验^[6]表明, 在 32nm 尺度下, 电路中就已经出现单粒子双点翻转(double nodes upset, DNUs)以及三点翻转(triple nodes upset, TNUs). 目前, SEU 以及 MNUs 已经成为引起时序电路产生软错误率最高的一种因素^[7], 国内外学者提出了许多针对 SEU 以及 MNUs 的时序器件的加固方案.

经典的设计方法有三模冗余^[8](triple modular redundancy, TMR)和 DICE 单元^[9]等. 其中, TMR 通过将简单的静态锁存器复制多份, 并通过表决器从多个冗余电路中判断正确的锁存值. 这种方法简单易实现, 但带来了锁存器电路以及表决器电路, 功耗以及面积开销很大; 并且冗余的锁存器个数以及表决器电路的复杂程度随着电路发生翻转的节点个数的增加迅速增加. 而 DICE 单元不仅能有效地缓解软错误对锁存器的影响, 还能取得较低的性能开销, 因此被广泛应用. 但是, 这类方法不能容忍多点翻转, 且存在发生翻转的内部节点不能自恢复等各种问题.

为了缓解 TNUs 引发的软错误, 并解决现有结构存在的内部节点逻辑值处于高阻态, 以及发生翻转的节点的逻辑值不能自恢复为正确值的问题, 本文利用双输入反相器的阻塞功能, 以 24 个双输

入反相器组成基本框架, 优化设计了其内部连接关系, 有效地消除了共模故障. 当电路中的内部节点发生 SEU 时, 节点逻辑值能够快速自恢复为正确值, 不会处于高阻态. 因此, 该结构可应用于采用了时钟门控技术的低功耗电路中, 以降低系统功耗; 并优化双输入反相器内部 NMOS/PMOS 的驱动能力, 消除节点逻辑值翻转时造成的亚稳态. 在 32nm 预测技术模型(predictive technology model, PTM)工艺下, 采用 Hspice 工具的仿真实验表明, 与现有的能够容忍 TNUs 的结构开销平均值相比, 该结构功耗延迟积(power delay product, PDP)减少了 84.3%; 与最新的能够自恢复 TNUs 的 TNURL 结构^[10]相比, 该结构的功耗减小了 35.3%, 延迟减小了 48.3%, PDP 减少了 67.6%.

1 已有的加固结构

C 单元^[11]和双输入反相器常被用于加固单元的设计中, C 单元的工作原理是当其所有输入相同时, 输出为输入的相反值; 当输入不相同时, 输出为高阻态, 将保留先前的逻辑值. 双输入反相器的工作原理是在输入相同时, 输出为输入的相反值. 在输入不同时, 输出为高阻态或亚稳态. 图 1a 中展示了双输入反相器和几种常见的 C 单元电路, 并给出了对应的图例表示方法, 从左到右依次是双输入反相器、双输入 C 单元、不对称的 C 单元结构、三输入 C 单元和钟控双输入 C 单元, 并可以依此规律表示出更多的 C 单元电路. 下面介绍 4 种最新的针对 TNUs 的加固锁存器设计.

1.1 TNURL 结构

TNURL 结构是一种能够自恢复 TNUs 的加固锁存器. 其结构如图 1b 所示, 利用 3 个 C 单元组成基本组件, 并将 7 个基本组件互相连接构成锁存环. 该锁存环在正常工作时能够静态存储数据, 并在出现 TNUs 时, 利用 C 单元的保持功能保证内部节点的稳定, 最终通过节点间的反馈, 在较短时间内自恢复发生翻转的节点. 但是, 该结构实现复杂, 用了 130 个 MOS 管, 电路的面积和功耗开销非常大, 可能导致加固设计无法满足设计指标.

图 1 已有的加固结构以及结构中的基本器件

1.2 TNUTL 结构

文献[12]提出了能够容忍 TNUs 的 TNUTL 锁存器, 其电路结构如图 1c 所示, 其核心部分由 5 个不规则的三输入 C 单元以及 1 个双输入 C 单元构成. 该结构同样利用 C 单元的保持功能保持数据, 使其输出值 Q 的逻辑值不会被 TNUs 影响. 但是, 该结构缺少反馈回路, 内部节点可能长时间处于错误逻辑值, 不能自恢复为正确值; 而且该结构只能动态存储数据, 在时钟频率较小时, 存储的值可能因为漏电流发生一些故障, 影响整个电路的可靠性.

1.3 LCTNUT 结构

LCTNUT 结构^[13]是一种可以容忍 TNUs 的加固锁存器设计, 其结构如图 1d 所示. 它分为 2 个部分, 一个是由 8 个双输入反相器构成的锁存环设计, 其提供静态存储功能, 且具有一定的加固功能; 另外一个是由 3 个双输入 C 单元构成的额外加固设计, 其在发生 TNUs 时, 通过锁存环的加固能力使 3 个 C 单元的 4 个输入不会同时发生翻转, 从而 3 个 C 单元至少有 2 个会保持正确值, 以保证输出 Q 的逻辑值稳定. 但是, 该结构同样存在内部节点依靠电容长时间保持错误逻辑值的情况,

会影响整个电路的可靠性.

1.4 TNU-Latch 结构

TNU-Latch 是一种可以容忍 TNUs 的加固锁存器, 其结构如图 1e 所示. 该锁存器通过内部几个 C 单元的反馈连接, 在内部形成 5 个循环结构, 将逻辑值静态存储; 并在输出 Q 上附加了 C 单元, 以保证输出 Q 节点的逻辑状态稳定. 该锁存器可以容忍 TNUs, 但是不能自恢复发生翻转的内部节点; 并且由于其采用大量 5 输入 C 单元, 功耗以及延迟开销都很大.

2 本文设计

本节主要介绍所提结构及其基本单元双输入反相器, 阐述了其工作原理和加固原理, 并对双输入反相器进行了优化, 以消除 SEU 引起的亚稳态.

2.1 双输入反相器

双输入反相器按照输入和输出的关系, 一共有 4 种工作模式. 如图 2 所示, 当双输入反相器的 2 路输入 A 和 B 相同时, 输出为输入的相反值; 当双输入反相器的 2 路输入 A 和 B 不同时, 输出会出现 2 种特殊的状态. 其中一种是当 PMOS 输入值为

1, NMOS 输入值为 0 时, PMOS 和 NMOS 都关断, 输出 Q 为高阻态, 将保留先前的输出值; 另外一种 PMOS 输入值为 0, NMOS 输入值为 1, PMOS 和 NMOS 都导通. 在这种情况下, 若 NMOS/PMOS 驱动能力相同, 则输出端的逻辑值会处于亚稳态; 若 PMOS 和 NMOS 的驱动能力不相同, 则输出值会趋于稳定^[14]. NMOS 驱动能力较大时, 输出值为 0 值; PMOS 驱动能力较大时, 输出值为 1 值. 为了消除亚稳态并减小功耗, 本文中所有的双输入反相器都选择调大了 NMOS 的驱动能力, 而没有选择调大 PMOS 的驱动能力.

本文中的所有双输入反相器在不发生 SEU 正常工作的情况下, 只会工作在 NMOS/PMOS 输入相同的模式下, 不会出现 2 种特殊的工作模式, 因此不会产生瞬间的短路以及高阻态.

当发生 SEU 后, 双输入反相器的工作模式将发生跳变, 从正常工作模式跳转到特殊的工作模式. 按照双输入反相器输入与输出的关系, 只有从 NMOS/PMOS 输入都为 0 跳到 NMOS 输入为 1, PMOS 输入为 0 时, 输出逻辑值才会发生变化. 此时 NMOS 上的输入逻辑值由 0 变为 1, PMOS 上的输入逻辑值没有发生变化, 输出将发生 1 到 0 的翻转. 而双输入反相器其他工作模式间的跳变, 都会阻塞错误节点逻辑值的传播, 保持输出不变. 说明双输入反相器在发生 SEU 时, 只有 NMOS 上的错误值会影响输出.

图 2 双输入反相器的工作方式

2.2 本文结构

针对现有的加固结构无法迅速自恢复 TNU 导致的电路内部节点翻转, 以及功耗、延迟较大的情况, 本文提出了一种加固锁存器. 该结构的门级结构以及连接方式如图 3 所示, 其包含 8 个传输门 (transmission gate, TG) 和 24 个双输入反相器 DI_{ij} . 24 个双输入反相器级联成 4 行 6 列, 每一个双输入

反相器 DI_{ij} 的编号 i 为器件所在的列编号 ($i=0, 1, 2, 3, 4, 5$), j 为器件所在的行编号 ($j=0, 1, 2, 3$). 列数 i 为模 6 加运算, 运算值对 6 取模为最终值. 如列数 $i=5$, 则 $i+5$ 表示 $(i+5)\bmod 6$, 结果为 4. 行数 j 为模 4 加运算, 运算值对 4 取模为最终值. 如行数 $j=3$, 则 $j+1$ 表示 $(j+1)\bmod 4$, 结果为 0. 内部采用不对称的连接方式, 其中第 2~6 列双输入反相器 DI_{ij} 单元的 NMOS 被双输入反相器 $DI_{(i+5)j}$ 驱动, PMOS 被双输入反相器 $DI_{(i+5)(j+1)}$ 驱动. 如 DI_{10} 单元的 NMOS 被 DI_{00} 单元驱动, 则 PMOS 被 DI_{01} 单元驱动. 通过这样的连接方式, 使每一行上的双输入反相器的 NMOS 输入都来自同一行, 当电路中发生 SEU 时, 错误逻辑值只会上传同一行传播. 另外, 第 1 列的 4 个双输入反相器单元 ($DI_{00}\sim DI_{03}$) 的输入发生了交叉连接, NMOS 和 PMOS 分别由双输入反相器 $DI_{(i+5)(j+1)}$ 和 $DI_{(i+5)(j+2)}$ 驱动. 如 DI_{00} 的 2 个输入为节点 G_2, G_3 , 而非节点 G_1, G_2 , 这样连接的目的是防止发生 TNUs 时, 几个发生翻转的节点之间构成锁存环结构将错误值锁存, 导致共模故障使输出值 Q 翻转. 该结构中的 8 个传输门电路细分为 2 组, 第 1 组传输门 ($TG_1\sim TG_4$) 控制整个结构在透明期和锁存期之间跳变; 第 2 组传输门 ($TG_5\sim TG_8$) 作为钟控结构, 在透明期关闭减小锁存器的功耗, 并在锁存期打开, 静态存储逻辑值.

该锁存器的工作原理是: 在时钟 C_k 为低电平, 时钟反向值 C_n 为高电平时, 第 1 组传输门 ($TG_1\sim TG_4$) 打开, 第 2 组传输门 ($TG_5\sim TG_8$) 关闭, 锁存器工作在透明期. 输入 D 上的数据通过第 1 组传输门进入锁存器内部 A_1, A_2, A_3, A_4 节点, 并通过 A_4 节点将 D 输出. 当 C_k 为高电平时, 第 1 组传输门 ($TG_1\sim TG_4$) 关闭, 第 2 组传输门 ($TG_5\sim TG_8$) 打开, 锁存器进入锁存期. 此时第 2 组传输门将最后 1 列的数值反馈到第 1 列上, 静态保持数据.

2.3 加固原理分析及仿真

按照电路中同时发生翻转的节点数目, 分别对 SEU, DNU 和 TNU 加以分析, 并且采用 Hspice 工具进行故障注入分析. 仿真条件如下: 采用 32 nm PTM 工艺, 温度设置为室温 25℃, 供电电压设置为 0.9 V. 为了便于故障注入, 将时钟周期设置为较长的 6 ns, 占空比设置为 1/2.

由于 C_k 为低电平期间, 整个结构处于透明期,

图 3 本文结构

结构内部节点以及输出节点一直受到输入激励的驱动. 在此期间, 外部高能粒子的影响会被输入激励的作用相抵, 使节点很难被高能粒子影响发生翻转. 另外, 在极少数外部粒子能量特别大的情况下会使内部节点的逻辑值发生翻转, 但由于高能粒子作用持续时间较短, 在作用时间结束后, 发生翻转的节点会在外部激励的驱动下快速恢复到正确值, 在输出上只表现为 1 个短暂的毛刺. 因此, 本文将着重分析 C_k 为高电平时整个结构处于锁存期的情况.

情形 1. 假设电路中只有一个节点的逻辑值发生了翻转. 当一个节点发生翻转时, 只会发生由逻辑值 0 变为 1, 或由 1 变为 0 这 2 种情况. 对这 2 种情况分别进行分析, 当节点发生 0 到 1 的翻转时, 会造成同行下一个节点发生 1 到 0 的翻转, 不会影响到其他节点. 2 个翻转节点经锁存环反馈后, 自恢复为正确值. 当节点发生 1 到 0 的翻转时, 错误的逻辑值被双输入反相器阻断, 不会传播到其他节点处, 这种情况下只有原始翻转的节点, 没有继发翻转的节点, 同样经反馈后自恢复.

分析 1 到 0 和 0 到 1 这 2 种故障造成的节点翻转情况, 每一个 0 到 1 翻转都会造成下一个节点发生继发的 1 到 0 的翻转, 即 1 到 0 的翻转造成的节点翻转情况, 都为该点同行上一个节点发生 0 到 1

翻转造成的节点翻转情况的真子集. 所以整个结构中的单个节点翻转情况, 只需要考虑发生 0 到 1 的翻转情况即可. 为了验证这种情况, 在电路中, 取 A_1 节点进行 0 到 1 的故障注入, 同时在不同时刻取 A_1, B_1 节点进行 1 到 0 的故障注入, 结果如图 4 所示. A_1 节点发生 0 到 1 翻转后, 造成 B_1 节点发生继发的 1 到 0 的翻转. 而 2 个时刻 B_1 节点的翻转都没有继续传播到 C_1 节点处, 迅速恢复到正确的逻辑值, 只产生了暂时的瞬态脉冲. 比较 2 个时刻节点发生翻转的情况, 可证明 1 到 0 的翻转只是 0

图 4 单点故障注入

到 1 的翻转的真子集. 另外, 该结构中的其他节点在受到高能粒子影响发生翻转后, 都会自恢复; 输出 Q 的值若发生翻转, 也会迅速自恢复成正确值, 只会出现 1 个毛刺.

情形 2. 假设电路中发生了 DNUs, 即 2 个节点同时发生翻转. 若这 2 个错误节点传播路径上没有经过相同的双输入反相器, 则这 2 个翻转节点之间就没有建立任何联系, 最多都发生 0 到 1 的翻转, 只造成电路中 4 个节点发生翻转, 经反馈环反馈后自恢复. 如 A_1 节点与 C_3 节点同时发生 0 到 1 的翻转, A_1 节点的错误逻辑值会使 B_1 节点发生继发翻转, C_3 节点会造成 D_3 节点发生继发翻转; 发生翻转的 A_1, B_1 节点与 C_3, D_3 节点之间相对独立, 不会互相影响传播到更多节点处, 经反馈后自恢复为正确逻辑值.

若发生翻转的节点传播路径经过了相同的双输入反相器, 会对电路造成更大的破坏, 造成更多的继发翻转. 例如, A_2 与 A_3 节点同时发生 0 到 1 翻转, 它们分别造成 B_2 节点与 B_3 节点发生继发翻转; 并且错误逻辑值经过相同的双输入反相器 DI_{11} 与 DI_{01} 单元, 会造成更多的节点翻转. 考虑整个结构的对称性, 只需要分析一组传播路径发生交叠的节点组合即可. 首先选择 A_2 节点, 再分析可能与它交叠的节点, 当 A_2 节点发生 0 到 1 的翻转后, 会使 B_2 节点翻转. 它会传播到双输入反相器 $DI_{00}, DI_{01}, DI_{10}, DI_{11}$ 中. 只有 A_1, B_1, A_3, B_3 节点中的任意一个发生翻转, 才有可能与它经过相同的双输入反相器. 另外, A_1 节点与 A_3 节点是等价的, B_1 节点与 B_3 节点是等价的; 所以只需要考虑 A_1 与 B_1 节点即可. 当 A_1 节点与 A_2 节点同时翻转后, 会造成 B_1, B_2, C_1, D_1 节点发生翻转; 并且 E_1 节点处于高阻态, 将保留电路中存在的正确值, 经锁存环反馈后错误值自恢复. 当 B_1 节点与 A_2 节点同时翻转后, 会造成 B_2, C_1, D_1 节点发生翻转; 并且 E_1 节点处于高阻态, 将保留电路中存在的正确值, 经反馈后错误值自恢复. 电路中其他同时发生翻转的节点对, 也会经相似的过程自恢复.

对 2 种传播路径有交叉的节点对进行仿真分析, 结果如图 5 所示. B_1 与 A_2 节点对造成的节点翻转情况为 A_1 与 A_2 节点对造成的节点翻转情况的真子集, 即在 DNUs 中, 传播路径存在交叉的情况下, 只需要考虑同一列上 2 个相邻节点同时发生 0 到 1 的翻转.

图 5 双点故障注入

情形 3. 假设电路中发生了 TNUs, 即 3 个节点同时发生翻转. 同样若这 3 个错误节点传播路径上没有经过相同的双输入反相器, 这 3 个翻转之间就没有建立任何联系, 最多都发生 0 到 1 的翻转, 造成电路中 6 个节点发生翻转; 发生翻转的节点会经反馈后自恢复.

只需要考虑翻转节点的传播路径经过了相同的双输入反相器的情况. 这种情况下, 主要分为 2 大类, 一类是 2 个错误节点传播过程中经过了相同的双输入反相器, 而另外一个节点相对独立, 没有经过相同的双输入反相器. 根据前文的分析, 在 2 个翻转节点传播路径存在交叉的情况下, 只需要考虑同一列上 2 个相邻节点同时发生 0 到 1 的翻转. 本文取 3 个翻转的节点 A_2, A_3, E_3 , 其中 A_2, A_3 节点经过了相同的双输入反相器, 会造成 B_2, B_3, C_2, D_2 节点发生继发的翻转, E_3 节点只会造成 F_3 节点发生翻转. 这些错误节点不再向前传播, 在锁存环的反馈中自恢复到正确逻辑值. 考虑整个电路的对称性, 在这种情况下, 无论电路中哪 3 个节点发生翻转, 最多只会使电路中 8 个节点发生翻转, 同时这 8 个翻转的节点经过反馈后会迅速自恢复.

若 3 个翻转节点传播过程中都经过了相同的双输入反相器, 则会对电路造成最大的破坏. 考虑电路的对称性, 在这种情况下只需要分析一组情况即可. 首先固定 A_2, A_3 节点, 再分析与它们的传播路径有交叉的节点. 当 A_2 和 A_3 节点发生 0 到 1 的翻转后, 会使 B_2, B_3, C_2, D_2 节点翻转. 它会经过 $DI_{00}, DI_{01}, DI_{02}, DI_{10}, DI_{11}, DI_{12}, DI_{20}, DI_{21}, DI_{30}, DI_{31}$ 双输入反相器. 只有 $A_1, B_1, C_1, D_1, C_3, D_3, A_4, B_4$ 节

点中的任意一个发生翻转才有可能与它经过相同的双输入反相器. 其中, A_1 与 A_4 是等价节点, B_1 与 B_4 节点是等价节点, 所以只需要考虑 $A_1, B_1, C_1, D_1, C_3, D_3$ 节点即可. 对这 6 种情况进行仿真分析结果如图 6 所示, 发生翻转的节点迅速自恢复. 电路中其他同时发生翻转的 3 个节点组的自恢复过程与之类似, 每种组合都能迅速自恢复正确值.

图 6 三点故障注入

3 综合比较

将提出的锁存器与前面提及的 4 种加固设计 (LCTNUT, TNU-Latch, TNURL, TNUTL) 以及其他经典 DNUs 的加固结构 DNURHL^[15], NTHLTCH^[16], DNURL^[17] 进行全面对比, 包括单粒子加固能力、性能和面积开销等. 为了公平起见, 本文涉及的所有结构的尺寸为能完成其设定功能的最小尺寸, 即除在原文中有特殊设定的晶体管尺寸外, 其余晶体管尺寸为业界普遍使用的仿真尺寸, 其 PMOS 管为

$8\lambda/2\lambda$, NMOS 管尺寸为 $4\lambda/2\lambda$; 时钟信号 C_k 的反相信号 C_n 经反相器产生, 仿真条件仍然保持之前的设定.

仿真结果如表 1 所示, 其中延迟指的是在透明期时输入 D 到 Q 的延迟; 功耗指的是在同样的输入下, 在 40 ns 时间内整个电路产生的平均功耗; 面积开销采用所有晶体管的宽长比之和 (unit size transistors, UST) 来衡量^[18]. 面积开销与 UST 成正比, 采用 UST 进行面积大小的比较具有一定的代表性, 其计算公式为

$$UST = \sum_{i=1}^n (W/L)_i \quad (1)$$

其中, W 为晶体管的宽度; L 为晶体管的长度.

由于本文提出的锁存器采用了双输入反相器单元作为基本器件, 没有使用 C 单元, 因此晶体管数目较少. 锁存器主体部分再加上时钟端 C_k 变为 C_n 的反相器电路, 整个结构一共采用了 66 个晶体管电路. 按照上面给出的宽长比并代入式(1)进行计算, 整个结构的 $UST=150$. 对比 7 种加固锁存器可知, 本文提出的锁存器的面积开销相对较小. TNURL 结构面积开销巨大的原因是在 TNURL 结构采用了大量 3 输入 C 单元结构, 导致整个结构的晶体管数目很大, 锁存器主体部分再加上时钟端 C_k 变为 C_n 的反相器电路, 整个结构一共采用了 130 个晶体管电路. 将 TNURL 结构按照上文给出的宽长比代入式(1)进行计算, $UST=390$. 本文结构还采用了大量的钟控模块, 减少了电路在透明期的功耗. 可以看到, 本文结构的功耗也处于较低水平, 而面积开销和功耗最小的 3 个结构 (TNUTL, LCTNUT, DNURHL) 在功能上都存在一些缺陷; 其中, TNUTL 结构是动态锁存器没有反馈环, 无法静态存储数据, 在时钟频率较小时, 其受到漏电

表 1 8 种锁存器仿真结果比较

锁存器	宽长比之和	功耗/ μ W	延迟/ps	PDP/aJ	容忍 SEU	容忍 DNUs	容忍 TNUs	自恢复 TNUs
DNURHL ^[15]	150	0.8	9.6	7.5	是	是	否	否
NTHLTCH ^[16]	180	1.0	24.4	24.4	是	是	否	否
DNURL ^[17]	204	1.1	7.7	8.3	是	是	否	否
LCTNUT ^[13]	138	0.7	6.1	4.1	是	是	是	否
TNU-Latch ^[6]	222	1.3	118.6	154.5	是	是	是	否
TNUTL ^[12]	114	0.7	38.1	27.8	是	是	是	否
TNURL ^[10]	390	1.7	14.7	25.6	是	是	是	是
本文	150	1.1	7.6	8.3	是	是	是	是

流的影响无法正常工作. LCTNUT 结构在发生 TNUs 时, 内部节点会出现高阻态, 使用节点电容保持逻辑值, 同样会受到漏电流的影响. DNURHL 不会受到漏电流的影响, 但是它对 TNUs 没有容忍能力.

PDP 能够综合衡量电路的功耗延迟特性, PDP 越小, 电路结构的工作性能就越优良. 与 7 个加固结构相比, 本文结构的 PDP 仅次于 LCTNUT 以及 DNURHL; 与 4 个能够容忍 TNUs 的加固结构相比, 本文结构的 PDP 次优, 仅次于 LCTNUT.

本文结构最重要的特性是不仅可以保证 Q 上的逻辑值不会受到 TNUs 的影响, 还可以自恢复 TNUs 造成的内部节点翻转, 使内部节点不会长时间地受到漏电流的影响, 并且实现的开销很小. 与具有同样功能的 TNURL 结构进一步对比, 本文的锁存器结构功耗减小了 35.3%, 延迟减小了 48.3%, PDP 减少了 67.6%.

4 结 语

本文提出了一种加固锁存器, 它以双输入反相器作为基本结构, 并且在内部采用不对称的连线方式, 有效地消除了共模故障. 在 32 nm PTM 工艺下的 Hspice 仿真表明, 该结构不仅能够完全容忍由高能粒子引起的 TNUs, 还能迅速自恢复 TNUs 导致的内部节点逻辑值的翻转; 与最新的 TNUs 加固锁存器相比, 其功耗、延迟、面积和 PDP 开销方面都有很大的优化.

参考文献(References):

- [1] Ibe E, Taniguchi H, Yahagi Y, *et al.* Impact of scaling on neutron-induced soft error in SRAMs from a 250 nm to a 22 nm design rule[J]. IEEE Transactions on Electron Devices, 2010, 57(7): 1527-1538
- [2] Feng Yanjun, Hua Gengxin, Liu Shufen. Radiation hardness for space electronics[J]. Journal of Astronautics, 2007, 28(5): 1071-1080(in Chinese)
(冯彦君, 华更新, 刘淑芬. 航天电子抗辐射研究综述[J]. 宇航学报, 2007, 28(5): 1071-1080)
- [3] Jiang J W, Xu Y R, Ren J C, *et al.* Low-cost single event double-upset tolerant latch design[J]. Electronics Letters, 2018, 54(9): 554-556
- [4] Eftaxiopoulos N, Axelos N, Pekmestzi K. DONUT: a double node upset tolerant latch[C] //Proceedings of the IEEE Computer Society Annual Symposium on VLSI. Los Alamitos: IEEE Computer Society Press, 2015: 509-514
- [5] Huang Z F, Zhang Y Y, Su Z A, *et al.* A hybrid DMR latch to tolerate MNU using TDICE and WDICE[C] //Proceedings of the 27th IEEE Asian Test Symposium. Los Alamitos: IEEE Computer Society Press, 2018: 121-126
- [6] Watkins A, Tragoudas S. Radiation hardened latch designs for double and triple node upsets[J]. IEEE Transactions on Emerging Topics in Computing, 2020, 8(3):616-626
- [7] Nicolaidis M, Perez R, Alexandrescu D. Low-cost highly-robust hardened cells using blocking feedback transistors[C] //Proceedings of the 26th IEEE VLSI Test Symposium. Los Alamitos: IEEE Computer Society Press, 2008: 371-376
- [8] Blum D R, Delgado-Frias J G. Schemes for eliminating transient-width clock overhead from SET-tolerant memory-based systems[J]. IEEE Transactions on Nuclear Science, 2006, 53(3): 1564-1573
- [9] Calin T, Nicolaidis M, Velazco R. Upset hardened memory design for submicron CMOS technology[J]. IEEE Transactions on Nuclear Science, 1996, 43(6): 2874-2878
- [10] Yan A B, Feng X F, Hu Y J, *et al.* Design of a triple-node-upset self-recoverable latch for aerospace applications in harsh radiation environments[J]. IEEE Transactions on Aerospace and Electronic Systems, 2020, 56(2): 1163-1171
- [11] Mitra S, Seifert N, Zhang M, *et al.* Robust system design with built-in soft-error resilience[J]. Computer, 2005, 38(2): 43-52
- [12] Liu X. Multiple node upset-tolerant latch design[J]. IEEE Transactions on Device and Materials Reliability, 2019, 19(2): 387-392
- [13] Yan A B, Lai C P, Zhang Y L, *et al.* Novel low cost, double-and-triple-node-upset-tolerant latch designs for nano-scale CMOS[OL]. [2019-11-21]. <https://ieeexplore.ieee.org/document/8474381>
- [14] Eftaxiopoulos N, Axelos N, Pekmestzi K. DIRT latch: a novel low cost double node upset tolerant latch[J]. Microelectronics Reliability, 2017, 68: 57-68
- [15] Yan A B, Yang K, Huang Z F, *et al.* A double-node-upset self-recoverable latch design for high performance and low power application[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2019, 66(2): 287-291
- [16] Li Y Q, Wang H B, Yao S Y, *et al.* Double node upsets hardened latch circuits[J]. Journal of Electronic Testing, 2015, 31: 537-548
- [17] Yan A B, Huang Z F, Yi M X, *et al.* Double-node-upset-resilient latch design for nanoscale CMOS technology[J]. IEEE Transactions on Very Large Scale Integration Systems, 2017, 25(6): 1978-1982
- [18] Katsarou K, Tsiatouhas Y. Soft error interception latch: double node charge sharing SEU tolerant design[J]. Electronics Letters, 2015, 51(4): 330-332