



基于蜂窝拓扑结构的柔性电子系统通信架构设计

徐长卿, 刘毅*, 杨森, 杨银堂

西安电子科技大学微电子学院, 西安 710071

* 通信作者. E-mail: yiliu@mail.xidian.edu.cn

收稿日期: 2018-01-08; 接受日期: 2018-03-27; 网络出版日期: 2018-06-06

国家重点基础研究发展计划 (批准号: 2015CB351906) 和高等学校学科创新引智计划 (批准号: B12026) 资助项目

摘要 近年来柔性电子的出现带动了可穿戴设备、医疗电子、柔性显示和物联网等领域的飞速发展. 随着柔性电子复杂性的提升, 越来越多的功能器件被集成在柔性衬底上, 功能器件之间的通信成为柔性电子设计中的重要问题之一. 本文针对岛桥结构的柔性电子系统, 提出了一种基于蜂窝拓扑结构的片上网络通信架构以及相应的路由算法. 相比于传统结构, 该架构能够有效地避免局部形变过大导致的互连导线断裂. 同时, 在面积和功耗方面也有显著改善. 相比于 Mesh 结构的片上网络, 本文提出的基于蜂窝拓扑的通信架构减少了 46.43% 的面积和 30.51% 的功耗.

关键词 蜂窝结构, 柔性电子, 片上网络, 岛桥结构

1 引言

微纳电子器件是信息的基础单元, 实现其柔性及可延展化, 并能够适应非平面的工作环境 (比如人体), 将突破现在电子器件的应用范围, 促进信息与人的融合^[1]. 微纳电子器件的柔性化使得柔性可延展电子系统成为可能, 从而推动了无线可穿戴设备、医疗电子、柔性显示和物联网等领域的飞速发展.

在过去的 10 多年里, 片上系统的快速发展使得将一个包含处理单元、无线通信模块、存储器等模块的完整系统可以集成在一颗芯片上^[2]. 片上系统的高度集成使得设计如图 1 所示的包含传感器、计算模块、通讯模块的柔性电子系统成为可能^[3]. 该系统采用柔性互连线^[4,5]将传感器、电源模块和 SoC (system on chip) 集成在柔性可延展基板上. 目前, 很多传感器、屏幕和天线都可以实现柔性化设计^[6]. 但片上系统是基于无机半导体材料 (例如硅), 由于无机半导体材料刚性和脆性的特点使之难以形变, 导致整个电子系统的柔性和可延展性受到了极大的限制. 为了解决无机半导体材料本身刚性和脆性 (断裂形变仅约为 1%) 与实际应用中可延展柔性需求之间的矛盾, 美国 University of Illinois 的 Rogers 教授研究组与西北大学 Huang 教授研究组合作, 创造性地利用力学结构设计的方法, 将无机半

引用格式: 徐长卿, 刘毅, 杨森, 等. 基于蜂窝拓扑结构的柔性电子系统通信架构设计. 中国科学: 信息科学, 2018, 48: 701–712, doi: 10.1360/N112018-00009
Xu C Q, Liu Y, Yang S, et al. Design of communication architecture for flexible electronic system based on honeycomb (in Chinese). Sci Sin Inform, 2018, 48: 701–712, doi: 10.1360/N112018-00009

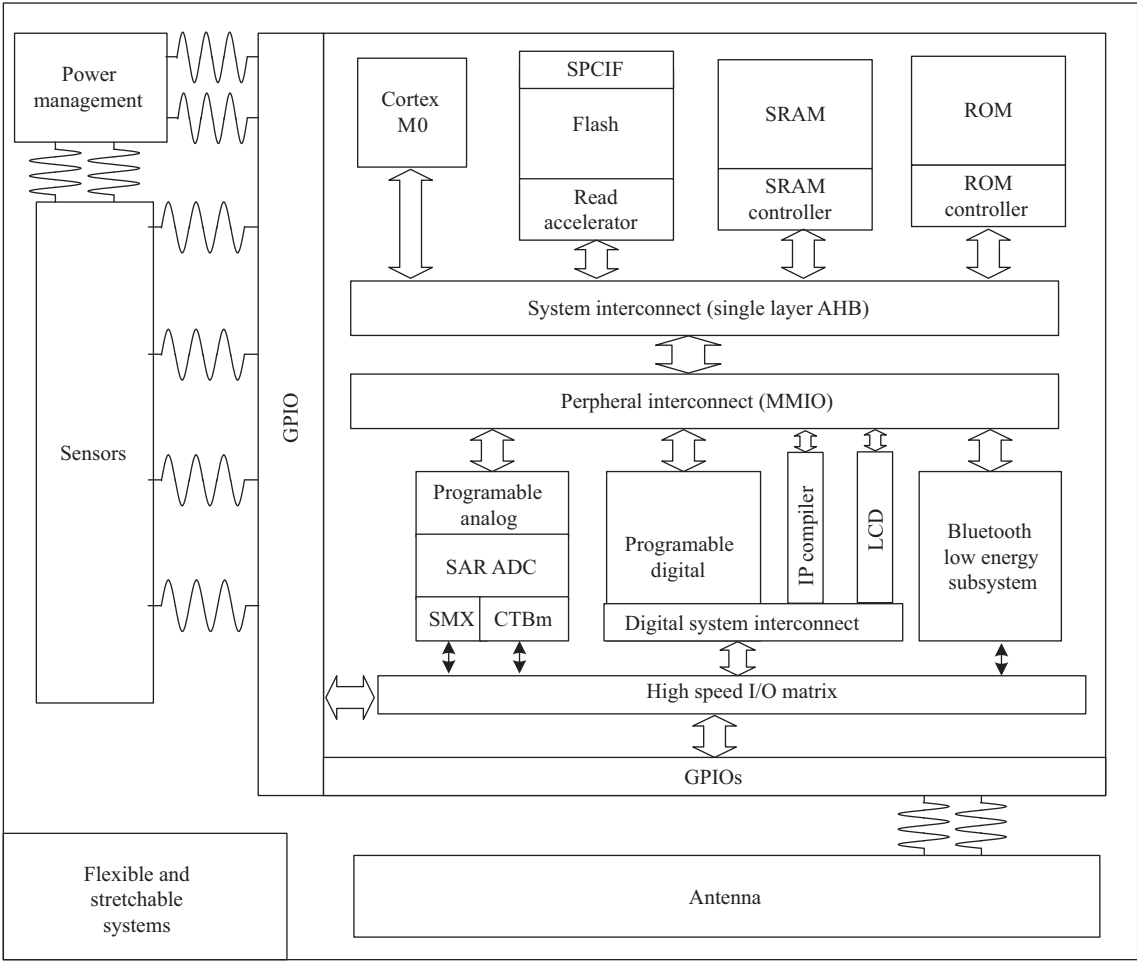


图 1 柔性可延展电子系统示意图

Figure 1 Diagram of a flexible and stretchable electronic system

导体材料与柔性基体巧妙地结合, 成功实现了整体器件的可弯曲及可延展^[7]. 目前, 无机可延展柔性结构的设计方法主要分为波纹结构设计和岛桥结构设计两大类^[7~10]. 波纹结构依靠自身屈曲形状的特点可实现约 20% 的延展性^[11], 为突破该极限, 科学家又提出了岛桥结构设计. 在岛桥结构中, 刚性功能器件粘在预拉伸的柔性衬底上, 各功能器件通过互连导线连接. 该结构在保证功能器件的形变水平较低的同时, 有效地提升了整体结构的延展性, 图 2 为蛇形互联岛桥结构设计的示意图, 为保证岛桥结构优良的延展性, 该结构中要求采用单层不交叉的布线方式. 虽然岛桥结构为实现超大延展性的电子产品提供了可能, 但单层不交叉的布线要求也带来了互连线资源匮乏, 非相邻功能器件无法通信的问题, 最终导致复杂系统难以实现.

为了解决该问题, 本文提出了片上网络技术与岛桥结构相结合的通讯架构设计方案. 图 3 为基于传统 Mesh 结构片上网络的柔性可延展电子系统示意图. 通过采用片上网络的通信方案解决不相邻功能器件的通信问题, 并提出一种基于蜂窝拓扑结构的通讯架构, 在牺牲少量功耗指标的前提下, 减小了芯片的面积并且降低了功能器件的形变水平. 本文第 2 节对提出的基于蜂窝拓扑结构的通讯架构进行结构建模, 并采用有限元分析软件 ANSYS 仿真分析了基于蜂窝拓扑结构的通讯架构在可延展性

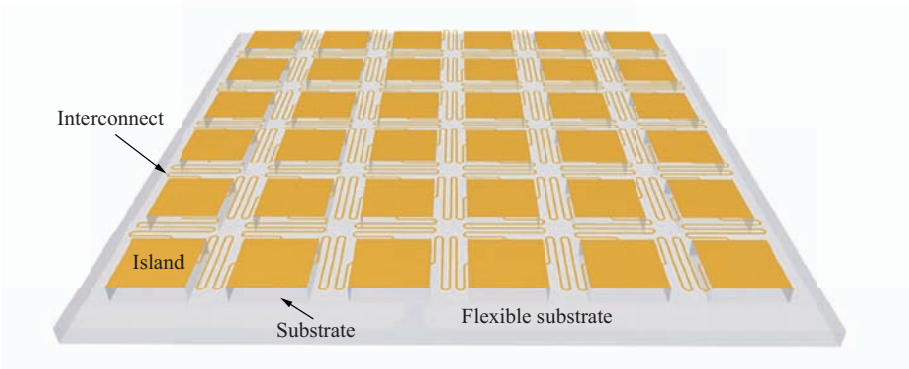


图 2 (网络版彩图) 岛桥结构示意图
Figure 2 (Color online) Diagram of island-bridge structure

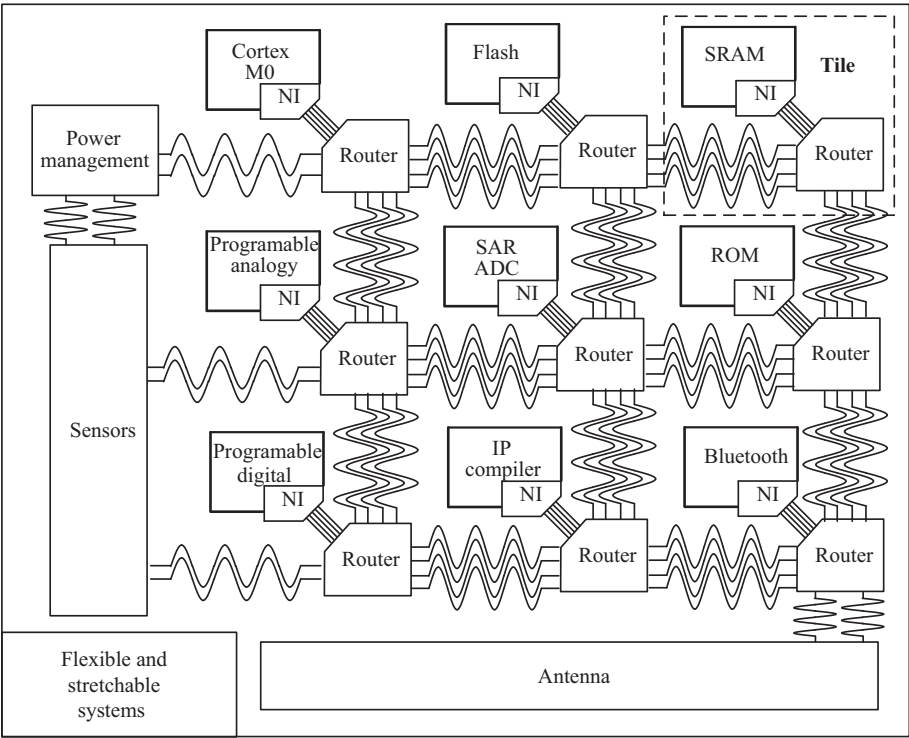


图 3 基于片上网络的柔性可延展电子系统示意图
Figure 3 Diagram of flexible and stretchable electronic system based on network-on-chip

方面的提升. 第 3 节从网络性能的角度分析该拓扑结构的可扩展性、通讯直径等指标. 第 4 节针对提出的拓扑结构提出相应的路由算法. 第 5 节从面积和功耗的角度对比分析提出的通信架构. 第 6 节总结全文.

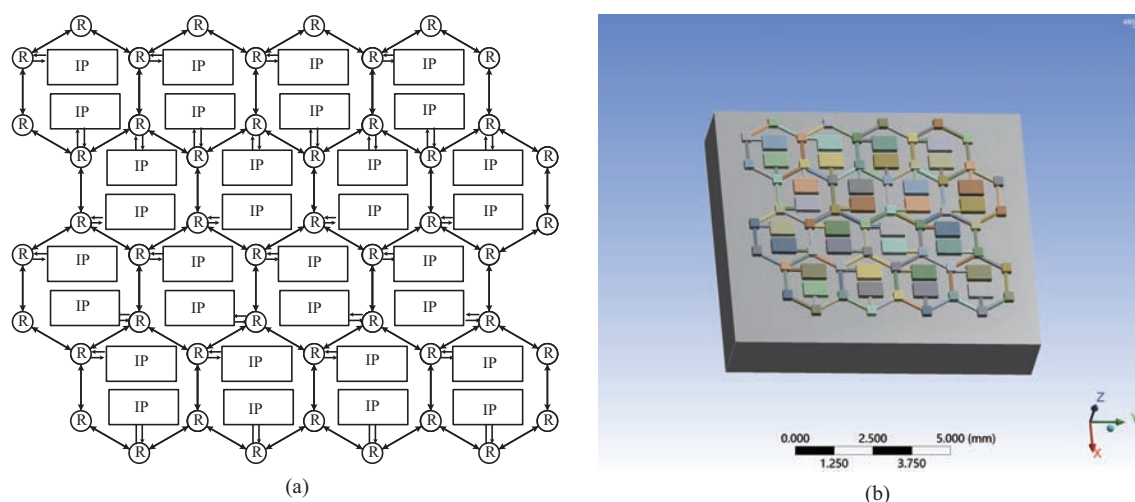


图 4 (网络版彩图) 基于蜂窝拓扑结构的片上网络通讯架构示意图和结构模型示意图

Figure 4 (Color online) Diagram of the communication architecture of honeycomb network-on-chip (a) and the structure model of honeycomb network-on-chip (b)

2 基于蜂窝拓扑结构的片上网络力学分析

由于可穿戴设备、医疗电子等电子设备面临着复杂的应用环境, 柔性电子系统要能够满足任意方向的拉伸、压缩和弯折的形变要求. 对于岛桥结构的设计, 拓扑结构直接影响整个系统的可延展性. 本文基于蜂窝拓扑结构, 提出了一种新型的适用于柔性系统的片上网络通讯架构. 图 4(a) 为基于蜂窝拓扑结构的片上网络通讯架构示意图. 从图中可以看到, 蜂窝结构的顶点由一个四端口的路由器组成, 每个蜂窝内部分布着两个功能器件 (IP 核). 任意两个 IP 核均可以通过多个路由器的数据传递实现通信.

为分析所提出的结构在拉伸、压缩和弯折情况下的形变情况, 我们在 ANSYS 有限元分析软件中建立了基于蜂窝拓扑结构的柔性电子系统通信架构的结构模型, 其中路由器和 IP 核材质为硅, 互连导线材质为铜, 柔性衬底为 PDMS 材料. 图 4(b) 为 ANSYS 软件中建立的结构模型.

当基于蜂窝拓扑结构的柔性电子系统受到拉伸位移荷载时, 蜂窝拓扑结构主要在 Y 轴方向上发生应变, 同时在 Z 和 X 轴方向上有少量应变, 图 5(a) 为基于蜂窝拓扑结构的柔性电子系统应力示意图. 图 5(b) 为基于蜂窝拓扑结构的柔性电子系统在拉伸情况下的应变分布情况, 可以看到在拉伸情况下, 该结构上电子系统所在区域的应变分布十分均匀. 因此该结构在拉伸情况下能够有效地避免局部形变过大导致的互连导线断裂.

当基于蜂窝拓扑结构的柔性电子系统受到压缩荷载时, 蜂窝拓扑结构主要在 Y 轴方向上发生应变. 同时由于 PDMS 上表面粘附着硅器件和铜互连线, 导致 PDMS 上下表面的张力不同. 在受到 Y 轴方向上的压缩位移荷载后, 会在 Z 轴方向上产生一定的翘曲, 图 6(a) 为基于蜂窝拓扑结构的柔性电子系统应力示意图. 图 6(b) 为基于蜂窝拓扑结构的柔性电子系统在压缩情况下的应变分布情况, 可以看到在压缩情况下, 该结构上电子系统所在区域的应变分布比较均匀. 因此该结构在压缩情况下依然能够有效地避免局部形变过大导致的互连导线断裂的问题.

当基于蜂窝拓扑结构的柔性电子系统上下表面受到不同方向荷载时, 蜂窝拓扑结构主要在 Z 轴方向上发生应变. 同时在 X 和 Y 轴方向上有少量应变, 图 7(a) 为基于蜂窝拓扑结构的柔性电子系统应

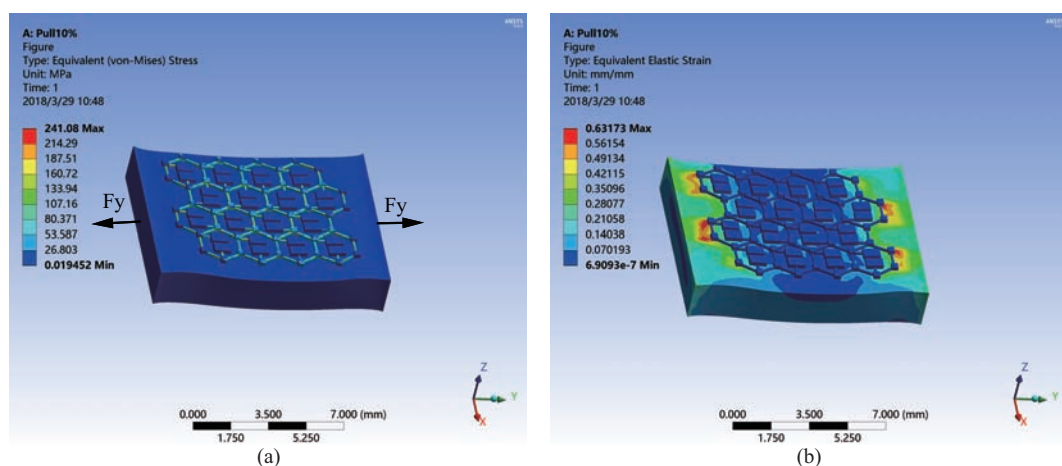


图 5 (网络版彩图) 基于蜂窝拓扑结构的柔性电子系统拉伸 10% 情况下应力和应变分布

Figure 5 (Color online) Stress and strain distribution of the honeycomb network-on-chip when tension is 10%. (a) Overall stress distribution; (b) overall strain distribution

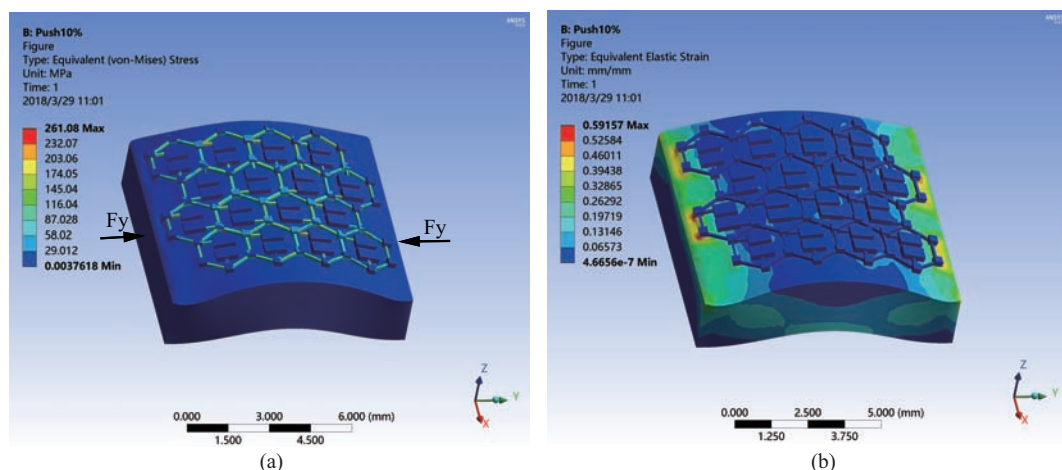


图 6 (网络版彩图) 基于蜂窝拓扑结构的柔性电子系统压缩 10% 情况下应力和应变分布

Figure 6 (Color online) Stress and strain distribution of the honeycomb network-on-chip when compression is 10%. (a) Overall stress distribution; (b) overall strain distribution

力示意图. 图 7(b) 为基于蜂窝拓扑结构的柔性电子系统在弯折情况下的应变分布情况, 可以看到在弯折情况下, 该结构上电子系统所在区域的应变分布比较均匀. 因此该结构在弯折情况下依然能够有效地避免局部形变过大导致的互连导线断裂的问题.

3 基于蜂窝拓扑结构的片上网络性能参数分析

在现有的片上网络拓扑结构中, 主要分为规则拓扑和非规则拓扑, 规则拓扑由于结构简单、可扩展性强被广泛使用. 目前, 常见的片上网络拓扑结构有 SPIN^[12], BFT^[13], Mesh^[14], Torus^[15], Octagon^[16] 和 Spidergon^[17] 结构, 具体的拓扑结构见图 8. 从图 8 可以看出 SPIN, BFT 拓扑结构由于链路结构复杂, 增加了芯片布局布线的难度, Mesh, Torus 拓扑结构简单, 易于芯片布局布线, 可扩展性强, 但

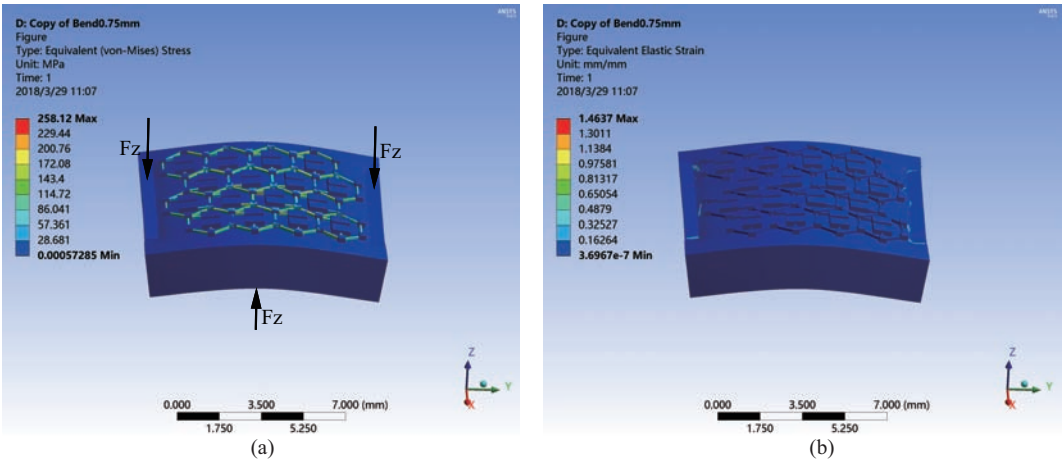


图 7 (网络版彩图) 基于蜂窝拓扑结构的柔性电子系统弯折情况下应力和应变分布

Figure 7 (Color online) Stress and strain distribution of the honeycomb network-on-chip when it is bent. (a) Overall stress distribution; (b) overall strain distribution

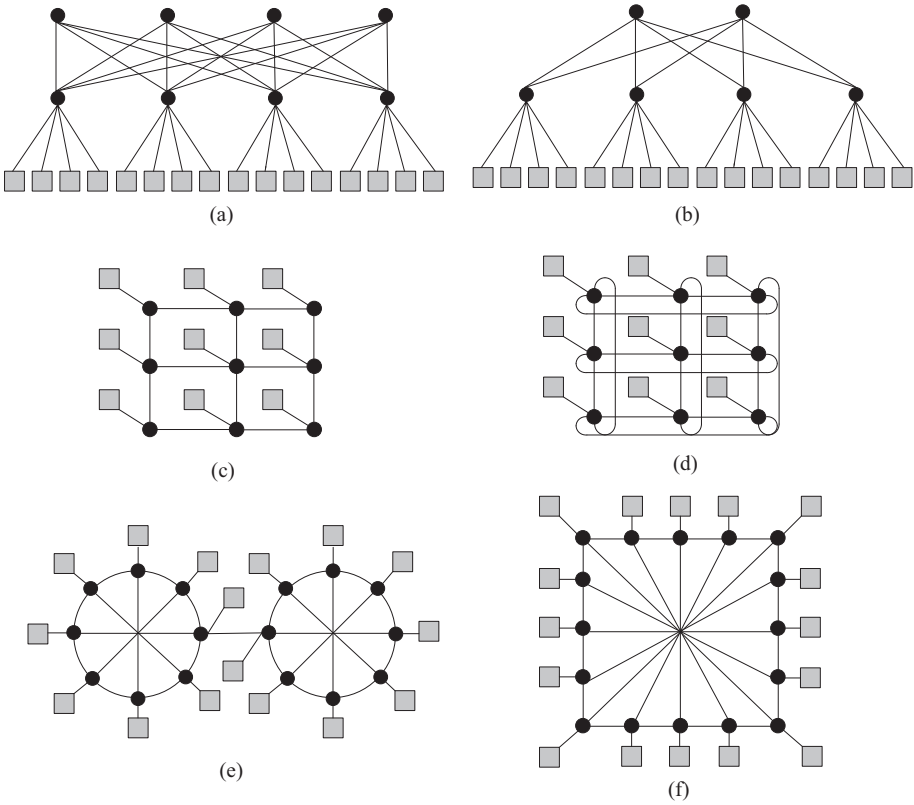


图 8 各种拓扑结构示意图

Figure 8 Diagram of different topologies. (a) SPIN; (b) BFT; (c) Mesh; (d) Torus; (e) Octagon; (f) Spidergon

链路数较多, Octagon, Spidergon IP 核之间通信跳数少, 结构简单, 但扩展节点易成为通信瓶颈.

表 1 为各拓扑结构性能参数的比较. 从表中可以看到本文提出的基于蜂窝的拓扑结构的节点度

表 1 各拓扑结构性能参数比较

Table 1 Comparison of the parameters of different topologies

Topology	IPs	Routers	Node degree	Diameter	Links
SPIN ^[12]	N	$3N/4$ ($N \geq 64$)	4	$N/8$	$7N/2$ ($N \geq 64$)
BFT ^[13]	N	$N/2$	6	$N/8$	$2N$
Mesh ^[14]	N	N	5	$2(\sqrt{N} - 1)$	$3N - 2\sqrt{N}$
Torus ^[15]	N	N	5	$2\lceil\sqrt{N}/2\rceil$	$3N$
Octagon ^[16]	N	N	7	$\lceil N/4 \rceil$	$(N \bmod 8 + 1) \times 20$
Spidergon ^[17]	N	N	4	$\lceil N/4 \rceil$	$5N/2$
Proposed	N	N	4	$\lceil 5\sqrt{N}/2 \rceil - 3$	$5N/2$

小于其他拓扑结构. 节点度为单个路由器所连接链路数的个数. 由于在形变过程中, 路由器和链路的连接处最易发生断裂, 因此节点度的减少有利于提升整个拓扑的可靠性. 在网络直径方面, 基于蜂窝的拓扑结构的网络直径小于 SPIN, BFT, Octagon 和 Spidergon, 但大于 Mesh 和 Torus. 网络直径为拓扑中相隔最远的路由器的距离, 网络直径越大代表着最大通讯延时越大. 因此在通讯延时方面, 基于蜂窝拓扑的结构劣于 Mesh 和 Torus. 但从表 1 中可以看出, 在链路数方面, 该结构的链路数不大于其他 6 种拓扑结构, 因此该结构由链路带来的面积不会超过其他 6 种拓扑结构.

4 OEXY 路由算法

针对基于蜂窝的拓扑结构, 本文提出了低复杂度的路由算法 OEXY (odd-even X-Y dimension ordered routing). 为了便于路由算法的描述, 将基于蜂窝拓扑的片上网络如图 9 所示放置. 图 9 中放置了 32 个 IP 核, 红色实线代表根据 OEXY 路由算法, IP1 向 IP21 发送数据过程和数据包的传送路线. 根据蜂窝拓扑结构的特点, 我们提出了奇数节点路由器转向模型和偶数节点路由器转向模型, 如图 10 所示. 在偶数节点路由器转向模型中除去与 IP 核相连的局部输入输出接口外, 还有左转、右转和上行输入输出接口. 在奇数节点路由器转向模型中除去与 IP 核相连的局部输入输出接口外, 还有左转、右转和下行输入输出接口.

为了方便描述路由算法 OEXY, 假设当前节点坐标为 $C(X_c, Y_c)$, 目标节点坐标为 $D(X_d, Y_d)$. 当当前节点的 X_c 为奇数时, 比较 Y_c 和 Y_d 的大小, 如果 Y_c 大于 Y_d , 数据进入下行接口并被传输到下一个路由器中. 如果 Y_c 小于或等于 Y_d , 由于奇数节点的路由器没有上行接口, 需要比较 X_c 和 X_d , 如果 X_c 小于 X_d , 数据进入右转接口并被传输到下一个路由器中, 如果 X_c 大于或等于 X_d , 数据进入左转接口并被传输到下一个路由器中. 当当前节点的 X_c 为偶数时, 比较 Y_c 和 Y_d 的大小, 如果 Y_c 小于 Y_d , 数据进入上行接口并被传输到下一个路由器中. 如果 Y_c 大于或等于 Y_d , 由于奇数节点的路由器没有下行接口, 需要比较 X_c 和 X_d , 如果 X_c 小于 X_d , 数据进入右转接口并被传输到下一个路由器中, 如果 X_c 大于或等于 X_d , 数据进入左转接口并被传输到下一个路由器中, 当 Y_c 等于 Y_d 并且 X_c 等于 X_d 的时候, 数据到达目标地址. 具体 OEXY 路由算法的伪代码如算法 1 所示.

5 仿真结果分析

为了评估所提出的基于蜂窝拓扑结构的柔性电子系统通信架构的性能, 分别采用 SPIN, BFT,

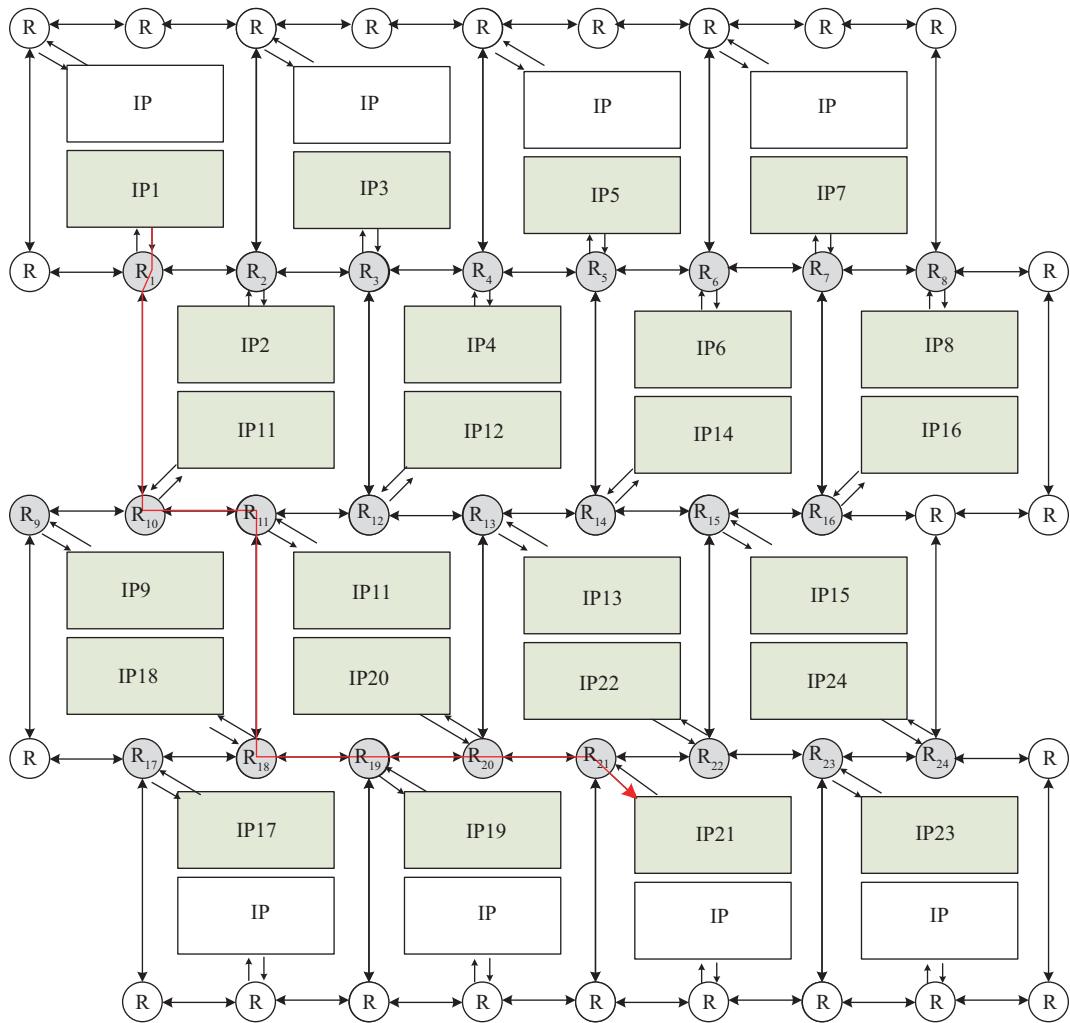


图 9 (网络版彩图) 基于蜂窝的拓扑结构的路由算法示意图

Figure 9 (Color online) Diagram of routing algorithm in honeycomb network-on-chip

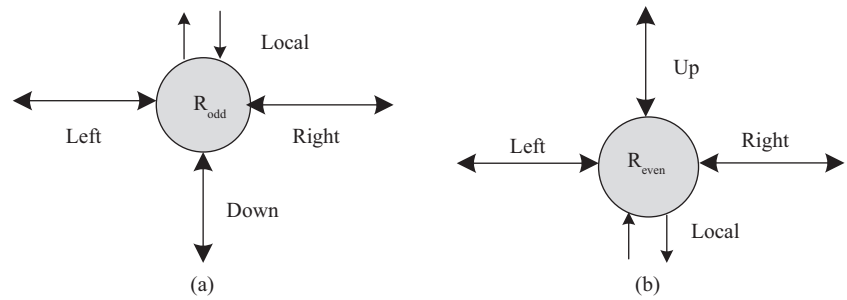


图 10 路由器转向模型

Figure 10 Turn model of routers. (a) Turn model of routers on odd node; (b) turn model of routers on even node

Mesh, Torus, Octagon, Spidergon 和提出的基于蜂窝的拓扑结构构建 4×4 的片上网络, 并通过 Stanford University 开发的周期精确的片上网络仿真软件 Booksim^[18] 和 University of California 开发片上网络

算法 1 Routing algorithm OEXY**Input:** $C(X_c, Y_c)$, $D(X_d, Y_d)$;

```

1: while  $(X_c, Y_c) \neq (X_d, Y_d)$  do
2:   if  $X_c$  is odd then
3:     if  $Y_c > Y_d$  then
4:       Go down;
5:        $Y_c = Y_c - 1$ ;
6:     else
7:       if  $X_c < X_d$  then
8:         Turn right;
9:          $X_c = X_c + 1$ ;
10:      else
11:        Turn left;
12:         $X_c = X_c - 1$ ;
13:      end if
14:    end if
15:  else
16:    if  $Y_c < Y_d$  then
17:      Go up;
18:       $Y_c = Y_c + 1$ ;
19:    else
20:      if  $X_c < X_d$  then
21:        Turn right;
22:         $X_c = X_c + 1$ ;
23:      else
24:        Turn left;
25:         $X_c = X_c - 1$ ;
26:      end if
27:    end if
28:  end if
29: end while

```

Output: Output port of the router.**表 2** 基于不同拓扑结构的片上网络的基本参数**Table 2** Basic parameters of different topologies

Topology	IPs	Routers	Length of message (flits)	Depth of buffer (flits)	Routing algorithm
SPIN ^[12]	16	8	32	2	NCA ^[20]
BFT ^[13]	16	6	32	2	NCA ^[20]
Mesh ^[14]	16	16	32	2	XY ^[20]
Torus ^[15]	16	16	32	2	Adapt_XY ^[20]
Octagon ^[16]	16	16	32	2	Adapt_min ^[20]
Spidergon ^[17]	16	16	32	2	Adapt_min ^[20]
Proposed	16	16	32	2	Proposed

功耗分析软件 ORION 3.0^[19] 对不同拓扑结构的片上网络的面积和功耗进行仿真分析. 各片上网络的基本参数信息如表 2 所示.

表 3 基于不同拓扑结构的片上网络面积比较
Table 3 Comparison of the area of different topologies

Area (μm^2)	SPIN	BFT	Mesh	Torus	Octagon	Spidergon	Proposed
Channel	0.04	0.03	0.05	0.09	0.05	0.05	0.04
Switch	0.13	0.05	0.17	0.17	0.11	0.11	0.07
Input FIFO	0.03	0.02	0.05	0.05	0.04	0.04	0.03
Output FIFO	0.01	0.01	0.01	0.01	0.01	0.01	0.01
Total ^[16]	0.21	0.11	0.28	0.32	0.21	0.20	0.15

表 4 基于不同拓扑结构的片上网络功耗比较
Table 4 Comparison of the power consumption of different topologies

Power (mW)	SPIN	BFT	Mesh	Torus	Octagon	Spidergon	Proposed
Channel wire power	15.28	11.97	18.66	26.03	13.40	11.51	13.59
Channel clock power	0.48	0.36	0.73	1.21	0.62	0.61	0.52
Channel retiming power	0.19	0.15	0.23	0.32	0.17	0.14	0.17
Channel leakage power	0.18	0.14	0.27	0.46	0.23	0.23	0.19
Input read power	0.29	0.21	0.39	0.35	0.28	0.24	0.29
Input write power	0.29	0.21	0.39	0.35	0.28	0.24	0.29
Input leakage power	0.03	0.02	0.05	0.05	0.04	0.04	0.03
Switch power	2.04	0.78	1.82	1.66	1.02	0.84	0.86
Switch control power	0.71	0.30	0.69	0.62	0.43	0.34	0.36
Switch leakage power	0.49	0.13	0.47	0.47	0.28	0.26	0.16
Output DFF power	0.07	0.05	0.09	0.08	0.06	0.06	0.07
Output Clk power	0.18	0.12	0.30	0.30	0.25	0.24	0.20
Output control power	0.04	0.03	0.05	0.04	0.03	0.03	0.04
Total power	20.27	14.47	24.12	31.94	17.10	14.77	16.76

从表 3 中可以看到, 本文提出的基于蜂窝拓扑的片上网络架构所带来的面积远小于 SPIN, Mesh, Torus, Octagon 和 Spidergon 拓扑结构的片上网络, 仅大于 BFT 拓扑结构的片上网络. 与最常用的 Mesh 结构相比, 本文提出的结构减少了 46.43% 面积. 在功耗方面, 如表 4 所示, 基于蜂窝拓扑的片上网络架构的所带来的面积远小于 Mesh, Torus, Octagon 和 Spidergon 拓扑结构的片上网络, 仅大于 SPIN 和 BFT 拓扑结构的片上网络. 与 Mesh 结构相比, 本文提出的结构的功耗减小了 30.51%. 但由于 SPIN 和 BFT 拓扑结构是基于树形结构的拓扑, 拓扑结构中存在大量交叉的互连线, 这与目前柔性电子要求单层不交叉的布线相矛盾, 所以并不适用于柔性电子系统. 因此从面积、功耗, 以及柔性电子系统对拓扑结构的要求的综合角度, 本文提出的基于蜂窝拓扑的片上网络架构优于目前典型的 6 种片上网络拓扑架构.

6 结论

本文基于蜂窝拓扑提出了一种适用于柔性电子系统的片上网络通讯架构并提出了适用于该拓扑结构的路由算法 OEXY. 从力学的角度分析其结构在拉伸和压缩的情况下形变情况, 其形变分布表明

该结构在拉伸和压缩情况下能够有效地避免局部形变过大导致的互连导线断裂的问题. 从集成电路设计的角度, 与目前典型片上网络拓扑结构比较, 发现虽然该结构在通信延时方面劣于 Mesh 和 Torus 结构, 但在面积与功耗方面都有明显的提升. 综合考虑, 本文提出的基于蜂窝拓扑结构的柔性电子系统通信架构设计满足柔性电子系统设计的要求.

参考文献

- 1 Feng X, Lu B W, Wu J, et al. Review on stretchable and flexible inorganic electronics. *Acta Phy Sin*, 2014, 63: 014201 [冯雪, 陆炳卫, 吴坚, 等. 可延展柔性无机微纳电子器件原理与研究进展. *物理学报*, 2014, 63: 014201]
- 2 Gupta U, Ogras U Y. Extending networks from chips to flexible and stretchable electronics. In: *Proceedings of the 10th IEEE/ACM International Symposium on Networks-on-Chip*, Nara, 2016
- 3 Gonzalez M, Vandeveld B, Christiaens W, et al. Design and implementation of flexible and stretchable systems. *Microelectron Reliab*, 2011, 51: 1069–1076
- 4 Gonzalez M, Axisa F, Bossuyt F, et al. Design and performance of metal conductors for stretchable electronic circuits. In: *Proceedings of the 2nd Electronics System-Integration Technology Conference*, Greenwich, 2008. 371–376
- 5 Gonzalez M, Axisa F, Bulcke M V, et al. Design of metal interconnects for stretchable electronic circuits using finite element analysis. In: *Proceedings of International Conference on Thermal, Mechanical and Multi-Physics Simulation Experiments in Microelectronics and Micro-Systems*, London, 2007
- 6 Council N R. *Flexible Electronics for Security, Manufacturing, and Growth in the United States: Summary of A Symposium*. Washington: The National Academies Press, 2013
- 7 Kim D H, Ahn J H, Choi W M, et al. Stretchable and foldable silicon integrated circuits. *Science*, 2008, 320: 507–511
- 8 Kim D H, Song J, Choi W M, et al. From the cover: materials and noncoplanar mesh designs for integrated circuits with linear elastic responses to extreme mechanical deformations. *Proc Natl Acad Sci USA*, 2008, 105: 18675–18680
- 9 Yoon J, Baca A J, Park S I, et al. Ultrathin silicon solar microcells for semitransparent, mechanically flexible and microconcentrator module designs. *Nat Mater*, 2008, 7: 907–915
- 10 Kim D H, Kim Y S, Wu J, et al. Ultrathin silicon circuits with strain-isolation layers and mesh layouts for high-performance electronics on fabric, vinyl, leather, and paper. *Adv Mater*, 2009, 21: 3703–3707
- 11 Chang R F, Feng X, Chen W Q, et al. Mechanics designs for stretchable inorganic electronics. *Chin Sci Bull*, 2015, 60: 2079–2090 [常若菲, 冯雪, 陈伟球, 等. 可延展柔性无机电子器件的结构设计力学. *科学通报*, 2015, 60: 2079–2090]
- 12 Guerrier P, Greiner A. A generic architecture for on-chip packet-switched interconnections. In: *Proceedings of Design, Automation and Test in Europe Conference and Exhibition*, Paris, 2000, 250–256
- 13 Pande P P, Grecu C, Ivanov A, et al. Design of a switch for network on chip applications. In: *Proceedings of International Symposium on Circuits and Systems*, Bangkok, 2003
- 14 Kumar S, Jantsch A, Soininen J P, et al. A network on chip architecture and design methodology. In: *Proceedings IEEE Computer Society Annual Symposium on VLSI*, Pittsburgh, 2002. 105–112
- 15 Dally W J, Towles B. Route packets, not wires: on-chip interconnection networks. In: *Proceedings of the 38th Design Automation Conference*, Las Vegas, 2001, 684–689
- 16 Karim F, Nguyen A, Dey S. An interconnect architecture for networking systems on chips. *IEEE Micro*, 2002, 22: 36–45
- 17 Coppola M, Locatelli R, Maruccia G, et al. Spidergon: a novel on-chip communication network. In: *Proceedings of International Symposium on System-on-Chip*, Tampere, 2004
- 18 Jiang N, Balfour J, Becker D U, et al. A detailed and flexible cycle-accurate network-on-chip simulator. In: *Proceedings of International Symposium on Performance Analysis of Systems and Software (ISPASS)*, Austin, 2013, 86–96
- 19 Kahng A B, Lin B, Nath S. ORION3.0: a comprehensive NoC router estimation tool. *IEEE Embed Syst Lett*, 2015, 7: 41–45
- 20 Dally W, Towles B. *Principles and Practices of Interconnection Networks*. San Francisco: Morgan Kaufmann Publishers, 2004

Design of communication architecture for flexible electronic system based on honeycomb

Changqing XU, Yi LIU*, Sen YANG & Yintang YANG

School of Microelectronics, Xidian University, Xi'an 710071, China

* Corresponding author. E-mail: yiliu@mail.xidian.edu.cn

Abstract In recent years, the emergence of flexible electronics has led to the rapid development of wearable devices, medical electronics, flexible displays, and the Internet of Things. With the increasing complexity of flexible electronics, more and more functional devices are integrated on flexible substrates. Communication between functional devices has become one of the most important issues in flexible electronics design. In this paper, we proposed a novel communication architecture of flexible electronic system based on a honeycomb structure and novel routing algorithm. Compared to the traditional structure, the proposed structure can effectively avoid the rupture of interconnections caused by excessive local deformation. Compared to the mesh network-on-chip, the area and power consumption of the proposed communication architecture are reduced by 46.43% and 30.51%, respectively.

Keywords honeycomb structure, flexible electronics, network-on-chips, island-bridge structure



Changqing XU was born in Henan Province, China, in 1989. He received the B.S. and M.S. degrees from the School of Microelectronics, Xidian University, Xi'an, China, in 2015, where he is currently pursuing the Ph.D. degree in microelectronics and solid-state electronics. His research interests are in the areas of low-power coding, NoC mapping, and design methods of NoC.



Yi LIU was born in 1971. He obtained his Ph.D. degree in microelectronics and solid-state electronics from Xidian University, Xi'an, in 2010. He is currently a professor in the Department of Microelectronics at Xidian University. His research interests include flexible electronic system design, aerospace IC radiation effects, and digital IC design.



Sen YANG was born in Jiangsu Province, China, in 1992. He received the B.E. degree in electronic science and technology from China University of Mining and Technology, Xuzhou, Jiangsu, China, in 2015. He is currently an M.S. candidate at Xidian University, Xi'an, China, in microelectronics and solid-state electronics. His research interests focus on interconnects for stretchable electronic circuits.



Yintang YANG was born in Hebei, China, in 1962. He received the B.S. and M.S. degrees in microelectronics and solid-state electronics from Xidian University, Xi'an, China, in 1982 and 1984, respectively, and the Ph.D. degree in electronic science and technology from Xi'an Jiaotong University, Xi'an. He has been a professor with the School of Microelectronics, Xidian University, since 1997. His research interests include the design of SoC and high-density integrated circuits.