

## 200 mm BCD 器件用硅外延片制备技术研究

仇光寅\*, 刘勇, 邓雪华, 杨帆, 金龙  
(南京国盛电子有限公司, 江苏省南京市 211111)

**摘要:** 本文涉及 200 mm BCD (Bipolar-CMOS-DMOS) 器件用硅外延片制备技术, 通过结合 BCD 工艺用外延材料的特性要求, 从外延图形漂移、外延层均匀性、表面缺陷等参数指标, 分析了衬底埋层浓度、生长温度、生长速率、缓冲层结构等工艺参数对外延参数的影响, 优化了 BCD 工艺用硅外延片的制备方法。本文采用常压化学气相沉积 (CVD) 技术制备了 BCD 工艺用 200 mm 硅 (Si) 外延材料, 通过 Hg-CV、SP1 及 SRP 对埋层外延片进行测试分析, 实验结果验证了工艺设计的正确性和有效性, 提升了大尺寸埋层外延制备技术的产业化水平。

**关键词:** 埋层外延; 高阻薄层; 图形漂移; 自掺杂; 表面缺陷

中图分类号: TB34

文献标识码: A

## Study on 200mm Silicon Epitaxy Preparation Technology for BCD Process

Qiu Guangyin\*, Liu Yong, Deng Xuehua, Yang Fang, Jin Long  
(Nanjing Guosheng Electronics CO., LTD., Nanjing, 211111, China)

**Abstract:** Focusing on 200 mm silicon epitaxy preparation technology for BCD devices, based on the properties of epitaxial layer such as pattern shift, uniformity and surface defects, the influencing factors of the process such as concentration of buried dopant, deposition temperature, growth rate, structure of buffer layer were analyzed and the preparation technology was optimized. At last, the 200 mm Si epitaxial wafer for the BCD process was prepared by CVD method and the properties of the epitaxial layer were evaluated by Hg-CV, SP1 and SRP. The experimental results were in accordance with the process design results which improved the mass production of silicon buried layer epitaxial wafer for BCD process.

**Key words:** Buried Layer Epitaxy; High Resistivity and Thin Layer; Pattern Shift; Autodoping; Surface Defect

### 0 引言

BCD (Bipolar-CMOS-DMOS) 是一种半导体芯片用单片集成工艺技术<sup>[1-2]</sup>, 这种技术能够实现

同一芯片上制作双极性晶体管 (Bipolar)、互补金属氧化物半导体 (CMOS) 和双扩散金属氧化物半导体 (DMOS) 等器件。BCD 技术逐渐在电力电子市场中

收稿日期: 2022-07-26; 修订日期: 2023-02-19

作者简介: 仇光寅, (1986 年-), 男, 江苏南京人, 博士, 工程师, 现从事半导体材料的研发和制备 (E-mail: qiuguangyin@gs-epi.com).

占有重要的地位,广泛用于电源管理、显示驱动、汽车电子、工业控制等领域。

在 200 mm 双埋层硅衬底上制备的高阻薄层硅外延层是 BCD 器件加工的关键工艺环节。为了改善器件性能,BCD 工艺用外延片的衬底使用的埋层原子一般为高浓度的砷(As)和硼(B),而 As 和 B 原子的扩散系数较高,在埋层外延工艺中,具有较难控制的自掺杂效应。国内外对于常规的硅埋层外延的工艺控制<sup>[3-5]</sup>已经有了一定研究,但用于高压高功率 BCD 工艺需求的高阻薄层外延研究少有报道。另外,BCD 器件相比常见的功率器件,其线宽要求高(最小线宽为 180 nm),因此对光刻要求较高,从而对 200 mm 大尺寸外延片表面、图形漂移、外延层均匀性等要求高,因此,BCD 器件用 200 mm 硅外延片是一种生产难度较高的外延类型。

本文结合 BCD 器件用 200 mm 硅外延材料特性要求,从外延图形漂移、外延层均匀性、表面缺陷等参数指标,分析了衬底埋层浓度、生长温度、生长速率、缓冲层结构等工艺参数对外延参数的影响,并通过实验总结出 BCD 工艺用 200mm 大尺寸硅(Si)外延片的最优制备方法。

## 1 BCD 器件用外延材料分析

BCD 工艺中器件种类较多,一般需要做到高低压器件的兼容。为了改善器件性能,需要存在多种埋层,其外延材料结构如图 1 所示。

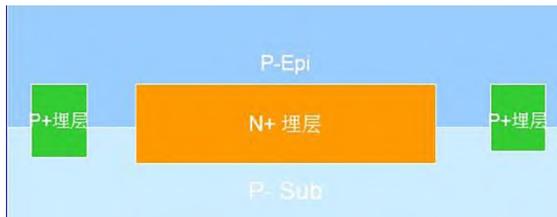


图 1 BCD 工艺用外延材料结构示意图

Fig. 1 Schematic diagram of epitaxial material structure for BCD process

由于器件的特殊要求,针对 BCD 工艺用 200mm 硅外延材料,对外延材料的要求如表 1 所示。

表 1 器件要求及外延工艺特点分析

Table 1 Device requirements and epitaxial process characteristics analysis

器件工艺设计	外延材料要求
--------	--------

线宽 180 nm ~1 $\mu$ m	外延后图形要求高,漂移、畸变小;表面缺陷、颗粒要求高
P-on P-结构	易产生滑移位错线,外延温度控制要求高
高压、高功率	高阻厚层,电阻率大于 30 $\Omega \cdot$ cm,厚度小于 10 $\mu$ m
8 英寸 <sup>①</sup> 工艺平台	大尺寸均匀性控制技术

① 1 英寸=2.54 厘米

从上述工艺及结构特点分析可以看出,针对 BCD 工艺用 200 mm 硅外延材料制备技术,主要的难点是外延图形控制低漂移率和畸变率、较高外延参数均匀性分布要求及极低表面缺陷等。

## 2 外延材料工艺控制分析

### 2.1 图形控制技术

区别于 Si 抛光片衬底上直接外延,在埋层衬底上生长外延层,衬底图形及部分埋层导致衬底上存在规则的“凹坑”,如图 2 所示。

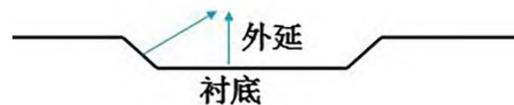


图 2 埋层衬底 Si 外延生长示意图

Fig. 2 Schematic diagram of the Si epitaxial growth of the buried layer substrate

不同晶向生长速率的差异是导致外延层存在漂移与畸变的根本原因<sup>[3]</sup>。BCD 工艺一般线宽较小,对漂移与畸变要求较高。分析表明,降低生长速率及提高反应温度可以有效改善漂移及畸变<sup>[4-6]</sup>。然而,温度越高,对于外延自掺杂效应较难控制,影响外延层电阻率的均匀性。而减少反应源流量可保持较低生长速率,有效改善外延漂移畸变,但会延长高温时间,同样影响外延层电阻率均匀性,另外,设备长时间处于高温状态,设备硬件损耗亦会加剧。

结合以上分析,高温及低生长速率是控制外延图形的有效方法,但同时需考虑温度及生长速率对外延层电阻率均匀性及设备损耗的影响,故在实际工艺中,需要通过实验得到最佳工艺温度和生长

速率。

## 2.2 均匀性控制技术

在外延反应中,影响外延层掺杂均匀性的主要因素为自掺杂效应<sup>[7-9]</sup>。BCD 工艺用外延片,外延层要求为高阻薄层,受到自掺杂影响较大,主要来源为衬底埋层原子。在此分析外延工艺抑制埋层自掺杂的影响。

BCD 工艺埋层衬底有高浓度的掺杂原子,在外延过程中,B、As 会快速扩散,自掺杂效应主要源于埋层原子。应结合理论分析以及相关分立器件多层外延的自掺杂控制方式<sup>[10-11]</sup>,设计相匹配的缓冲层工艺,改善外延层过渡区及均匀性。

## 2.3 缺陷控制技术

BCD 工艺使用的外延片是在轻掺的硅衬底上高温淀积外延层。相对重掺衬底,轻掺衬底热导率低,从而更容易出现导热不均问题。衬底在升温、淀积及降温阶段会受到不均匀加热产生较大的热应力,从而在硅片表面出现滑移位错线。而本文研究的硅片尺寸为 200 mm,由于硅片尺寸大,极易因为片内温场分布不均产生滑移位错线缺陷,需要重点控制片内的温场分布一致性。

本文研究使用 ASM E2000 单片外延炉,其加热方式为辐射加热。加热模块分别由中心(center)、前部(front)、侧部(side)、后部(rear)四个区域灯管组成,如图 3 所示。由于不同灯管加热由独立的模块控制,可通过温度补偿的方式调节各区的温度,从而减少各区温场偏差,降低热应力产生的可能性,温场的调节以及片内温场一致性是滑移位错线控制的关键。

## 3 实验及结果

### 3.1 实验方案

本实验采用常压化学气相沉积(CVD)技术,使用 TCS 作为硅源,ASM E2000 单片炉,通过优化工艺参数,制备 BCD 工艺用 200 mm 硅外延材料。根据已报道埋层片的加工工艺,并结合 BCD 以及 200 mm 硅外延片的关键工艺参数,目标为制备的外延层厚度为 4~10  $\mu\text{m}$ ,外延层电阻率为 30~80  $\Omega \cdot \text{cm}$ 。

初步选定在如下范围展开试验,探索适宜量产

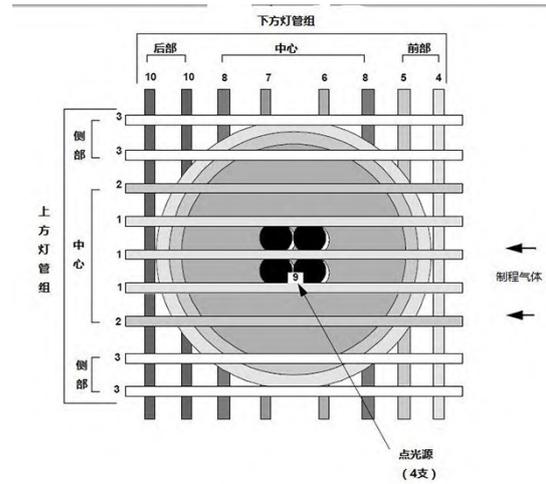


图 3 加热灯管分布示意图

Fig. 3 Schematic diagram of heating lamp tube distribution

的最优工艺:

- (1) 温度为 1170~1200 $^{\circ}\text{C}$ ;
- (2) 生长速率为 1~3  $\mu\text{m}/\text{min}$ ;
- (3) 缓冲层结构:厚度为 0.3~1  $\mu\text{m}$ ,电阻率为 0.1~1  $\Omega \cdot \text{cm}$ ;
- (4) 片内温场探测方法,以及最佳的片内温差窗口。

## 3.2 实验结果

### 3.2.1 图形漂移与畸变

在温度与生长速率配合试验中,温度分别选取 1170 $^{\circ}\text{C}$ 、1180 $^{\circ}\text{C}$ 、1190 $^{\circ}\text{C}$ 和 1200 $^{\circ}\text{C}$ ,生长速率分别选取 1  $\mu\text{m}/\text{min}$ 、2  $\mu\text{m}/\text{min}$ 和 3  $\mu\text{m}/\text{min}$ ,进行分组实验。

畸变的判断通过无损显微镜观察方式进行,在相同倍数的显微镜下,关注对准标记在横向和纵向宽度的一致性,宽度一致性越好证明畸变越小,反之畸变越大。从如图 4 所示的各组试验结果可以看出,在显微镜下(50 倍)图形畸变程度随着温度的升高,畸变逐步降低,相同温度下,随着生长速率的降低,畸变逐步降低。温度为 1170 $^{\circ}\text{C}$ 、1180 $^{\circ}\text{C}$ 时,不同生长速率下外延后对准标记畸变均比较严重,无法满足后道光刻对标要求。

在 1190 $^{\circ}\text{C}$ 、1200 $^{\circ}\text{C}$ 两个温度条件下,不同生长速率条件下外延后对准标记清晰可见,均可满足后道光刻要求。综合考虑外延设备损耗、生长效率、以及外延畸变的稳定性,外延温度优选 1190 $^{\circ}\text{C}$ ,生长

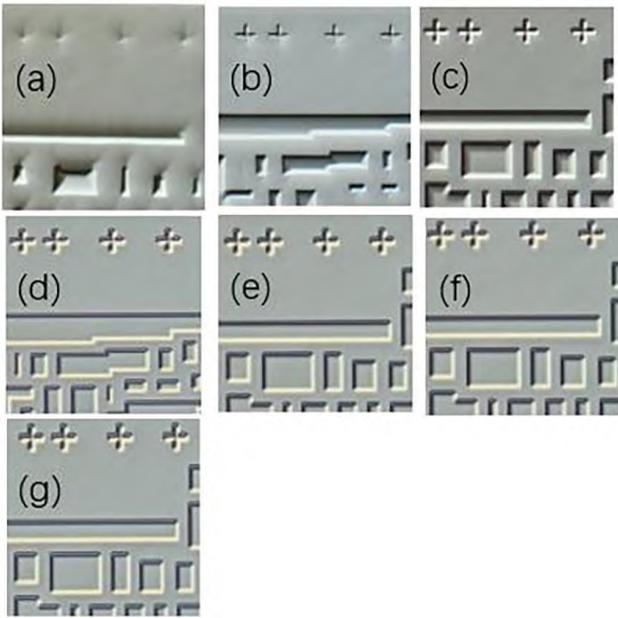


图 4 外延后图形漂移与畸变

(a) 1170℃ 条件组典型照片; (b) 1180℃ 条件组典型照片; (c) 1190℃、3μm/min 照片; (d) 1190℃、2μm/min 照片; (e) 1190℃、1μm/min 照片; (f) 1200℃、3μm/min 照片; (g) 1200℃、2μm/min 照片

Fig. 4 Figure drift and distortion

(a) The typical photo of 1170 °C group; (b) the typical photo of 1180°C group; (c) the photo of 1190 °C, 3 μm/min; (d) the photo of 1190°C, 2 μm/min; (e) the photo of 1190°C, 1 μm/min; (f) the photo of 1200 °C, 3 μm/min; (g) the photo of 1200 °C, 2 μm/min

速率优选 2 μm/min 的工艺条件。

### 3.2.2 均匀性控制

BCD 器件用硅外延片,其外延电阻率是表征外延片的核心参数,但由于其电阻率高,加之埋层的影响,其片内电阻率一致性是控制的难点。为了抑制 B、As 埋层对 P 型高阻外延层的影响,本文将研究分步外延内层工艺,通过外延层片内 9 点均匀性结果 (Pattern 见图 5),选取最佳分步外延内层工艺。

如图 6 所示,通过不同内层工艺条件试验结果可知,在一定范围内,内层电阻率与片内均匀性正相关,内层厚度与片内均匀性反相关。当电阻率达到 0.1 ohm 时,厚度从 0.5μm 到 1μm,均匀性不再变化;当厚度达到 1μm 时,电阻率从 0.5 ohm 到 0.1 ohm,同样均匀性不再变化。因此优选工艺条件为 0.1 ohm,1μm。

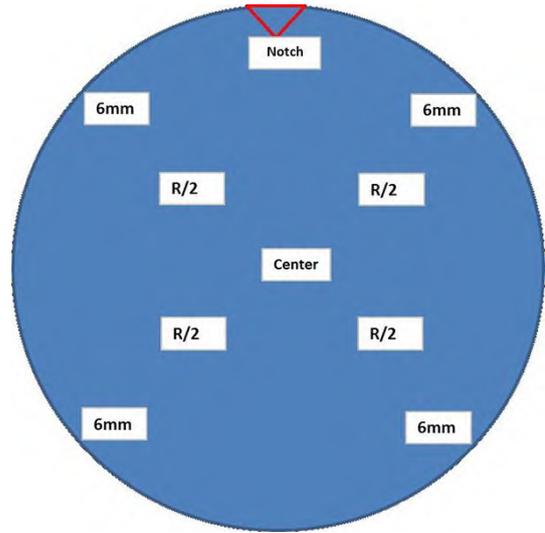


图 5 片内均匀测试 pattern 点分布示意图

Fig. 5 Schematic of the distribution of pattern points in slices

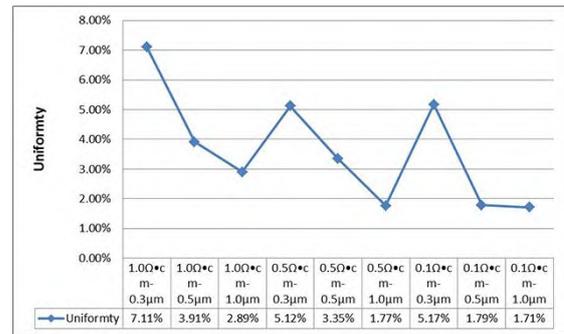


图 6 内层工艺与片内均匀结果

Fig. 6 Interior process and slice uniformity results

在优选内层工艺条件下,外延制备 BCD 产品片进行纵向掺杂浓度分析 (SRP),如图 7 所示,可以看出 P 埋层与 N 埋层具有较高的浓度,外延中采用了分步外延,已经较好地抑制了埋层原子对于外延层的影响。对于无埋层区域,通过缓冲层的设计,较好地抑制了埋层原子对无埋层区域的影响,图中 Epi 区纵向分布几乎不受埋层影响,此工艺方案优化了外延片不同区域的过渡区分布,完全满足了客户端的器件设计要求。

### 3.2.3 表面缺陷

滑移位错线,如图 8(a)所示:外延层表面上,沿 <110> 滑移方向延伸的直线,多为贯穿整个表面的直线;它是由位错源在应力作用下产生大量位错并不断沿 <110> 方向滑移出硅片表面而形成的。在外延生长环节,主要由于反应温度分布不均引起热应

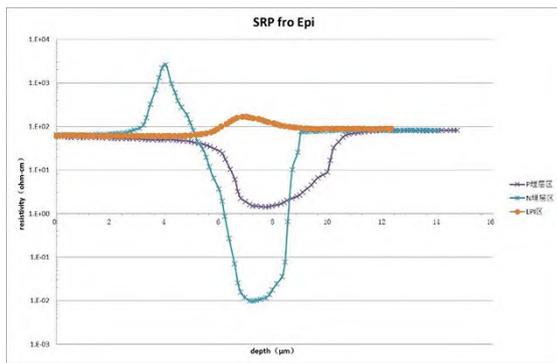


图 7 外延片不同区域 SRP 分布

Fig. 7 SRP distribution in different regions of the epitaxial sheets

力,超出了硅的应力极限。

晶格缺陷,如图 8(b)所示:物质的微观原子排列受到晶体形成条件、原子的热运动等条件的影响,导致结构偏离了理想晶体结构的区域。

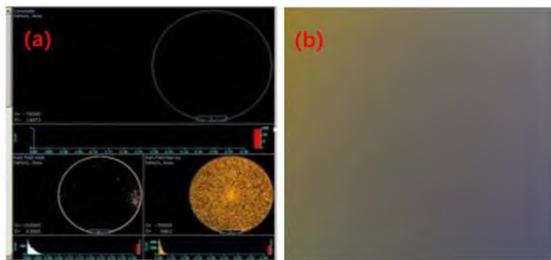


图 8 外延片表面滑移位错线及晶格缺陷

(a) 滑移线 SP1 扫描; (b) 外延腐蚀镜检图

Fig. 8 Surflip mislines and lattice defects of epitaxial sheet

(a) SP1 Scan of slip line; (b) Image of epitaxial corrosion

本文引入温控注入片方块电阻分布方法,可直观反映温场分布情况,图 9 所示为温控注入片的方块电阻。通过调节不同区域的温度补偿值,并通过温控注入片监控调试的结果。同时,通过外延后的 SP1 检测标定滑移线的分布,以进一步反馈工艺优化效果,从而考虑固化温场分布。

图 10 为 SP1 扫描图中绿色线为滑移线,通过注入片不同片内均匀性与控片表面滑移线的对比关系可知,片内均匀性越好,表明温场均匀性越好,滑移线越少。考虑滑移线及运行中的波动性,优选注入片均匀性小于 2% 条件下的温场工艺。

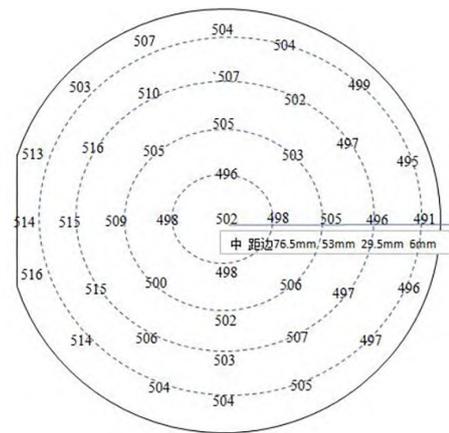


图 9 注入片方块电阻分布示意图

Fig.9 Schematic diagram of the resistance distribution of the injection blocks

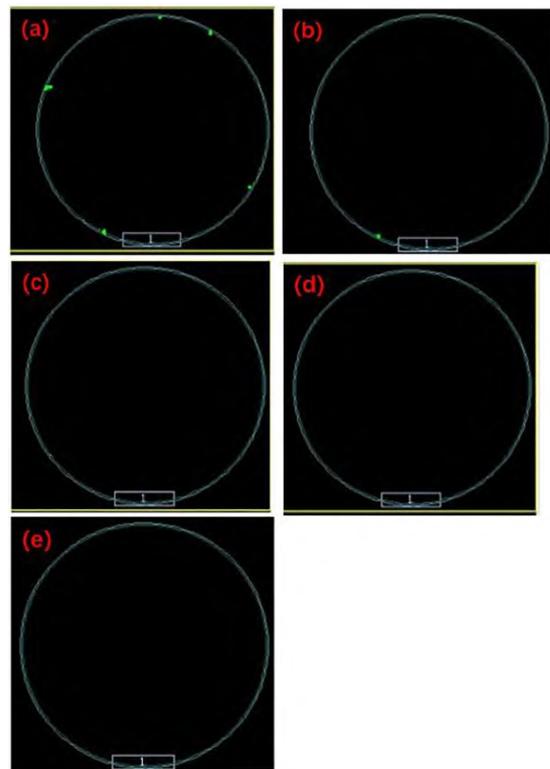


图 10 SP1 扫描图

(a) 均匀性 6%; (b) 均匀性 5%; (c) 均匀性 4%; (d) 均匀性 3%; (e) 均匀性 2%

Fig.10 The SP1 scan plot

(a) Uniformity 6%; (b) Uniformity 5%; (c) Uniformity 4%; (d) Uniformity 3%; (e) Uniformity 2%

## 4 结论

本文研究了 BCD 工艺用 200 mm 硅外延材料制备技术,分析了外延工艺的控制难点及相应的改善方案。通过图形漂移控制、均匀性控制及表面缺陷控制技术,优化了工艺参数,验证了工艺设计的正确性和有效性,确认最佳工艺条件,生长温度为 1190℃;生长速率为 2 μm/min;缓冲层结的厚度为 1 μm,电阻率为 0.1 Ω·cm;注入片温场条件为小于 2%。200 mm 硅外延片的分析测试结果表明制备的外延片完全满足不同客户及多种结构的要求,并且可以通过生长温度、生长速率及缓冲层调整,拓展该外延技术的应用面,提升了大尺寸埋层外延制备技术的产业化水平。

### 参考文献:

- [1] 陈志勇. BCD 工艺优化与良率提升[D]. 上海:上海交通大学, 2007.
- [2] 张 帅. 功率集成与 0.35 微米 BCD 工艺研究[D]. 上海:复旦大学, 2009.
- [3] Rinaldi A M, Crippa D, Cavallotti C, et al. Silicon Epitaxy- Semiconductors and Semimetals, Vol 72 [M]. New York: Academic Press, 2001.
- [4] 赵丽霞, 张鹤鸣. Si 外延过程中图形漂移的研究[J]. 微纳电子技术, 2009, 46(11): 691-694.
- [5] 李养贤, 鞠玉林. P<100>Si 衬底晶向偏离度对外延埋层图形畸变的影响[J]. 半导体学报, 1996, 17(4): 241-245.
- [6] 段路强. 温度对硅外延图形漂移的影响及监控[J]. 集成电路应用, 2018, 35(03): 49-52.
- [7] 刘玉玲, 金 杰, 徐晓辉, 等. 硅 CVD 外延自掺杂效应的分析研究[J]. 电子科学学刊, 1996, 18(3): 332-336.
- [8] 傅雄强, 魏雅敏. P 型硅外延层电阻率的控制[J]. 微电子学, 1994, 24(4): 49-52.
- [9] 李明达, 李普生, 薛 兵. 低功耗肖特基整流器件用 200 mm 高均匀性硅外延层生长工艺[J]. 科学技术与工程, 2018, 18(36): 205-210
- [10] 王向武, 陆春一. 多层硅外延中自掺杂现象研究[J]. 固体电子学研究与进展, 1994, 000(003): 267-271.
- [11] 赵建君, 肖建农, 马林宝. 一种变温变掺杂流量的埋层外延生长方法[J]. 电子与封装, 2016, 16(1): 34-37.