后摩尔时代集成电路的新器件技术

黄如*, 黎明, 安霞, 王润声, 蔡一茂

北京大学微纳电子研究院, 北京 100871

* 通信作者. E-mail: ruhuang@pku.edu.cn

收稿日期: 2012-08-13; 接受日期: 2012-10-26

摘要 随着大规模集成电路 (IC) 技术的持续发展, 来自短沟效应、量子隧穿以及寄生效应等问题的挑战使得传统微电子器件技术越来越难以满足 IC 技术持续推进的要求, 特别是日益严峻的能耗问题已经成为延续摩尔定律的最大瓶颈, 在后摩尔时代采用新器件技术成为必然. 面向不同集成电路应用如何发展适合未来微电子产业需求的纳米尺度新器件成为当前热点问题. 本文结合新结构器件、新原理器件和新材料的引入介绍适于大规模集成的纳米尺度新器件技术, 包括 FinFET 器件、超薄体 SOI 器件、准 SOI 器件、多栅/围栅硅纳米线器件、超陡亚阈摆幅器件、高迁移率沟道器件等, 分析相关器件优势、存在问题、可能解决方案及应用前景等, 并讨论后摩尔时代新器件技术路线图, 给出相关预测.

关键词 后摩尔时代 纳米电子器件 新结构 新原理 新材料 技术路线图

1 引言

自 20 世纪 70 年代以来, CMOS 技术开始主导集成电路技术的发展. 根据摩尔定律, 每隔两年集成电路的集成度就会提高一倍^[1]. 摩尔定律在过去 40 年的有效性主要基于 Dennard 经典等比例缩小原则^[2] 和确定的投资回报预期, 前者是 CMOS 器件制造技术中最有效的提升器件性能和降低能耗的方法, 后者则是电子消费市场对半导体产业的驱动作用.

基于 Dennard 提出的经典等比例缩小原则, 在芯片面积不变的情况下, 如果等比例缩小 CMOS 器件的特征尺寸 (包括栅长、结深、栅氧厚度等) 和降低电源电压, 就能在保持能耗不变的情况下获得更高的速度, 这样就能花费很少的研发成本来获得性能的提高. 但是, 实际应用中电源电压的降低趋势非常缓慢, 会造成实际能耗增加. 从图 1^[3] 可以看出, 从 1970 年到 2010 年这四十年间, 栅长减小了 300 倍, 而电源电压仅仅减小了 10 倍, 这造成了能耗密度增加了几乎 10 万倍, 而时钟频率只提高了 2000 倍左右. 这表明, 这种经典的“尺寸缩小”原则是难以无限持续的, 一定会碰到能耗的极限瓶颈. 一般来说, 当芯片上的功耗密度达到 100 W/cm² 以上时, 可以认为这种产品是没有实际应用价值的.

CMOS 技术的能耗问题本质上是短沟效应问题. 图 2 是一个传统的体硅 MOS 器件结构示意图. 当栅长缩短时, 短沟效应造成阈值电压降低, 关态电流指数上升, 其中靠近栅电极的部分可以通过减薄栅介质厚度来抑制, 而远离栅电极的部分则只能通过增加衬底掺杂浓度或者采用源漏晕 (halo) 结构来

引用格式: 黄如, 黎明, 安霞, 等. 后摩尔时代集成电路的新器件技术. 中国科学: 信息科学, 2012, 42: 1529–1543, doi: 10.1360/112012-509

图 1 过去 40 年的主要 CMOS 技术参数趋势 (数据来自参考文献 [3] 和 ITRS)

Figure 1 The trend of main CMOS technology parameters in the past 40 years (data coming from Ref. [3] and ITRS)

图 2 体硅 CMOS 器件中的电流路径

Figure 2 Current path in a bulk-Si CMOS device

抑制. 而这又会带来栅介质直接隧穿电流的上升和沟道载流子迁移率的退化, 进而造成器件静态功耗增大, 驱动性能降低. 此外, 栅介质的减薄还会带来严重的多晶硅耗尽效应, 造成反型电荷下降, 亦会导致驱动电流减少. 因此, 传统的 CMOS“尺寸缩小”技术路线在 90 nm 节点以后已经难以克服短沟效应带来的功耗和性能之间的矛盾, 取而代之的是所谓的“扩展 CMOS 技术”, 包括应力增强技术 [4~6]、高 K 栅介质技术和金属栅技术 [7] 等.

图 3 Intel 的栅间距和物理栅长的趋势

Figure 3 Trend of gate pitch and gate length of Intel

这些技术作为传统 CMOS 技术的延续, 可以暂时缓解短沟效应引起的相关问题, 包括迁移率退化和隧穿电流增加等. 但同时这些技术也同样受到“尺寸缩小”带来的限制. 例如应力增强技术对栅间距存在强烈的依存性. 目前应用于大规模量产的应力技术主要指工艺导致的单轴应力, 对于 NMOS 来说, 有 CESL^[4]、SMT^[5] 以及填埋式 Si:C^[6] 技术, 而对于 PMOS 来说则主要有填埋式 SiGe 源漏技术^[8,9]. 这些单轴应力技术在栅间距缩小的情况下的效果将变得越来越小^[10~12], 最终导致迁移率增强趋势无法延续. 高 K 介质技术从 45 nm 节点开始应用, 降低了大约 25 倍的静态功耗^[13], 但是并没有改变栅电流增长趋势的斜率, 在延续高 K 介质的减薄的情况下, 最终栅电流将会重新碰到静态功耗的极限. 而金属栅技术目前来看只能在后栅工艺中成功实施, 这将造成金属栅技术在非常小的栅长下面临着很大的工艺困难. 这些扩展技术并没有从本质上解决传统体硅 CMOS 器在尺寸缩小时面临的挑战, 只是缓解了短沟效应带来的一些问题.

为了弥补短沟效应带来的影响, 从 90 nm 开始, 实际物理栅长的缩短就开始变缓. 根据 Intel 历年发表的数据整理的栅间距和实际物理栅长的趋势图, 如图 3 所示, 尽管栅间距保持每两年减小 30% 的速率, 栅长从 90 nm 节点以后每两年仅仅减小 10% 左右. 这种栅长和栅间距之间尺寸缩小速率的不一致将会导致栅之间的空间太小而无法形成有效的金属接触. 传统 CMOS 技术已经难以继续维持摩尔定律, 采用新的器件技术已经成为必然趋势.

在“后摩尔时代”, 随着工艺技术的进步和传统 CMOS 技术面临的缩比极限, 新器件技术开始进入大生产研发的目标阶段. 以 Intel 宣布 22 nm 节点采用 FinFET 技术为标志, “新器件时代”已经来临. 本文将从新结构、新原理和新沟道材料引入角度详细阐述和分析相关新器件技术的特征、优势、存在问题、可能解决方案及应用前景等, 讨论后摩尔时代新器件技术路线图, 给出相关预测.

2 新结构器件

要克服短沟效应带来的体区泄漏电流, 要么切断这部分电流的通道, 要么将这部分电流也置于栅电极的控制之下. 基于这种思路, 人们提出了超薄体 SOI^[14~19] 和多栅 FinFET 器件^[20~26]. 两者均具有全耗尽沟道区, 因此可以有效切断体区泄漏电流; 而多栅 FinFET 器件可以增强栅控能力, 使整个沟道区的电势能得到控制, 减少泄漏电流. 不过二者也存在一定的缺陷, 比如超薄体 SOI 的散热问题、应力工程有效性问题、寄生电阻问题以及晶圆的成本问题等. 多栅 FinFET 则具有工艺波动性、

图 4 超薄体 SOI 的结构示意图 (a) 和 TEM 截面图 (b)^[17]Figure 4 Structural schematic(a) and cross-sectional TEM image(b) of an UTBSOI^[17]

体偏效应以及深体区泄漏问题等; 新型准 SOI 结构^[27~29]和 BOI FinFET 结构可缓解上述一些问题。此外, 相比于单栅 SOI 器件和双栅 FinFET 器件, 围栅硅纳米线晶体管具有最强的栅控能力和等比例缩小能力, 可以认为是极致缩比器件。下面分别给予介绍。

2.1 超薄体 SOI (extremely thin SOI)

图 4 表示了一个超薄体 SOI 器件的典型结构和 TEM 截面图^[17], 包括一层厚度远小于栅长的硅膜, 一层位于硅膜下方的绝缘层, 一般源漏采用外延技术抬升以减少扩展电阻和提供良好的金属接触。位于埋氧层 (BOX) 下方是和源漏掺杂类型相反的重掺杂区, 为接地区 (ground plane), 可以起到一个背栅的作用, 使得沟道区下界面处于积累区以增强对体区泄漏电流的控制。

超薄体 SOI 的短沟效应控制能力可以用自然长度理论 (nature length)^[30]来评价。超薄体 SOI 的自然长度 λ 可以写成下式:

$$\lambda^2 = \frac{\varepsilon_{\text{Si}}}{\varepsilon_{\text{ox}}} t_{\text{Si}} t_{\text{ox}}. \quad (1)$$

式中, ε_{Si} 和 ε_{ox} 分别是硅膜和二氧化硅栅介质的介电常数, 而 t_{Si} 和 t_{ox} 则分别是硅膜和二氧化硅栅介质的厚度。从 (1) 式可以看出, 超薄体 SOI 器件的可缩比能力与硅膜厚度直接相关。此外, TCAD 和实验研究表明, 埋氧层厚度的减薄能够进一步放宽短沟效应对硅膜厚度的要求^[31]。通过减薄埋氧层厚度, 超薄体 SOI 技术甚至可以将 CMOS 技术推进到 8 nm 节点。

由于超薄体 SOI 技术具有优异的短沟效应抑制作用, 因此可以降低沟道掺杂浓度, 减少杂质随机涨落的影响, 同时减少 GIDL 泄漏电流。但是超薄体 SOI 技术存在附加成本高、工艺波动性差、多阈值电压实现困难、NMOS 应力增强手段缺乏、寄生电阻随硅膜减薄增加、热耗散能力差等问题, 制约了其在大规模量产方面的应用。最近, SOITEC 连续发布了不同埋氧层厚度的 300 mm 超薄体 SOI 晶圆, 为超薄体 SOI 量产化奠定了材料基础, 而应力硅 SOI (sSOI) 衬底技术^[32,33]的出现为迁移率增强提供了有效的技术手段。特别是对背栅效应在超薄体 SOI 电路设计中应用的研究为超薄体 SOI 器件阈值电压的控制和能耗的进一步降低提供了新的方法。

2.2 准 SOI 器件

在获得优良的短沟效应控制能力的前提下, 针对超薄体 SOI 器件存在的成本高、热耗散能力差、

图 5 准 SOI 单栅 MOS 器件结构示意图 (a) 和制备后准 SOI 器件 SEM 照片 (b)

Figure 5 Structural schematic of the quasi-SOI MOSFET (a) and the SEM image of the fabricated quasi-SOI device (b)

寄生电阻大、迁移率增强效率差等问题, 我们提出了局域 SOI 结构的新思路, 在国际上率先提出基于体硅衬底的准 SOI 器件 [27~29].

图 5 给出了该器件结构示意图, 其特点是器件基于体硅衬底实现, 源漏区被“L 型”局域绝缘层所包围. 源漏区没有被绝缘层包围的部分充当了源漏延伸区的作用, 形成局域 SOI 结构. 该器件可以从结构上等效实现超薄体 SOI 器件具有的优势, 具有很好的短沟抑制能力. 此外, 由于该器件沟道与衬底直接相连, 可以很好地解决常规超薄体 SOI 器件存在的埋氧二维电场效应、散热性能差以及超薄硅膜表面粗糙度带来的迁移率下降等问题. 与提升源漏结构相比, 该器件采用下陷源漏结构可进一步降低寄生电容和电阻, 改善速度. 准 SOI 器件还能采用传统体硅 CMOS 器件的离子注入阈值调整技术, 具有更大的设计灵活性; 并可以在“L”型隔离结构的制备过程中自然引入应力源漏, 获得更好的迁移率增强效果. 因此, 该器件可以很好地结合超薄体 SOI 和体硅器件的优势, 克服两者的不足, 大大降低功耗, 增强性能.

图 5(b) 给出了制备后的准 SOI 器件的 SEM 照片, 其电流开关比高达 5.7×10^8 [29], 反映出该器件的结构优势, 可以很好地实现速度和功耗的良好折中, 显示出在低功耗领域的应用潜力.

2.3 三维 FinFET 器件

FinFET 出现于 20 世纪 90 年代末期 [20], 最开始在 SOI 衬底上实现双栅结构, 由于具有良好的短沟效应控制能力, 迅速引起了工业界的注意和兴趣, 开始成为各大公司研究的对象. 图 6 给出了一个 FinFET 器件结构示意图, 其中决定 FinFET 短沟效应的关键参数包括栅长、Fin 宽和 Fin 高. 和超薄体 SOI 不同, FinFET 具有三维的栅控结构, 因此在短沟效应控制方面表现出更强的能力. 根据自然长度理论, 三栅 FinFET 结构的自然长度可写成:

$$\lambda^2 = \frac{\varepsilon_{\text{Si}}}{3\varepsilon_{\text{ox}}} t_{\text{Si}} t_{\text{ox}}. \quad (2)$$

式中, ε_{Si} 和 ε_{ox} 分别是 Fin 硅体和二氧化硅栅介质的介电常数, 而 t_{Si} 和 t_{ox} 则分别是 Fin 宽和二氧化硅栅介质的厚度. 可见三栅 FinFET 具有比超薄体 SOI 更强的短沟效应控制能力. 在达到相同的短沟效应抑制能力的情况下, 三栅 FinFET 所需要的 Fin 宽, 即硅膜厚度可以放宽到超薄体 SOI 的 3 倍, 这对于缓解工艺要求极为有利.

图 6 FinFET 结构示意图 (a) 和 Intel 发表的 22 nm FinFET 截面图 (b)^[26]

Figure 6 Structural schematic of a FinFET (a) and cross-sectional image of the 22 nm FinFET reported by Intel (b)^[26]

图 7 BOI FinFET 结构示意图 (a) 和实验制备的 BOI FinFET 截面图 (b)

Figure 7 Structural schematic of a BOI FinFET (a) and cross-sectional image of the fabricated BOI FinFET(b)

Intel 近期宣布的 FinFET 为基于体硅衬底的三栅结构^[26], 这种器件具有很好的版图效率, 能够在较小的面积条件下获得较大的驱动电流, 还能获得较高的应力增强效率. 但是体硅 FinFET 面临着 Fin 高波动性对短沟效应的影响、侧墙粗糙度对电流驱动能力的影响、栅电极以外的体区泄漏电流以及体偏压效应弱等关键问题. 相比之下, 将 FinFET 制备在 SOI 衬底上可以有效地解决工艺波动性问题, 还能借助背栅偏置灵活地调制 FinFET 的短沟抑制能力, 并能自然解决深体区的穿通泄漏电流.

为了解决深体区的源漏穿通问题, 一般在 Fin 形成前进行一次深注入来形成源漏之间的隔离区. 而 Fin 高的波动性往往会造成某些局部不能形成有效的隔离. 尽管 SOI FinFET 可以解决这类关键问题, SOI FinFET 还存在着其他诸如成本高、无源器件整合困难、寄生电阻大等问题, 也不是最优的 FinFET 解决方案. 为此, 我们提出了基于体硅的局部体区隔离的 BOI(body-on-insulator)FinFET 结构^[34], 在硅 Fin 的底部形成局部的二氧化硅绝缘层, 自然切断了从源到漏的泄漏通道. 结构示意图如图 7(a) 所示, 图 7(b) 给出了实验制备的 BOI FinFET 的截面 SEM 照片. 实验结果表明该器件可很

图 8 围栅纳米线器件的结构示意图

Figure 8 Structural schematic of a GAA nanowire transistor

好结合体硅和 SOI 器件的优点, 解决了纳米尺度下体硅 FinFET 器件中底部寄生管泄漏电流大的瓶颈问题.

2.4 多栅/围栅硅纳米线器件 (silicon nanowire transistor)

相比于单栅超薄体 SOI 和双栅/三栅 FinFET 器件, 多栅/围栅硅纳米线晶体管具有最强的短沟效应控制能力. 圆柱状纳米线器件的自然长度可以由下式给出:

$$\lambda^2 = \frac{\varepsilon_{\text{Si}}}{8\varepsilon_{\text{ox}}} t_{\text{Si}} t_{\text{ox}} \left(\frac{t_{\text{Si}}}{t_{\text{ox}}} \ln \left(1 + \frac{2t_{\text{ox}}}{t_{\text{Si}}} \right) + \frac{\varepsilon_{\text{ox}}}{2\varepsilon_{\text{Si}}} \frac{t_{\text{Si}}}{t_{\text{ox}}} \right). \quad (3)$$

式中, ε_{Si} 和 ε_{ox} 分别是硅纳米线和二氧化硅栅介质的介电常数, 而 t_{Si} 和 t_{ox} 则分别是纳米线直径和二氧化硅栅介质的厚度. 由上式可见, 围栅纳米线器件的静电控制能力比超薄体 SOI 强很多.

图 8 给出了围栅纳米线器件的结构示意图. 沟道被栅电极完全包围, 易于形成体反型, 载流子在垂直栅氧界面方向上的散射大大降低, 形成准一维弹道输运, 有助于提高驱动能力. 另一方面, 源漏扩展区的有限掺杂浓度在零栅压的条件下自然形成耗尽区, 电学沟长等效增加, 自然减少了短沟道引起的阈值降低. 实验还证明了纳米线器件具有优异的单轴应力响应能力, 特别是 PMOS 在沟道压应力的作用下能够将驱动电流提高 50% 以上.

围栅纳米线器件走向大规模集成应用的一个关键在于工艺集成的兼容性. 如何形成释放的硅纳米线结构成为最为关键的工艺问题. 我们提出了基于常规 CMOS 工艺的制备围栅硅纳米线器件的新方法^[35], 利用各向同性腐蚀释放硅沟道区, 然后基于氧化自限制效应, 通过调节初始硅线条宽度、氧化温度和时间来控制最终硅纳米线的直径. 图 9 给出了该工艺过程的示意图. 图 10 给出了研制出的直径 10 nm 的围栅新结构器件 SEM 照片. 图 11 给出了制备得到的围栅硅纳米线的转移和输出特性曲线. 从图中可以看到, 器件表现出优异的小尺寸特性, 具有较低的泄漏电流和较大的开态电流密度, 得到的开关电流比达到 2.6×10^8 , 器件的漏致势垒降低效应 (DIBL) 引起的阈值电压漂移仅为 4 mV/V, 亚阈斜率为 74 mV/dec, 证明该器件是一种适合低功耗应用的优选结构.

统计涨落和噪声是对低电压工作及功耗影响比较大的问题. 考虑到硅纳米线的微小尺度, 工艺上的波动很容易引起纳米线尺度的变化. 为此, 我们研究比较了围栅硅纳米线器件与平面晶体管的涨落特性, 发现相对传统 SRAM 来说, 基于硅纳米线器件的 SRAM 单元具有更大的噪声容限以及更小的

图 9 制备围栅纳米线器件的主要工艺过程

Figure 9 Main process flow of fabricating GAA nanowire transistors

图 10 制备得到的围栅硅纳米线器件 SEM 照片, 其中纳米线直径为 10 nm

Figure 10 SEM image of the fabricated GAA silicon nanowire transistors with 10nm of diameter of nanowire

特性涨落^[36], 如图 12 所示, 这从另外一个角度说明围栅硅纳米线器件结构有助于降低电源电压, 从而利于超低功耗电路的实现.

3 新原理器件研究

对于常规器件结构, 虽然降低电源电压可以降低动态功耗, 但速度退化非常明显, 为此需要降低阈值电压, 而这又会带来器件泄漏电流的增加, 并影响噪声容限, 使得阈值电压设计非常困难.

一种思路就是从降低亚阈斜率出发来降低泄漏电流. 对于传统 CMOS 器件, 亚阈斜率在室温下的极限值为 60 mV/dec, 突破该极限的方法就是抛弃传统的漂移扩散机理, 采用新工作机理, 例如带带隧穿原理实现导通, 获得超陡亚阈斜率, 从而实现超低功耗电路.

这种采用栅极调制的带带隧穿机理来实现器件导通的器件称为隧穿场效应晶体管 (TFET, tunneling FET)^[37,38], 其理论上可以实现超陡亚阈斜率. 但在实际器件制备中, 为实现陡直亚阈斜率, 一

图 11 测量得到的围栅纳米线器件的转移特性 (a) 和输出特性 (b)

Figure 11 Measured transfer characteristics (a) and output characteristics (b) of the GAA nanowire transistors

图 12 基于传统平面管和围栅纳米线器件的 SRAM 单元的 butterfly 曲线

Figure 12 The butterfly curve of a SRAM cell based on conventional planar transistors and GAA nanowire transistors

般需要隧穿结掺杂浓度陡变, 在工艺上不易实现. 而且器件平均亚阈值斜率较大, 以带带隧穿电流为主导的器件导通电流较低.

为此, 我们提出并且实验制备出一种基于全新工作机理的硅基隧穿场效应晶体管——T 型栅肖特基隧穿场效应管 (TSB-TFET)^[39], 工艺与标准 CMOS 工艺完全兼容, 在相同有源区尺寸下, 可以在保证低泄漏电流的同时, 实现高开态电流、低平均亚阈值斜率. 解决了传统 TFET 器件平均亚阈值斜率高、开态电流低的瓶颈问题.

图 13 是 TSB-TFET 器件结构示意图. 利用 T 型栅结构, 在源端引入肖特基结, 同时引入自耗尽结构. 该器件开态主要由肖特基隧穿电流主导, 肖特基电流相比带带隧穿电流会有较大提高. 同时通过在器件源端引入自耗尽结构, 可以提高在关态时的等效肖特基势垒, 以有效抑制源端的泄漏电流; 也

图 13 TSB-TFET 结构示意图

Figure 13 Structural schematic of a TSB-TFET

图 14 制备的 TSB-TFET 的 SEM 鸟瞰图

Figure 14 Bird's view SEM image of the fabricated TSB-TFET

图 15 测试得到的 TSB-TFET 器件和传统 TFET 器件转移特性比较

Figure 15 Comparison of measured transfer characteristics of the TSB-TFET device and the conventional TFET device

正是由于泄漏电流的有效抑制, 导通过程中仍然是带带隧穿为主导, 使亚阈斜率可以很陡, 而且这种器件中的 T 型栅结构可以提高源端电场强度, 有利于进一步降低亚阈斜率. 进一步, 将栅设计成多指结构, 并采用杂质分凝技术调制源端势垒 (mDSS-TFET), 在相同有源区尺寸下, 可进一步优化器件性能. 采用完全兼容的工艺制备出 TSB-TFET 和 mDSS-TFET 器件 (图 14 是制备得到的器件 SEM 鸟瞰图), 图 15 给出了测得的器件特性对比, 可见实验制备出的器件可以保证在 5 个数量级电流范围内实现陡直的亚阈值斜率, 同时器件电流开关比达到 10^7 , 开态电流提高了约两个量级.

4 新沟道材料器件

降低电源电压是减缓能耗问题最有效的办法, 但会带来器件性能退化和电路设计问题. TFET 通过降低亚阈摆幅来降低漏电; 另外一个思路是保持一定的阈值电压, 通过提高载流子迁移率来获得更高的驱动电流, 这样可以在获得同样驱动能力的情况下降低泄漏电流, 也是一种降低能耗的方法.

具有很高本征载流子迁移率的半导体材料近年来受到广泛关注, 如 GeSi, Ge, GeSn, GaAs, InAs, InSb 等. 然而, 这些材料都不具有对称的载流子迁移率, 导致某些材料仅仅适合 PMOS 工作, 而另外一些则只适合 NMOS 工作. 因此, 混合衬底^[40]就成为高迁移率 CMOS 器件技术的第一个挑战.

其次, 这些高迁移率材料通常具有比较大的表面粗糙度和严重的界面态, 造成界面散射以及费米能级钉扎^[41], 严重破坏了本征高迁移率的优势, 同时使得阈值电压调制变得十分困难. 因此, 界面工程是高迁移率器件技术中第二个亟需解决的问题. 日本东京大学分别在 (111) Ge 衬底和 (100) Ge 衬底上报了最高的电子和空穴迁移率 ($1920, 725 \text{ cm}^2/\text{Vs}$)^[42], 分别为硅的 2.5 倍和 3.5 倍, 栅介质分别为 $\text{GeO}_2/\text{Y}_2\text{O}_3$ 和 GeO_2 , 通过高压氧化生成 GeO_2 、后续低温氧退火工艺来进一步提高界面质量^[11], 并研究了 LOA 工艺时间对电学特性的影响, 这是迄今为止所报道的基于 Ge 衬底的最高载流子迁移率 (尽管 EOT 较大). 但 EOT、泄漏电流、迁移率之间的折中仍未找到合适方案, 界面问题仍需进一步研究.

此外, 低温工艺下的源漏寄生电阻问题也是造成高迁移率器件性能退化的关键问题. 通过注入 As, P, Sb 等杂质, 形成金属锗化物和衬底之间的杂质分凝层, 可以有效调节肖特基接触的势垒高度.

最后一个关键的瓶颈是高迁移率材料的高介电常数, 严重影响器件的短沟道效应. TCAD 模拟结果表明 III-V 和 Ge 材料制备的 MOS 器件在 18 nm 栅长以后就无法控制短沟效应了. 因此, 采用第二节中的多栅全耗尽结构是提升高迁移率材料器件可缩比能力的唯一方法. 普渡大学的研究小组于 2011 年首次报道了基于 Top-down 工艺的反型模式围栅 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 纳米线器件^[43], 沟长为 50 nm 的器件开态电流为 $1.17 \text{ mA}/\mu\text{m}$, 但界面特性、源漏接触特性、短沟特性、亚阈斜率等还需寻找方案进一步提高.

尽管高迁移率器件技术存在着诸多困难, 其强大的本征迁移率是实现低电压工作方面有明显优势, 是突破当前 CMOS 技术面临的能耗瓶颈的另一种有效途径, 因此该项器件技术仍有希望在不久进入实际应用.

5 纳米新器件未来可能的发展趋势

进入“后摩尔时代”以后, 上述纳米电子器件能否进入大规模生产成为当前研究者关注的焦点, 这里对 5 nm 节点为止的技术路线进行分析预测. 根据产业界同一代技术延续两代产品的经验, 体硅 FinFET 基本上会延续到 16/14 nm 节点, 三星、TSMC、GlobalFoundry 都已经纷纷宣布在 16 或者 14 nm 节点采用体硅 FinFET 技术. 问题是, 在 16 nm 节点, SOI FinFET 和超薄体 SOI 是否也会进入大规模生产? 考虑到 11 nm 节点开始可能会进入 450 mm 超大晶圆时代, 那么 SOI 联盟成员必须在 300 mm 技术淘汰之前尽可能将现有的超薄体技术利润最大化. 因此, 预测 16 nm 节点, 或者之前的 20 nm 半节点可能会出现超薄体 SOI 技术的身影. 同样地, SOI FinFET 也可能同时进入量产, 因为 SOI FinFET 面临的技术瓶颈甚至要小于超薄体 SOI, 而性能更优. 由于体硅 FinFET 存在潜在的源漏穿通导致的泄漏问题, 在超低功耗领域内可能无法应用, 而超薄体 SOI 则在低功耗应用方面具有优势. 两者在 16 nm 节点的共存是可能的. 只有当 SOI FinFET 开始进入规模生产以后, 结合了二者优

点的 SOI FinFET 技术将成为主流. 在 11 nm 以后, 由于短沟效应抑制的要求, 超薄体 SOI 的硅膜厚度将达到 3 nm 左右, 而 FinFET 的宽度则达到 5 nm 左右, 这种结构上的变化自然过渡到硅纳米线器件结构. 因此, 可以推断, 11 nm 节点以后, 基于硅的 CMOS 技术将走到终极形态, 即多栅纳米线结构.

在 11 nm 或 8 nm 节点以后的器件寄生效应对电流驱动能力影响很大. 在某些应用中需要采用高迁移率沟道材料, 考虑到高迁移率材料本身存在短沟道效应问题, 如果用于 10 nm 以后节点器件构型应该和纳米线器件类似, 只是将沟道材料替换而已. 对于 5 nm 以下节点, 由于高迁移率材料本身问题, 即使采用多栅结构也难以解决, 电源电压应该降低到 0.5 V 以下, 超陡亚阈摆幅器件应该成为这个节点的很好选择. 另一方面, 对于某些极低功耗应用要求, 超陡亚阈摆幅器件会提前进入应用阶段.

6 结论

22 nm 以后, CMOS 集成电路技术进入了“后摩尔时代”, 依靠传统的等比例缩小技术已经无法维持摩尔定律. 功耗问题成为持续尺寸缩小的最大瓶颈. 为了解决功耗与性能之间的矛盾, 许多基于新结构、新原理和新材料的纳米器件技术已经出现, 相关新器件技术针对应用需求通过结构、原理、材料的融合优化将在“后摩尔时代”获得大规模的应用.

参考文献

- 1 Moore G E. Progress in digital integrated electronics. In: International Electron Devices Meeting (IEDM'75), Washington, 1975. 11–13
- 2 Dennard R H, Gaensslen F H, Kuhn L, et al. Design of micron MOS switching devices. In: International Electron Devices Meeting (IEDM'72), Washington, 1972. 168–170
- 3 Iwai H, Ohmi S. Trend of CMOS downsizing and its reliability. In: Microelectron Reliab, 2002, 42: 1251–1258
- 4 MShima K O, Yamaguchi A, Sakoda T, et al. High-performance low operation power transistor for 45 nm node universal applications. In: Symposium on VLSI Technology(VLSI'06), Honolulu, 2006. 196–198
- 5 Lim K Y, Lee H, Ryu C, et al. Novel stress-memorization-technology (SMT) for high electron mobility enhancement of gate last high-k/metal gate devices. In: International Electron Devices Meeting (IEDM'10), San Francisco, 2010. 229–232
- 6 Ang K W, Chui K J, Bliznetsov V, et al. Enhanced performance in 50nm N-MOSFETs with silicon-carbon source/drain regions. In: International Electron Devices Meeting (IEDM'04), San Francisco, 2004. 1069–1071
- 7 Auth C, Cappellani A, Chun J S, et al. 45nm High-k + metal gate strain-enhanced transistors. In: Symposium on VLSI Technology(VLSI'08), Honolulu, 2008. 128–129
- 8 Ghani T, Armstrong M, Auth C, et al. A 90nm high volume manufacturing logic technology featuring novel 45nm gate length strained silicon CMOS transistors. In: International Electron Devices Meeting (IEDM'03), Washington, 2003. 978–980
- 9 Tamura N, Shimamune Y, Maekawa H, et al. Embedded silicon germanium (eSiGe) technologies for 45nm nodes and beyond. In: International workshop on Junction Technology(IWJT '08), Shanghai, 2008. 73–77
- 10 Eneman G, Jurczak M, Verheyen P, et al. Scalability of strained nitride capping layers for future CMOS generations. In: European Solid-State Device Research Conference(ESSDERC'05), Grenoble, 2005. 449–452
- 11 Geert E, Peter V, Keersgieter A D, et al. Scalability of stress induced by contact-etch-stoplayers: a simulation study. IEEE Trans Electron Devices, 2007, 54: 1446–1453
- 12 Youn S C, GuodaLian V C, Olubuyide O, et al. Layout variation effects in advanced MOSFETs: STI-induced embedded SiGe strain relaxation and dual-stress-liner boundary proximity effect. IEEE Trans Electron Devices, 2010, 57: 2886–2891

- 13 Mistry K, Allen C, Auth C, et al. A 45nm logic technology with high-k+metal gate transistors, strained silicon, 9 Cu interconnect layers, 193nm dry patterning, and 100% Pb-free packaging. In: International Electron Devices Meeting (IEDM'07), Washington, 2007. 247–250
- 14 Colinge J P. Thin-film SOI technology: the solution to many submicron CMOS problems. In: International Electron Devices Meeting (IEDM'89), Washington, 1989. 817–820
- 15 Choi J H, Park Y J, Min H S. Extremely thin film (10 nm) SOI MOSFET characteristics including inversion layer to accumulation layer tunneling. In: International Electron Devices Meeting (IEDM'94), San Francisco, 1994. 645–648
- 16 Fossum J G, Trivedi V P, Wu K. Extremely scaled fully depleted SOI CMOS. In: International SOI Conference(SOI'02), Gainesville, 2002. 135–136
- 17 Cheng K, Khakifirooz A, Kulkarni P, et al. Fully depleted extremely thin SOI technology fabricated by a novel integration scheme featuring implant-free, zero-silicon-loss, and faceted raised source/drain. In: Symposium on VLSI Technology(VLSI'09), Honolulu, 2009. 212–213
- 18 Cheng K, Khakifirooz A, Kulkarni P, et al. Extremely thin SOI (ETSOI) CMOS with record low variability for low power system-on-chip applications. In: International Electron Devices Meeting (IEDM'09), Baltimore, 2009. 49–52
- 19 Khakifirooz A, Cheng K G, Reznicek A, et al. Scalability of extremely thin SOI (ETSOI) MOSFETs to sub-20-nm gate length. *IEEE Electron Device Lett*, 2012, 33: 149–151
- 20 Huang X J, Lee W C, Kuo C, et al. Sub 50-nm FinFET: PMOS. In: International Electron Devices Meeting (IEDM'99), Washington, 1999. 67–70
- 21 Hisamoto D, Lee W C, Kedzierski J, et al. FinFET—a self-aligned double-gate MOSFET scalable to 20 nm. *IEEE Trans Electron Devices*, 2000, 47: 2320–2325
- 22 Yu B, Chang L, Ahmed S, et al. FinFET scaling to 10 nm gate length. In: International Electron Devices Meeting (IEDM'02), San Francisco, 2002. 251–254
- 23 Jurczak M, Collaert N, Rooyackers R, et al. MUGFET-alternative transistor architecture for 32 nm CMOS generation. In: International workshop on Junction Technology(IWJT'06), Shanghai, 2006
- 24 Okano K, Izumida T, Kawasaki H, et al. Process integration technology and device characteristics of CMOS FinFET on bulk silicon substrate with sub-10 nm fin width and 20 nm gate length. In: International Electron Devices Meeting (IEDM'05), Washington, 2005. 721–724
- 25 Kavalieros J, Doyle B, Datta S, et al. Tri-gate transistor architecture with high-k gate dielectrics, metal gates and strain engineering. In: Symposium on VLSI Technology(VLSI'06), Honolulu, 2006. 50–51
- 26 Auth C, Allen C, Blattner A, et al. A 22nm high performance and low-power CMOS technology featuring fully-depleted tri-gate transistors, self-aligned contacts and high density MIM capacitors. In: Symposium on VLSI Technology(VLSI'12), Honolulu, 2012. 131–132
- 27 Tian Y, Huang R, Zhang X, et al. A novel nanoscaled device concept: Quasi-SOI MOSFET to eliminate the potential weaknesses of UTB SOI MOSFET. *IEEE Trans Electron Devices*, 2005, 54: 561–568
- 28 Xiao H, Huang R, Liang J, et al. The localized-SOI MOSFET as a candidate for analog/RF applications. *IEEE Trans Electron Devices*, 2007, 54: 1978–1984
- 29 Tian Y, Xiao H, Huang R, et al. Quasi-SOI MOSFET—A promising bulk device candidate for extremely scaled era. *IEEE Trans Electron Devices*, 2007, 54: 1784–1788
- 30 Yan R H, Ourmazd A, Lee K F. Scaling the Si MOSFET: From bulk to SOI to bulk. *IEEE Trans Electron Devices*, 1992, 39: 1704–1710
- 31 Gallon C, Fenouillet-Beranger C, Vandooren A, et al. Ultra-thin fully depleted SOI devices with thin BOX, ground plane and strained liner booster. In: International SOI Conference(SOI'06), Niagara Falls, 2006. 7–18
- 32 Fenouillet-Beranger C, Perreau P, Weber O, et al. Enhancement of devices performance of hybrid FDSOI/bulk technology by using UTBOX sSOI substrates. In: Symposium on VLSI Technology(VLSI'12), Honolulu, 2012. 115–116
- 33 Kim K, Chuang C T, Rim K, et al. Performance assessment of scaled strained-Si channel-on-insulator (SSOI) CMOS. In: International SOI Conference(SOI'02), Williamsburg, 2002. 17–19
- 34 Xu X Y, Wang R S, Huang R, et al. High-performance BOI FinFETs based on bulk-silicon substrate. *IEEE Trans Electron Devices*, 2008, 55: 3246–3250
- 35 Tian Y, Huang R, Wang Y, et al. New self-aligned silicon nanowire transistors on bulk substrate fabricated by Epi-free compatible CMOS technology: Process integration, experimental characterization of carrier transport and low

- frequency noise. In: International Electron Devices Meeting (IEDM'07), Washington, 2007. 895–898
- 36 Zhuge J, Wang R S, Huang R, et al. Experimental investigation and design optimization guidelines of characteristic variability in silicon nanowire CMOS technology. In: International Electron Devices Meeting (IEDM'09), Baltimore, 2009. 61–64
- 37 Koswatta S O, Koester S J, Haensch W. 1D broken-gap tunnel transistor with MOSFET-like on-currents and sub-60mV/decsubthreshold swing. In: International Electron Devices Meeting(IEDM'09), Baltimore, 2009. 909–912
- 38 Kim S H, Jacobson Z A, Liu T J K. Impact of body doping and thickness on the performance of germanium-source TFETs. *IEEE Trans Electron Devices*, 2010, 57: 1710–1713
- 39 Huang Q Q, Zhan Z, Huang R, et al. Self-depleted T-gate Schottky barrier tunneling FET with low average sub-threshold slope and high ION/IOFF by gate configuration and barrier modulation. In: International Electron Devices Meeting(IEDM'11), Washington, 2011. 382–385
- 40 Yokoyama M, Kim S H, Zhang R, et al. CMOS integration of InGaAsnMOSFETs and GepMOSFETs with self-align Ni-based metal S/D using direct wafer bonding. In: Symposium on VLSI Technology(VLSI'11), Honolulu, 2011. 60–61
- 41 Robertson J, Lin L. Fermi level pinning in Si, Ge and GaAs systems - MIGS or defects? In: International Electron Devices Meeting (IEDM'09), Baltimore, 2009. 119–122
- 42 Lee C H, Nishimura T, Tabata T, et al. Ge MOSFETs performance: Impact of Ge interface passivation. In: International Electron Devices Meeting(IEDM'10), San Francisco, 2010. 415–419
- 43 Gu J J, Liu Y Q, Wu Y Q, et al. First experimental demonstration of gate-all-around III-V MOSFETs by top-down approach. In: International Electron Devices Meeting(IEDM'11), Washington, 2011. 769–772

New device technologies of integrated circuit in post-Moore era

HUANG Ru*, LI Ming, AN Xia, WANG RunSheng & CAI YiMao

Institute of Microelectronics, Peking University, Beijing 100871, China

*E-mail: ruhuang@pku.edu.cn

Abstract With the continuous development of large scale integrated circuit (IC) technology, challenges resulting from short channel effects, quantum tunneling and parasitic effects make it increasingly difficult for conventional microelectronic device technology to fulfill the demand of sustaining progressing of IC technology node, and especially the increasingly serious problem of energy consumption has been the greatest bottleneck in continuing Moore's Law, making it inevitable to take advantage of new device technology in post-Moore's era. Therefore, it has become a hot issue that how to develop nanoscale new devices to meet the future demands of microelectronic industry in different IC applications. In this paper, we introduce new device technologies from viewpoints of new structure, new principle and new material, including FinFET, UTB SOI devices, quasi-SOI devices, Multi-Gate/Gate-All-Around silicon nanowire devices, super steep sub-threshold swing devices and high mobility channel devices. Advantages, existing problems, potential solutions and application prospect of these devices are analyzed, and a roadmap for new device technology in post-Moore era is discussed.

Keywords post-Moore era, nanoelectronic device, new structure, new principle, new material, technology roadmap

HUANG Ru received the Ph.D. degree in microelectronics from Peking University, Beijing, in 1997. Since 1997, she has been a Faculty Member at Peking University, where she is currently a Professor and the Director of the Institute of Microelectronics. Her research interests include nanoscale CMOS devices, nonvolatile memory devices and new devices for RF and harsh-environment applications. Dr. Huang is the recipient of the National Science Fund for Distinguished Young Scholars and many other awards in China, including the Chang-Jiang Scholar Distinguished Professor of Ministry of Education, the National Award for Technological Invention and the National Youth Science Award. She is an Editor of IEEE Transactions on Electron Devices. She was the General Cochair of the 11th International Conferences on Solid-State and Integrated Circuit Technology (ICSICT), the Technical Program Cochair of the 7th and 9th ICSICT, a committee member of IEDM 2010-2011, a Far East Committee Member of the 2004 International Solid-State Circuits Conference (ISSCC), and a committee member of many other international conferences and symposia.

AN Xia received the B.S. degree in applied electronics and the M.S. degree in microelectronics from Shandong Normal University, Ji'nan in 1999 and 2002, respectively, and the Ph.D. degree in microelectronics from Peking University, Beijing in 2006. Since then, she has been with the Department of Microelectronics, Peking University, where she is currently an Associate Professor. Her research interests mainly focus on nanoscale novel MOS devices, including device physics, simulation and process, and the radiation characteristics of nanoscale MOS devices.

LI Ming received the B.S. and M.S. degree in solid state physics from Beijing Normal University, Beijing, in 1997 and 2000, the Ph.D. degree in microelectronics from Peking University, Beijing, in 2003, respectively. He is currently a Professor in the Institute of Microelectronics, Peking University. He also joined Samsung Electronics, Suwon, Korea, from 2003 to 2011 as a senior engineer. His current research interests include the nano-scale novel device and process, high-mobility devices.