

三维 CMOS 集成电路结构的 HVEM 研究

李永洪 袁建明 张 京

(北京有色金属研究总院)

关键词 再结晶、倒相器、电子显微镜

提高 VLSI 集成度的重要途径之一是研究器件的新结构,发展三维集成电路,即在制成的 MOS 器件上形成一层 SiO_2 绝缘层,再在其上的再结晶多晶硅层上制作另一层 MOS 器件。近年来关于这方面的工艺研究已有一些报道^[1-3]。我们用高压电子显微镜对这种三维电路器件的结构进行了研究。本文就发展这种电路在工艺上很关心的一些问题,例如再结晶多晶硅薄膜的界面情况、晶粒大小及各层中的缺陷等,提出我们一些初步研究结果。

一、实验程序

本研究所用的试样是由清华大学微电子研究所提供的三维 CMOS 电路器件。其制备工艺过程如文献[3]所述。图1是其断面的扫描电镜二次电子像。这种 CMOS 倒相器是由在单晶硅衬底内 n 沟道 MOS 晶体管和在再结晶多晶硅内的 P 沟道 MOS 晶体管构成的,其间有一层 SiO_2 绝缘层。



图1 三维 CMOS 反相器断面的扫描电镜二次电子像

电子显微镜观察用的薄膜试样是按普通断面方法制成的即将待研究的试样切成约 $3 \times 1.5\text{mm}$ 的长条,用环氧树脂重迭粘接起来,待粘接剂干后,将粘好的样品用蜡固定到研磨用的托上进行

研磨。研磨到厚度约为 $50\text{ }\mu\text{m}$,然后固定到铜网上,在离子减薄仪上减薄至穿孔,能在电镜下观察。电镜实验是在加速电压为 1000 kV , 的 JEM-1000 型高压电镜上进行的。

二、结果和讨论

图2给出的是图1所示的那种三维 CMOS 反相器断面的透射电子显微镜照片。将图2和图1对照,可以看到这两张照片都清楚地显示出这种器件的断面结构。各层的相应部分,如图2B所标注的那样。图2A显示出再结晶多晶硅层(f)的再结晶情况是良好的。再结晶多晶硅层可分为三个部分:多晶硅栅层(h)下面的部分,再结晶晶粒已长得很大,几乎是单晶;而两侧部分,即源(漏)区所对应的部分晶粒就小得多。这种现象乍看起来可能觉得奇怪,但如果结合工艺来考虑就不难理解了,因为它们所处的环境不一样,再结晶晶粒尺寸就不一样。具体说,在多晶硅栅下面的多晶硅层部分,其下面除和两侧部分一样有 SiO_2 层外,在 SiO_2 层下

本文1988年3月19日收到。1989年4月25日收到修改稿。

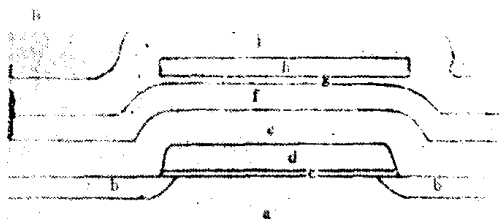
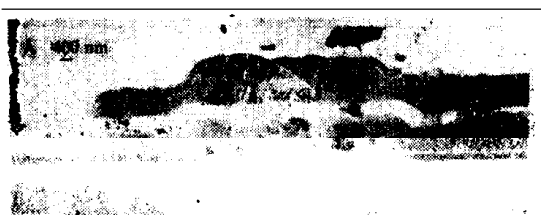


图 2

- A. 3D-CMOS 倒相器断面 TEM 图; B. 相应于 A 图中各层的边界和标注.
 a. P 型(100) 单晶硅衬底; b. 源或漏; c. 栅氧化层; d. NMOS 多晶硅栅; e. 氧化层;
 f. n 型再结晶多晶硅层; g. 栅氧化层; h. PMOS 多晶硅栅; i. SiO₂ 氧化层

面还有一层多晶硅栅层(d),再下面还有栅氧化层(c),于是这部分传热自然就比两侧部分慢,较两侧的温度高,致使这部分比两侧再结晶充分.这种再结晶状况也完全满足工艺要求.从实际情况看,最重要的是沟道区再结晶良好.

照片上还清晰地显示出源(漏)注入区,在以前的文献中,显示这种区域要用缀饰的办法^[4],而在我们的实验中,未经这种处理,是采用结构因子衬度来显示的.这种衬度是结构因子的差别造成的^[5].因为在源(漏)区掺入的杂质使得这一区域和衬底的结构因子不同,因此有不同的消光距离,于是和相同厚度的衬底相比,包含源(漏)区的小柱体内的有效薄膜厚度,改变了如下一个量:

$$\xi_s \Delta t \left(\frac{1}{\xi'_s} - \frac{1}{\xi_s} \right),$$

式中 ξ'_s 为源(漏)区的消光距离, ξ_s 为衬底消光距离, Δt 为源(漏)区的厚度.产生的最大强度变化(在偏离参数 $s = 0$ 时)为

$$\Delta I = -\pi \Delta t \left(\frac{1}{\xi'_s} - \frac{1}{\xi_s} \right) \sin \frac{2\pi t}{\xi_s},$$

因此,假若 $t/\xi_s \neq 0, \frac{1}{2}, 1$ 等,源(漏)区将显示出均匀的衬度.如果 $\xi'_s > \xi_s$,则在

$$t/\xi_s = \frac{1}{4}, \frac{3}{4}, \frac{5}{4}$$

等处出现最大的可见度,并且 $t/\xi_s = \frac{1}{4}, \frac{5}{4}$ 时衬度是明亮的, $t/\xi_s = \frac{3}{4}, \frac{7}{4} \dots$ 等值时衬度是暗的.当 $t/\xi_s = 0, \frac{1}{2}, 1$ 等时, $\Delta I = 0$, 此时观察不到源(漏)注入区.因此只要我们在观察时仔细选择成像条件,就能将源(漏)注入区清晰地显示出来而无需经缀饰处理.

另外,如果我们将图 2A 中的一部分放大来看,各层界面是相当平整的,无论是单晶衬底和多晶硅栅之间的栅氧化层,还是再结晶多晶硅和多晶硅栅之间的栅氧化层都是很完整平直的,而且很少有界面缺陷(见图 3).在衬底的某些区域我们观察到堆垛层错(如图 4 所示).在大的层错面内还可以看到一些小的位错环.不过这些缺陷远离结区,对器件性能影响不大.



图3 为图2A左侧部分的放大图

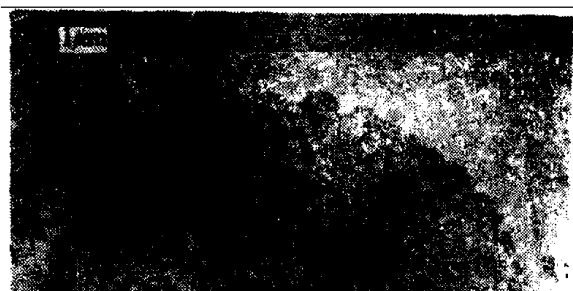


图4 硅衬底内的氧化层错及小位错环

图5是多晶硅未经激光退火工序制作的与图2相同的器件。可以看到其层次完全相同，

但明显的有两个差别：(1)由于未经激光退火处理，多晶硅层晶粒很小，平均晶粒尺寸约100 nm；(2)在NMOS的源(漏)区存在着许多位错，而在栅氧化层和衬底之间没观察到这种位错。第(1)点和文献[4]中的结论是一致的。在源(漏)区出现位错，这就有可能导致漏栅之间或栅与沟道之间穿通，从而使器件报废或性能变坏。另外，经激光处理的

图5 多晶硅层未经激光退火再结晶处理的3-D CMOS断面结构

的试样，其靠近单晶的多晶硅栅的晶粒比未经激光处理的为大。

三、结 束 语

由于半导体器件的高度集成化，器件变小而且结构也越来越复杂，各层薄膜内部和层与层之间的界面情况对器件性能影响很大，而这些内部或界面情况在很大程度上又决定于工艺是否合理以及衬底的质量，因而电子显微镜的断面试样观察能为工艺研究提供很有参考价值的资料。另外利用结构因子衬度可以有效地显示出源(漏)注入区。

参 考 文 献

- [1] Gibbons, J. F. and Lee, K. F., *Electron Device Letter*, EDL-1 (1980), 117.
- [2] Kawamura, S., Sasaki, N., Iwai, T., Nakano, M. and Takagi, M., *Electron Device Letter*, EDL-4 (1983), 366.
- [3] 钱佩信等, 半导体学报, 6(1986), 582.
- [4] Marcus, R. B., Sheng, T. T., *Electron Microscopy and Failure Analysis*.
- [5] Hirsch, P. B. et al., *Electron Microscopy of Thin Crystal*, 1965, 336; 中译本: 薄晶体电子显微学, 科学出版社, 1983, 376.