

适于纳米尺度集成电路技术的双栅/多栅 MOS 器件的研究

黄如*, 田豫, 周发龙, 王润声, 王逸群, 张兴

北京大学微电子学研究院, 北京 100871

* E-mail: ruhuang@pku.edu.cn

收稿日期: 2007-12-17; 接受日期: 2008-04-09

国家自然科学基金(批准号: 60625403)和国家重点基础研究发展规划(批准号: 2006CB302701)以及与韩国三星电子公司合作项目资助

摘要 随着集成电路的发展, 器件尺寸进入纳米尺度领域, 器件性能受到诸多挑战. 针对纳米 CMOS 器件存在的问题, 从可集成性考虑, 基于由上而下途径, 从新型双栅/多栅器件结构角度介绍新型非对称梯度低掺杂漏垂直沟道双栅 MOS 器件以及新型围栅纳米线 MOS 器件的研制及特性分析, 为下一代集成电路技术的器件研究提供良好的思路.

关键词

纳米 CMOS 器件
双栅器件
围栅器件

集成电路自发明以来, 其性能价格比的提高以及功能增加的有效途径之一就是不断缩小集成电路的特征尺寸. 目前先进的 90 nm 和 65 nm 的集成电路技术已经开始进入大生产, 45 nm 集成电路技术研发已经完成, 32 nm 集成电路技术的研发正在展开. 如图 1 所示, 据 ITRS 预测, 到 2016 年高性能应用集成电路中器件尺寸将小于 10 nm^[1]. 作为集成电路的基本单元 MOS 器件仍将在未来相当长的时间内作为主流器件. 但是沿着由上而下的途径(top-down), 随着器件尺寸缩小到纳米尺度, 短沟效应、强场效应、量子效应、寄生电阻/寄生电容的影响、工艺参数引起的涨落问题、热耗散问题等对器件泄漏电流、亚阈斜率、开态电流等性能的影响愈来愈突出, 器件关不断以及带来的泄漏电流已成为尺寸缩小后一个关键的问题; 驱动电流增大受到限制, 器件的电流驱动能力并不随器件尺寸缩小以预测的程度提高. 常规的体硅 CMOS 技术必须针对功耗、密度、性能提高、不同功能应用及集成等方面的问题, 在器件结构、材料选用、加工技术以及器件物理等方面寻求解决方案. 针对上述问题, 人们从新材料新工艺(新型栅介质/栅电极材料、沟道工程、源漏工程)以及新器件结构等方面提出了一些可能的解决方案.

新材料工艺方面主要包括引入高介电常数(high- κ)栅介质、金属栅电极, 采用高介电常数栅介质, 可以解决为提高栅控能力降低栅介质厚度而带来的栅隧穿电流增加、静态漏电增加等

传统二氧化硅栅介质的问题; 采用金属栅电极, 可以解决传统多晶硅栅的耗尽效应带来的等效栅介质厚度增大、栅电阻增大、栅穿通等栅电极问题. 高介电常数栅介质和金属栅的结合可望获得良好的器件性能; 另外, 通过采用应变沟道、NMOS/PMOS 优化晶向或引入高迁移率材料等来提高载流子迁移率, 以有效提高器件的电流驱动能力; 采用硅化物源漏、Shottkey 源漏以及无栅覆盖源漏结构来减小源漏寄生串联电阻或覆盖电容, 以提高器件性能.

新器件结构方面, 国际上相关研究十分活跃, ITRS(international technology roadmap of semiconductor)在 2001 年第 1 次增加了新结构器件方面的内容, 其目前预测未来的非传统新器件包括超薄体(UTB) SOI MOS 器件、平面双栅、FinFET、垂直双栅、三栅、 Ω 栅以及围栅器件等, 但最终的胜出者还很不明朗, 究竟未来的集成电路会采用何种器件结构还不可知. 大的趋势将是新型单栅器件先进入应用, 在接近 roadmap 末端的技术代将可能采用双栅/多栅器件. 采用新的器件结构, 可以放宽器件特征尺寸缩小后对工艺技术的要求, 扩大器件参数的选取范围(如在对于沟道工程、栅介质厚度等方面均可以有较大的设计容区), 而且易于实现多方面性能对器件参数要求的矛盾折中, 获得更好的器件性能. 而且可以在保证器件性能的同时, 放宽对制备工艺技术的要求, 从而可望在同样情况下继续推进技术代.

本文将主要从新结构器件角度介绍我们研制的适于纳米尺度集成电路的新型双栅/多栅 MOS 器件以及相关特性分析, 包括面向特征尺寸不断缩小的集成电路技术代要求的 AGLDD 垂直双栅器件和硅纳米线围栅(GAA)器件等.

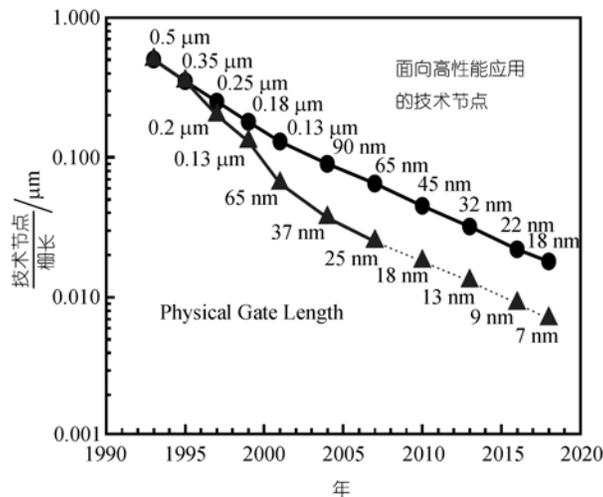


图 1 ITRS 预测集成电路技术代/器件物理栅长的发展趋势

1 新型 AGLDD 垂直双栅器件

双栅器件由于增加了一个栅的控制能力, 可解决单栅结构难以推进到极小尺寸器件的问题. 双栅器件可以获得高电流驱动能力, 短沟效应可以控制得很好, 器件关态电流较小, 亚阈斜率陡直^[2]. 从双栅的相对位置看, 有平面双栅、垂直双栅、FINFET3 类双栅器件^[3~13], ITRS 将 3 类双栅器件均列入下几个技术代采用的器件结构.

理想的双栅MOS器件应该具有以下基本特点: (1) 很薄而且均匀的硅膜作为沟道区, 硅膜厚度 t_{si} 要小于沟道长度 L , 一般要求 $t_{si} \leq (1/3 \sim 2/3)L$. (2) 两个栅要互相对准, 并且和源/漏区形成自对准结构. (3) 较厚的源/漏区以便减小源/漏区串联电阻. 其中两个栅之间的对准是实现高性能双栅MOSFET的关键, 因为两个栅之间的偏差会引起附加的栅-源或栅-漏覆盖电容, 降低器件的电流驱动能力. 平面双栅器件是最早提出的, 也是最早研究的一种双栅器件, 但是这种器件的制备工艺比较复杂, 尤其背栅的掺杂以及背栅的硅化物很难实现, 而且顶栅和底栅的自对准较难实现. 目前报道的平面双栅器件的制备中, 主要采用外延方法、键合方法或金属诱导生长方法获得双栅器件沟道区和/或源漏区^[3~5]. 相比平面双栅器件, 垂直双栅器件^[9~13]易于实现自对准双栅; 而且器件的沟道长度可以不通过光刻定义, 可以突破光刻精度的限制, 此外, 由于器件本身是立体结构, 面积可以减小, 也利于三维集成; 由于器件的沟道区可以与体硅相连, 故可以减小自加热效应和浮体效应. 垂直沟道的双栅器件在保持其他性能不受影响的基础上, 可以实现自对准双栅控制, 而且基于硅台技术的加工工艺比较简单, 可以完全与常规工艺兼容.

我们提出了AGLDD(asymmetric gradient lightly-doped drain)新型垂直双栅MOS器件^[13], 其结构示意图如图 2 所示. 与平面器件相比, 器件旋转了 90° . 而且充分利用垂直结构的特点, 首次引入非对称梯度低掺杂漏结构和沟道掺杂自梯度分布, 在降低漏电、增强器件可靠性的同时, 可以降低器件的串联电阻, 提高器件的驱动能力. 这种AGLDD结构及掺杂分布控制和测量在垂直结构中均易于实现, 而且垂直AGLDD结构的掺杂浓度分布的控制和测量更为方便. 通过实现沟道电势自梯度分布, 可放宽对器件参数的选择要求, 尤其对硅膜厚度的要求. 这种独特的AGLDD和沟道自梯度掺杂结构可有效改进器件开态与关态的矛盾.

针对 AGLDD 垂直双栅器件, 我们提出了一套新型的与标准 CMOS 工艺兼容的硅台型制备工艺, 包括减小寄生的栅侧墙电容的侧墙掩蔽局部场氧隔离(SWAM LOCOS)方法. 主要工艺过程包括器件隔离、多晶硅漏区淀积和沟道注入、硅台刻蚀、源漏注入、栅氧化和栅结构形成、杂质激活和多晶硅漏的杂质驱入、接触孔和电极引出等.

通过实验, 我们演示了最小沟道长度达到 32 nm 的垂直沟道AGLDD双栅器件, 图 3 所示为研制出的器件剖面SEM图和SIMS测量结果. 图 4 给出了该器件的转移特性和输出特性曲线, 器件的关态泄漏电流约为 $37 \text{ pA}/\mu\text{m}$ 、电流开关比达到 2.0×10^6 , 较好的亚阈值特性(SS为 $98 \text{ mV}/\text{dec}$). 图 5 给出了AGLDD器件与报道的侧墙栅Sidewall垂直沟道器件(没有LDD结构)^[10]、替代栅VRG垂直沟道器件(有常规均匀掺杂的LDD结构)^[11]的特性比较, 可见AGLDD器件的泄漏电流比VRG器件小一个量级, 比Sidewall器件小 2 个量级, 而 32 nm 栅长的AGLDD

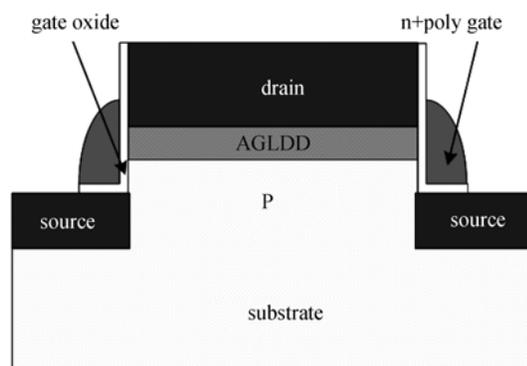


图 2 非对称梯度低掺杂漏(AGLDD)垂直沟道 nMOSFET 器件的剖面示意图

器件的开关比(I_{on}/I_{off})比VRG器件和Sidewall器件分别要大一个和两个量级, 而且 AGLDD 器件的亚阈值特性也要优于 50nmVRG器件(亚阈斜率为 105 mV/dec)和 50 nm Sidewall器件(亚阈斜率为 166 mV/dec). 垂直AGLDD器件即使有较小沟道掺杂和更厚栅氧, 仍表现出更好短沟效应抑制和更小泄漏电流及更大开关比, 验证了AGLDD结构的优势. 研制的器件如果硅台宽度进一步减小, 可以进一步提高器件性能.

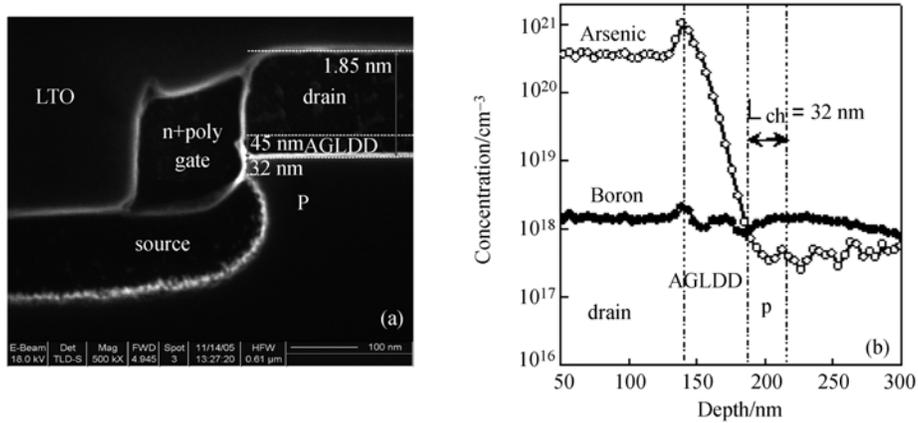


图 3 实验制备的 32 nm 沟长的垂直沟道 AGLDD 器件
(a) 剖面结构的 SEM 图; (b) 沿垂直方向(Depth)的掺杂浓度分布的 SIMS 曲线

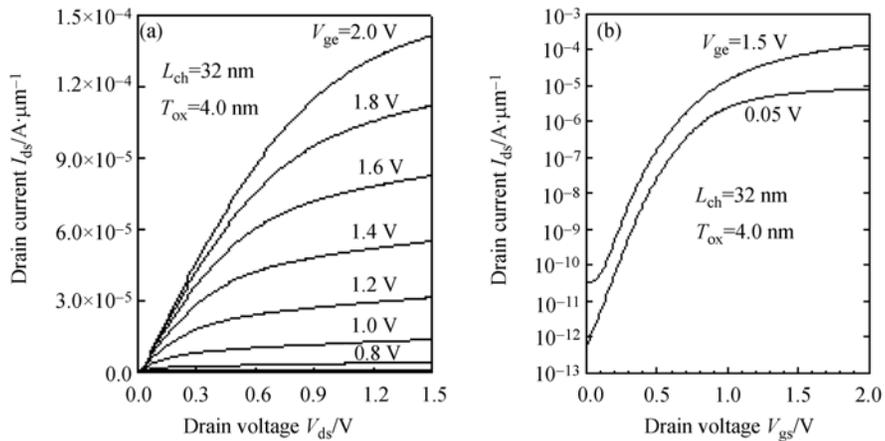


图 4 实验制备的 32nm 沟长 AGLDD 垂直沟道 nMOSFET 器件的特性曲线(栅氧 $T_{ox}=4.0$ nm)
(a) 输出特性曲线; (b) 转移特性曲线

2 硅纳米线围栅器件

在双栅器件的基础上, 为进一步提高栅的控制能力, 可增加栅的数量, 以适应特征尺寸不断缩小的趋势. 发展了三栅 MOS、 Ω 栅 MOS 器件以及围栅(gate all around, GAA)器件结构, 其中三栅 MOS 器件、围栅器件相当于 3 个栅和 4 个栅器件, Ω 栅 MOS 器件栅的数量介于两者之

间. 随着栅的数目的增多, 栅控能力逐渐增强, 器件可以更为有效地降低短沟效应, 等比例缩小能力增大.

围栅硅纳米线器件(nanowire FET, NWFET)是一种理想的非传统器件结构. 其中硅纳米线可以通过化学方法, 利用催化剂生长来实现, 但是这类方法与传统的半导体硅技术不相兼容, 并且难以实现定位生长, 工艺集成困难, 目前还不适合集成. 利用传统体硅制备工艺方法来制备硅纳米线器件结构具有很好的可集成性, 其基本结构如图 6 所示. 该器件整个沟道区被栅包围, 栅控能力大大增强, 可有效控制短沟效应和泄漏电流; 硅膜很薄, 趋于体反型, 载流子迁移率较高, 可以达到准一维弹道输运, 单位面积驱动电流大, 有利于器件开态电流的提高; 整个硅膜为圆柱状, 一维对称结构可给器件设计引入新的思路, 而且可避免传统围栅矩形结构中的拐角效应. 尤其该硅纳米线器件采用传统的由上而下的方法制备, 与传统 CMOS 工艺兼容性良好^[14-17], 体硅纳米线器件结构被认为是最有潜力拓展到 10 nm 量级领域的器件结构之一.

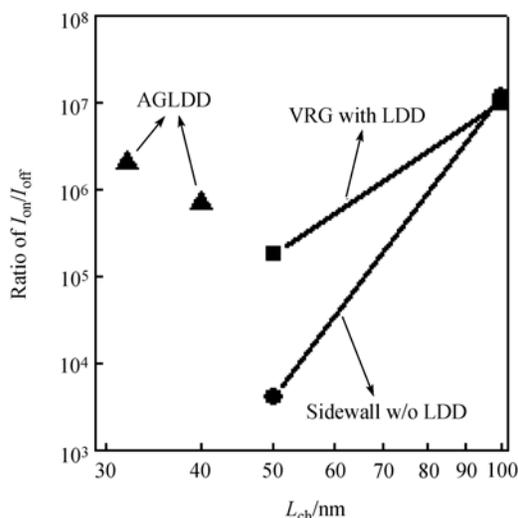


图 5 亚 50 nm 沟长的垂直 AGLDD 器件与常规 VRG 器件(常规 LDD 结构)和侧墙栅垂直沟道器件 Sidewall(没有 LDD 结构)特性比较



图 6 三维理想硅纳米线围栅器件

目前利用自上而下的方式实现硅纳米线结构包括利用 SOI(silicon on insulator)衬底和体硅衬底制备(如图 7(a)所示). 基于 SOI 衬底的器件, 由于氧化硅的导热率较低, 器件工作中产生的大量热难以通过衬底散出, 自热效应严重, 会降低器件的驱动电流, 影响电路和器件特性. 此外, 在 SOI 衬底上制备的器件, 由于源漏区和沟道区都是纳米线结构, 这种由直径为几十纳米甚至几纳米的圆柱形组成的沟道和源漏区, 会引入较大的寄生源漏串联电阻, 严重影响器件的性能, 驱动能力显著退化. 采用体硅技术形成 NWFET, 目前提出的方法用 SiGe 选择外延而后去除的方法, 工艺比较复杂, 而且对于 NMOS 器件会引入退化应力.

针对相关问题, 我们提出了一种与传统 MOS 器件工艺兼容的在体硅硅片上制备大扇出源漏的硅纳米线器件的方法^[18], 并且对硅纳米线器件的可靠性进行了研究^[19]. 器件结构如图

7(b)所示, 源漏基于体硅实现, 采用自上而下的途径实现硅纳米线围栅结构, 不需要外延工艺, 可实现完全自对准, 而且工艺简单, 成本低. 此外, 由于在体硅上实现和产生的热可通过与源漏区相连接的衬底耗散, 故可有效抑制自热效应. 由于源漏与衬底相连接, 故可以实现大扇出的深的源漏区, 有效降低寄生电阻, 利于发挥纳米线围栅结构的特性优势.

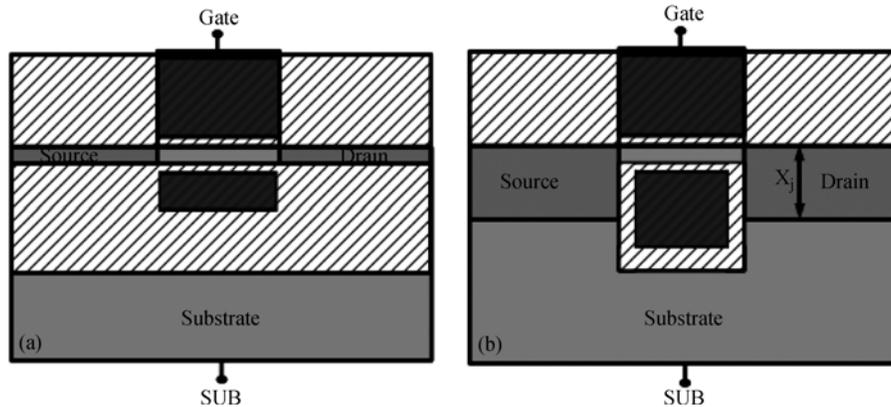


图 7 硅纳米线剖面结构图

(a) 现有通过 SOI 衬底实现的硅纳米线器件结构剖面图; (b) 本工作提出的体硅衬底上实现的硅纳米线器件结构剖面图

该器件制备的主要工艺过程如下: 定义有源区, 利用 LOCOS 的方法形成场区隔离, 淀积硬掩膜, 光刻刻蚀定义纳米线; 刻蚀硬掩膜, 淀积氧化层刻蚀形成侧墙; 源漏注入, 侧墙用于保护沟道区不被注入; 淀积厚氧化硅; 电子束光刻定义槽, 刻蚀氧化层, 干法刻蚀暴露的硅衬底, 刻蚀硅槽; 然后利用氮化硅作为侧墙来保护沟道区, 进行第 2 次刻蚀, 通过 RIE 各向同性刻蚀去掉沟道下方硅; 进行高浓度衬底掺杂, 以抑制底部寄生晶体管; 去掉氮化硅侧墙和硬掩膜, 再利用湿氧氧化方法减薄纳米线, 形成直径小于 10 nm 的纳米线沟道区; 栅氧化, 淀积多晶硅并进行栅注入, 退火激活杂质, 开引线孔, 最后电极引出, 完成器件制备. 该集成方案中通过氧化工艺实现减小硅线的直径, 可以通过氧化温度和时间进行有效调节, 氧化的高温过程、尺寸限制效应和后续退火过程可以有效缓解纳米线的拐角效应, 有利于硅纳米线形状的优化, 改善器件的驱动能力和可靠性问题, 而且采用底部寄生管抑制注入, 可以进一步抑制泄漏电流.

图 8(a)为制备得到的纳米线器件 SEM 横截面图, 图 8(b)为 TEM 照片, 可见中间黑点为周期性的晶格有序排列, 是单晶硅纳米线, 不同于周围原子呈无序排列的氧化层. 纳米线的直径小于 10 nm, 并且形状近似为圆柱形结构. 图 9 为实际纳米线 MOS 器件结构的 SEM 俯视图(单 fin 和 4fin), 从图中可以明显看到沟道槽中的纳米线结构. 图 10 给出了制备得到的沟长为 130 nm 硅纳米线的转移特性和输出特性曲线. 从器件的转移特性曲线中可以看到由于纳米线围栅器件特有的围栅结构, 具有很强的栅控能力. 虽然沟长为 130 nm, 栅氧厚度为 5 nm, 但是器件的漏致势垒降低效应(DIBL)只有 4 mV/V, 亚阈值斜率为 74 mV/dec, 而且有很高的电流开关比, 达到 2×10^8 . 制备的硅纳米线的直径小于 10 nm, 理想的围栅结构和大扇出的源漏区, 获得了

理想的亚阈值特性、低的泄漏电流和高的开态电流. 图 10 同时给出了器件的输出曲线, 从图中可以看到器件的源漏串联电阻小, 开态电流大. 图 11 给出了 4 条和 1 条硅条数量的转移特性曲线比较. 从图中可以明显看到由于硅条数量的增加, 器件的电流成比例增加, 4 条硅条的器件的开态电流大约是 1 条硅条器件的 4 倍, 制备得到的器件寄生效应控制较好.

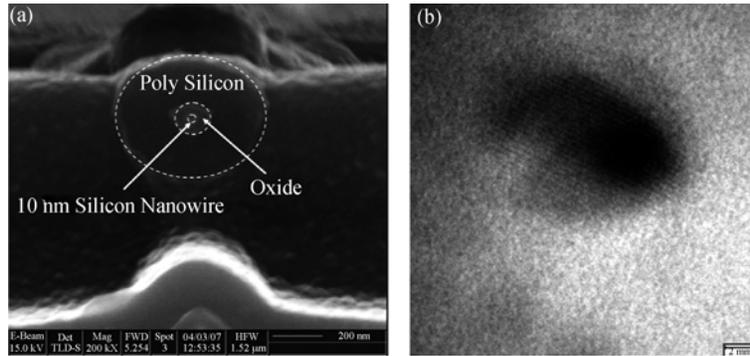


图 8 硅纳米线结构的剖面照片

(a) 未漂掉薄氧化层的纳米线 SEM 截面图; (b) 形成的纳米线 TEM 剖面图

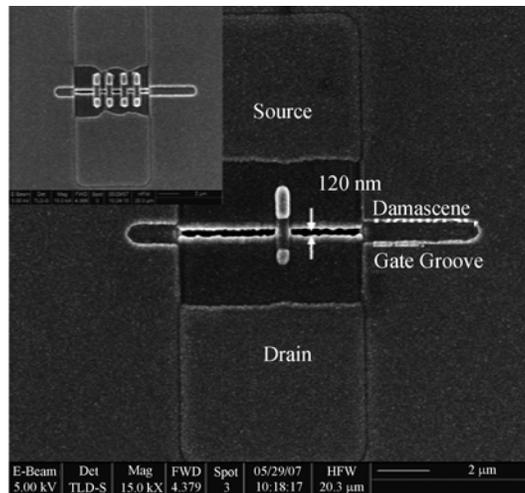


图 9 制备得到的纳米线器件的 SEM 俯视图(单 fin&4fin)

3 小结

随着集成电路特征尺寸的不断缩小, 传统 CMOS 器件面临诸多挑战, 需要采用包括结构、材料、工艺在内的新器件技术, 本文主要从器件结构角度, 介绍了有良好栅控能力的新型 AGLDD 垂直双栅器件; 给出 TOP-DOWN 方法实现的基于体硅衬底的围栅硅纳米线器件结构,

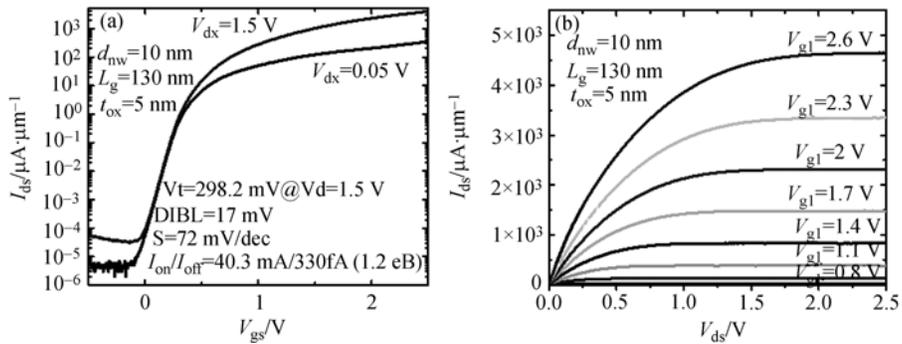


图 10 制备得到的围栅硅纳米线器件的转移和输出特性曲线

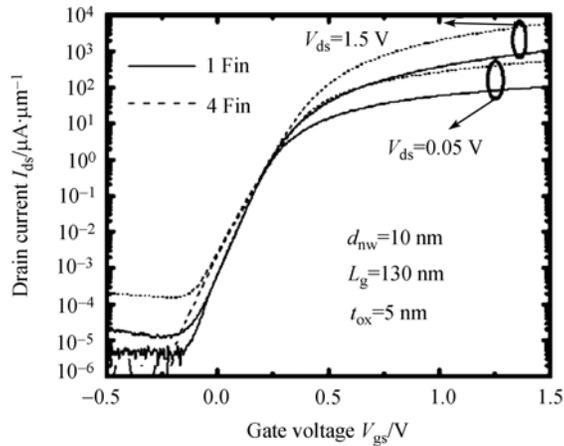


图 11 制备的硅纳米线围栅器件不同硅条数量实验转移特性曲线比较

该结构可良好抑制自热效应, 实现大扇出源漏, 降低寄生电阻, 工艺实现简单, 并可实现自对准. 实验结果很好地验证了器件优势. 随着集成电路技术代的不断发展, 最终会选择何种结构, 现在还不可知, 然而, 与标准工艺基本兼容的具有很强缩比能力的高速低功耗器件无疑将是最具潜力和最具生命力的.

参考文献

- 1 The International Technology Roadmap for Semiconductors Roadmap. ITRS roadmap, 2006. [\[DOI\]](#)
- 2 Wong H S P, Frank D J, Solomon P M. Device design consideration for double-gates, ground-plane, and single-gated ultra-thin SOI MOSFET's at the 25 nm channel length generation. IEDM Tech Dig, 1998: 407—410
- 3 Lee J H, Taraschi G, Wei A, et al. Super self-aligned double-gate (SSDG) MOSFETs utilizing oxidation rate difference and selective epitaxy. IEDM Tech Dig, 1999: 71—74
- 4 Su T, Denton J P, Neudeck G W. New planar self-aligned double-gate P-MOSFETs using epitaxy lateral over-

- growth (ELO) and selectively grown source/drain (S/D). In: Proc IEEE SOI Conf. New York: IEEE, 2000. 110—111
- 5 Zhang S D, Lin X N, Huang R, et al. A self-aligned, electrically separable double-gate MOS transistor technology for dynamic threshold voltage application. *IEEE Trans Elec Dev*, 2003, 50(11): 2297—2300 [\[DOI\]](#)
 - 6 Huang X, Lee W C, Kuo C, et al. Sub-50 nm FinFET: PMOS. *IEDM Tech Dig*, 1999: 67—70
 - 7 Yu B, Chang L, Ahmed S, et al. FinFET scaling to 10 nm gate length. *IEDM Tech Dig*, 2002: 51—254
 - 8 Choi Y K, King T J, Hu C. Nanoscale CMOS spacer FinFET for the terabit era. *IEEE Electron Device Lett*, 2002, 23(1): 25—27 [\[DOI\]](#)
 - 9 Masahar M, Matsukawa T, Lshii K, et al. 15 nm-thick Si channel Wall Vertical Double-gate MOSFET. *IEDM Tech Dig*, 2002: 949—951
 - 10 Schulz T, Rosner W, Risch L, et al. Short-channel vertical sidewall MOSFETs. *IEEE Trans Electron Devices*, 2001, 48: 1783—1788 [\[DOI\]](#)
 - 11 Oh S M, Hergenrother J M, Nigam T, et al. 50 nm vertical replacement-gate (VRG) pMOSFETs. *IEDM Tech Dig*, 2000: 65—68
 - 12 Mori K, AnhKim D, Richardson W F. Sub-100-nm vertical MOSFET with threshold voltage adjustment. *IEEE Trans Electron Dev*, 2002, 49(1): 61—66 [\[DOI\]](#)
 - 13 Zhou F L, Huang R, Zhang Z. Vertical channel nMOSFET with an asymmetric graded lightly doped drain. *Microwell Eng*, 2005, 77(3-4): 365—368 [\[DOI\]](#)
 - 14 Yang F L, Lee D H, Chen H Y, et al. 5 nm-Gate Nanowire FinFET. In: *Symposium on VLSI Technology*, 2004. 196
 - 15 Cui Y, Zhong Z, Wang D, et al. High performance silicon nanowire field effect transistors. *Nano Lett*, 2003, 3(2): 149—152 [\[DOI\]](#)
 - 16 Suk S D, Lee S Y, Kim S M, et al. High performance 5nm radius twin silicon nanowire MOSFET: fabrication on bulk Si wafer, characteristics, and reliability. *IEDM*, 2005, 12: 735—738
 - 17 Wang J, Rahman A, Klimeck G, et al. Bandstructure and orientation effects in ballistic Si and Ge nanowire FETs. *IEDM*, 2005, 12: 537—540
 - 18 Tian Y, Huang R, Wang Y Q, et al. New self-aligned silicon nanowire transistors on bulk substrate fabricated by epi-free compatible CMOS technology. *IEDM Digest*, 2007: 895—898
 - 19 Wang R S, Huang R, Kim D W, et al. New observations on the hot carrier and NBTI reliability of silicon nanowire transistors. *IEDM Digest*, 2007: 821—824