



# 基于忆阻器实现多样化STDP学习规则的突触电路设计

张鑫, 夏天, 叶葱\*, 刘炎欣, 刘磊, 沈谅解\*

湖北大学物理与电子科学学院, 湖北省铁电压电材料与器件重点实验室, 武汉 430062

\*E-mail: yecong@issp.ac.cn; soso1979@sina.com

收稿日期: 2019-11-27; 接受日期: 2020-03-10; 网络版发表日期: 2020-07-02

国家自然科学基金(批准号: 61774057)和国家重点研发计划(编号: 2017YFB0405600)资助项目

**摘要** 忆阻器作为一种具有记忆效应的非线性电路元件, 它受到电流刺激后的电导变化与人脑中神经突触的权重变化类似, 可用于模拟人脑学习、记忆过程中的突触行为。本文提出了一种基于忆阻器所搭建的突触电路, 包含了由运放、逻辑门、模拟开关等器件构成的增强模块和抑制模块, 以及由忆阻器和模拟开关构成的忆阻突触模块。通过对增强和抑制模块输入直流脉冲对来模拟生物突触受到前后神经元的刺激。通过调节前后脉冲输入信号的时间差, 发现输入信号间隔越短, 忆阻器电导幅值变化越大, 这与生物突触的STDP (spike-time-dependent-plasticity)学习曲线变化一致; 为了实现突触模拟的多样性, 本文进一步地构建了忆阻突触模块的四种替换电路, 每种替换电路可对应模拟不同的学习规则。由此, 完成了生物突触多样化STDP学习规则的模拟, 解决了突触电路研究中模拟种类单一、输入条件苛刻等问题, 有望运用于未来神经形态芯片的研制中。

**关键词** 忆阻器, 突触电路, 脉冲时间依赖可塑性, 学习规则, 神经形态芯片

## 1 引言

随着大数据时代的到来, 数据信息处理量及计算复杂度急剧增加, 传统计算机的冯诺依曼构架体系正面临数据执行效率低的问题。研究人员期望制造出像人脑一样, 能够计算存储并行的新型计算机构架。早期神经形态系统概念的提出引起了研究人员的关注<sup>[1]</sup>, 这为模拟生物大脑, 并利用神经网络进行信息传输与存储的神经形态芯片研究带来了启发。据研究表明, 生物大脑处理信息的高效性来源于大量神经元交互连

接形成复杂的神经网络<sup>[2]</sup>。在大脑中, 神经突触是神经网络中两相邻神经元之间衔接的基础。神经突触形态、功能及工作效率的变化, 即突触可塑性, 对神经网络中神经元之间信号的传输与存储有着重要的意义<sup>[3]</sup>。因此, 构建人工突触电路是研制神经形态芯片的基础。2008年惠普实验室研究出的氧化钛基薄膜忆阻器实物模型<sup>[4]</sup>, 验证了蔡少棠教授在1971年提出的关于忆阻器存在的理论预测<sup>[5]</sup>。由此, 研究人员对忆阻器进行了大量研究, 包括对忆阻器的仿真建模<sup>[6,7]</sup>, 以及采用晶体管、运放等构建忆阻器的模拟电路<sup>[8~11]</sup>, 最

**引用格式:** 张鑫, 夏天, 叶葱, 等. 基于忆阻器实现多样化STDP学习规则的突触电路设计. 中国科学: 技术科学, 2021, 51: 89–98  
Zhang X, Xia T, Ye C, et al. Realizing diverse STDP learning rules in synaptic circuit based on memristor (in Chinese). Sci Sin Tech, 2021, 51: 89–98,  
doi: 10.1360/SST-2019-0408

后将其运用于神经网络<sup>[12~14]</sup>、逻辑电路<sup>[15]</sup>、混沌电路<sup>[16,17]</sup>、图像处理<sup>[18~20]</sup>等众多方面。忆阻器具有非线性和断电非易失性等独特性能，并且它在电流刺激后与神经网络中的突触有十分相似的传输特性<sup>[21,22]</sup>，由此，忆阻器在模拟人工突触的研究中具有广阔的应用前景。

脉冲时间依赖可塑性(STDP)学习规则是一种通过突触前后脉冲相对时间差来调节突触强度的机制。它是生物神经网络进行学习、记忆、自适应外界干扰的理论基础<sup>[23]</sup>。生物体视觉神经系统<sup>[24]</sup>、肌肉神经接点<sup>[3]</sup>等部位的神经突触中存在着以下四种常见的STDP学习规则：第一种是反对称型Hebbian学习规则，即前神经元刺激比后神经元刺激先到达突触时，突触发生长时程增强导致突触权重增加，前后神经元间的信号传输效率提高。第二种反对称反Hebbian学习规则，即前神经元刺激滞后于后神经元刺激到达突触时，突触发生长时程增强，突触权重上升。第三种是对称型反Hebbian学习规则，即无论前后神经元刺激到达先后，突触均发生长时程抑制，且权重抑制程度与两者时间差有关；第四种是对称型Hebbian学习规则，无论前后神经元刺激到达先后，突触均发生长时程增强，且权重增强程度与两者时间差有关。通常，人们期望构建人工突触电路来实现STDP学习规则，从而研制与实际生物特性更为接近的神经形态芯片。一般而言，人们采用COMS(互补金属氧化物半导体)晶体管构建具有STDP机制的忆阻器模拟器<sup>[25]</sup>，或使用大量晶体管、电容等元件搭建突触电路模拟STDP学习规则<sup>[26]</sup>。这两种方案不仅电路能耗损严重，且拟合曲线与生物测得STDP学习曲线波形相差较大，拟合效果并不理想。近期，Li等人也尝试用单个忆阻器代替复杂的COMS电路<sup>[27~29]</sup>，通过施加严格的尖峰脉冲对刺激来模拟电子突触实现STDP学习规则，拟合曲线虽同生物测量的STDP学习曲线一致，但精度要求较高的尖峰脉冲波形设置增大了实际运用的难度。Wang等人基于忆阻器搭建了忆阻桥等突触电路<sup>[18,30,31]</sup>，在模拟生物突触STDP学习规则的同时并将其用于图像处理。这些研究都成功模拟了突触的STDP学习行为，但与传统的CMOS突触电路类似，仅能模拟突触STDP学习规则中的反对称型Hebbian学习规则。上述研究存在着模拟种类单一、曲线拟合差异大的问题。

本文提出了一种基于单个忆阻器实现STDP学习

规则的突触电路。电路由增强模块、抑制模块及忆阻突触模块三部分组成。本文采用直流脉冲对信号模拟前后神经元的刺激，研究了忆阻器在不同时间差的直流脉冲对刺激下的电导变化情况，由此模拟生物突触在STDP学习规则中的权值变化过程。此外，本文针对忆阻突触模块提出了四种设计方案，分别接入突触电路后可对应模拟突触受到不同前后神经元刺激时的四种STDP学习规则。该电路解决了以往突触电路中存在的输入条件苛刻、模拟种类单一等问题，并且多样化学习规则的模拟与实际生物突触更为接近，为未来神经形态芯片的研究奠定了基础。

## 2 忆阻器模型与突触电路设计

### 2.1 突触电路中的忆阻器模型分析

2008年，Strukov等人在研制出氧化钛基薄膜忆阻器实物模型后，提出了关于忆阻器边界迁移的数学模型<sup>[4]</sup>：

$$\frac{dx(t)}{dt} = \mu_v \frac{R_{ON}}{D^2} i(t), \quad (1)$$

$$\begin{aligned} M(x) &= R_{ON}x(t) + R_{OFF}(1-x(t)) \\ &= R_{OFF} - x(t)\Delta R, \end{aligned} \quad (2)$$

式中， $R_{OFF}$ 表示忆阻器最大极限阻值， $R_{ON}$ 为最小极限阻值( $\Delta R=R_{OFF}-R_{ON}$ )， $x(t)$ 表示离子迁移的状态变量， $D$ 为氧化物薄膜的总厚度， $\mu_v$ 为平均离子漂移率。该模型中掺杂区 $TiO_{2-x}$ 与非掺杂区 $TiO_2$ 的边界迁移速率与忆阻器电流的大小呈线性关系。然而，实际忆阻器中掺杂区与非掺杂区的边界在靠近忆阻器两端时，离子迁移速率与电流呈明显的非线性关系。为模拟忆阻器的非线性效应，我们通常在(2)式右端乘上一个窗函数 $f(x)$ 。在(2)式的基础上，我们建立了图1所示的忆阻器SPICE仿真模型。图1(a)由电压控制电压源 $E_{mem}$ 与电阻 $R_{OFF}$ 构成，可用来描述忆阻器阻值与状态变量之间的变化关系；图1(b)显示了状态变量与流经忆阻器电流之间的变化关系， $G_x$ 为电流控制电流源，状态变量可用电容 $C_x$ 两端电压值 $V(x)$ 表示，电容两端初始电压值则为状态变量的初始值 $X_0$ ， $X_0$ 由忆阻器的初始阻值 $R_{INIT}$ 决定( $X_0=(R_{OFF}-R_{INIT})/\Delta R$ )， $k$ 为比例因子( $k=C_x\mu_v R_{ON}/D^2$ )， $f(x)$ 为窗函数。由图可知，忆阻器两端电压值为：

$$V_{mem} = E_{mem} + I_{mem}R_{OFF}. \quad (3)$$

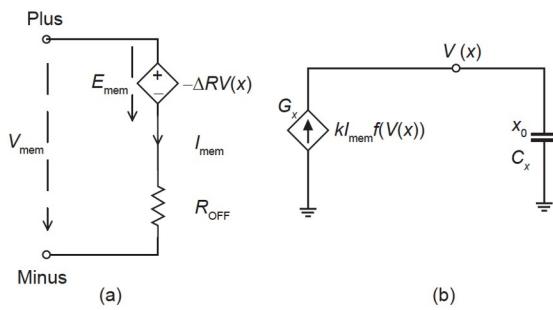


图 1 忆阻器SPICE模型结构图  
Figure 1 Schematic of memristor SPICE model.

则忆阻器阻值表达式为

$$R_{\text{mem}} = \frac{V_{\text{mem}}}{I_{\text{mem}}} = \frac{E_{\text{mem}}}{I_{\text{mem}}} + R_{\text{OFF}}. \quad (4)$$

目前所提出的窗函数包括Joglekar窗函数<sup>[32]</sup>、Bielek窗函数<sup>[33]</sup>以及Zha窗函数<sup>[34]</sup>等。其中, Zha窗函数能够解决离子迁移非线性问题和边界死锁效应(当掺杂区与非掺杂区的边界到达忆阻器两端时, 对其施加反向电压, 边界始终停在忆阻器两端, 忆阻器阻值不再改变)其数学表达式如下:

$$f(x) = 1 - [0.25(x - \text{stp}(-i))^2 + 0.75]^p, \quad (5)$$

其中 $p$ 为控制参数, 用于控制模型的线性度,  $\text{stp}$ 为符号函数(当自变量取值大于或等于0时, 函数值取1; 当自变量取值小于0时, 函数值取0)。

本文仿真时所采用的忆阻器模型的窗函数是在Zha窗函数的基础上进行改进得到的。对于原Zha窗函数, 为了使其波形在边界值附近具有缓慢下降的特性, 我们只能通过增大(5)式中参数 $p$ 得以实现。由于参数 $p$ 为原Zha窗函数的指数部分, 因此, 随着参数 $p$ 取值的增大其函数运算的计算复杂度会呈指数上升。为了解决窗函数波形在边界处能缓慢下降问题的同时, 又不增加窗函数的计算复杂度。本文修改了(5)式中底函数的两个常数部分, 得到改进的Zha窗函数:

$$f(x) = 1 - [0.9(x - \text{stp}(-i))^2 + 0.1]^p. \quad (6)$$

本文将改进Zha窗函数运用于上述忆阻器SPICE仿真模型, 并按照忆阻器SPICE模型编写了相关SPICE语言。其中编写参数如下所示: 忆阻器初始阻值 $R_{\text{init}}=11 \text{ k}\Omega$ , 最小极限阻值 $R_{\text{on}}=100 \Omega$ , 最大极限阻值 $R_{\text{off}}=16 \text{ k}\Omega$ , 平均离子漂移率 $\mu_v \approx 10^{-14} \text{ m}^2 \text{ s}^{-1} \text{ V}^{-1}$ , 氧化物薄

膜的总厚度 $D=10 \text{ nm}$ , Zha窗函数参数 $p=10$ 。事实上, 这些参数的选定与我们的实际忆阻器件相近<sup>[35]</sup>。图2为PSPICE仿真中忆阻器分别在频率为1 Hz与10 Hz正弦波下的 $I-V$ 特性曲线。如图所示, 忆阻器在1 Hz低频正弦电压输入下, 它的电流-电压曲线( $I-V$ )呈现倾斜的数字“8”滞回曲线; 在输入10 Hz高频正弦电压时, 忆阻器的 $I-V$ 曲线几乎合拢呈一条斜线, 忆阻器电导在高频情况下不发生明显变化。由此可见, 基于改进的Zha窗函数建立的忆阻器模型在正弦激励下具有良好的低频阻变、高频阻值恒定的忆阻特性。

## 2.2 实现多样化STDP学习规则的突触电路设计

STDP是生物大脑中的一种高级学习规则<sup>[36,37]</sup>, 它是一种根据前后神经元脉冲时间差调节两神经元间突触权重的机制。STDP机制的存在使得生物神经网络具有一定的自适应抗扰能力, 这在神经网络受扰后整体网络权值恢复的过程中起着重要的作用<sup>[23]</sup>。STDP机制可具体描述为突触权值的变化量 $\Delta\omega$ 是关于 $t_{\text{pre}}$ 与 $t_{\text{post}}$ 时间差的函数, 即 $\Delta\omega=\zeta(\Delta t=t_{\text{post}}-t_{\text{pre}})$ , 其中,  $t_{\text{pre}}$ 与 $t_{\text{post}}$ 分别表示前后神经元刺激到达突触的时刻。前文所提到的反对称型Hebbian学习规则的STDP学习函数 $\zeta(\Delta t)$ 曲线位于1、3象限, 反对称反Hebbian学习规则的学习函数 $\zeta(\Delta t)$ 曲线位于2、4象限。此外, 还有对称反Hebbian学习规则和对称型Hebbian学习规则, 它们的函数波形分别位于3、4象限及1、2象限, 这四种STDP学习规则

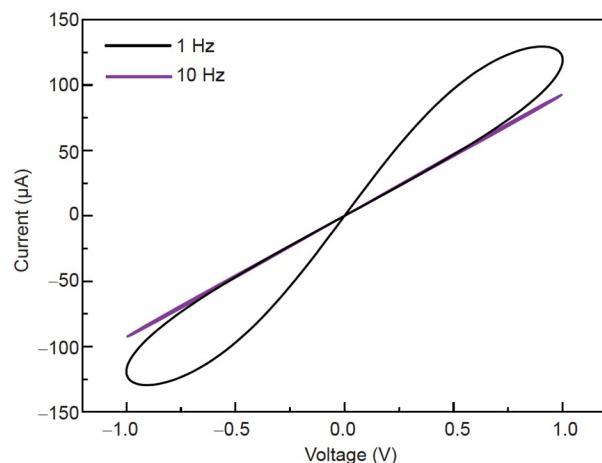


图 2 (网络版彩图)PSPICE仿真中忆阻器分别在1 Hz和10 Hz正弦波下的 $I-V$ 特性曲线

Figure 2 (Color online) The  $I-V$  characteristics of memristor under 1 Hz and 10 Hz applied sinusoidal voltage in PSPICE simulation.

即为本文所模拟的突触学习行为。

本文基于忆阻器设计了能够模拟四种STDP机制的突触电路，电路结构如图3所示。该突触电路由增强模块、抑制模块以及忆阻突触模块三部分构成。增强模块、抑制模块分别工作于突触电路的长时程增强和长时程抑制过程，两者交替运行。Pre和post为突触电路的两个输入信号，分别代表了前后神经元传至突触的动作电位。为简化输入波形，本突触电路采用直流脉冲波形作为输入信号。增强模块、抑制模块可根据前后神经元刺激到达突触的先后，运行相应的模块将电平信号传至忆阻突触部分。当前神经元信号pre先于post到达输入端时，增强模块工作，抑制模块停止；反之，当post先于pre到达输入端时，增强模块停止，抑制模块工作。在pre和post的不同时间差刺激下，输出不同宽度的直流电平至忆阻突触模块，从而相应地调节忆阻器电导变化。

电路在初始状态时，图3中的a、b两点均为零电势点。当前神经元刺激pre于后神经元刺激post之前发生时，增强模块中与非门G<sub>2</sub>的两输入端均达到高电平，输出端由高电平转变为低电平。P型场效应管P<sub>1</sub>的栅源

电压达到开启电压，MOS管P<sub>1</sub>导通且电容C<sub>1</sub>进入充电状态，a点电势逐渐上升至高电位。此时，抑制模块中的与非门G<sub>4</sub>输出高电平将MOS管P<sub>2</sub>锁死，抑制模块停止工作。当pre信号结束时，电容C<sub>1</sub>逐渐通过电阻R<sub>1</sub>进行放电。图中ADG442为单刀单掷模拟开关，其中，S端与D端分别为导通端口，IN端为控制端口。当IN端输入高电平时，S端与D端之间连接导通；当IN端输入低电平时，S端与D端之间断开截止。后神经元信号post接至模拟开关控制端，当post信号到达时模拟开关导通，C<sub>1</sub>上的部分电荷通过模拟开关的S端流入D端流出至电容C<sub>2</sub>。由于电容C<sub>1</sub>容值远大于C<sub>2</sub>，所以电容C<sub>2</sub>会被充满且电压会上升至post达到时刻C<sub>1</sub>两端的电压值。可以发现，pre与post之间时间差越小，C<sub>2</sub>所能上升达到的电压最大值越大。图中LM393与R<sub>3</sub>共同构成电压比较器，调控电压V<sub>th</sub>接至反向输入端用于改变比较阈值。post信号结束时，C<sub>2</sub>开始通过R<sub>2</sub>进行放电。当C<sub>2</sub>放电时两端电压高于V<sub>th</sub>，则比较器输出高电压，改变比较阈值V<sub>th</sub>可改变输出直流电平宽度。同理，当输入信号post先于pre到达时，增强模块停止工作。抑制模块可根据post与pre信号的时间差输出不同宽度的直流电平，时

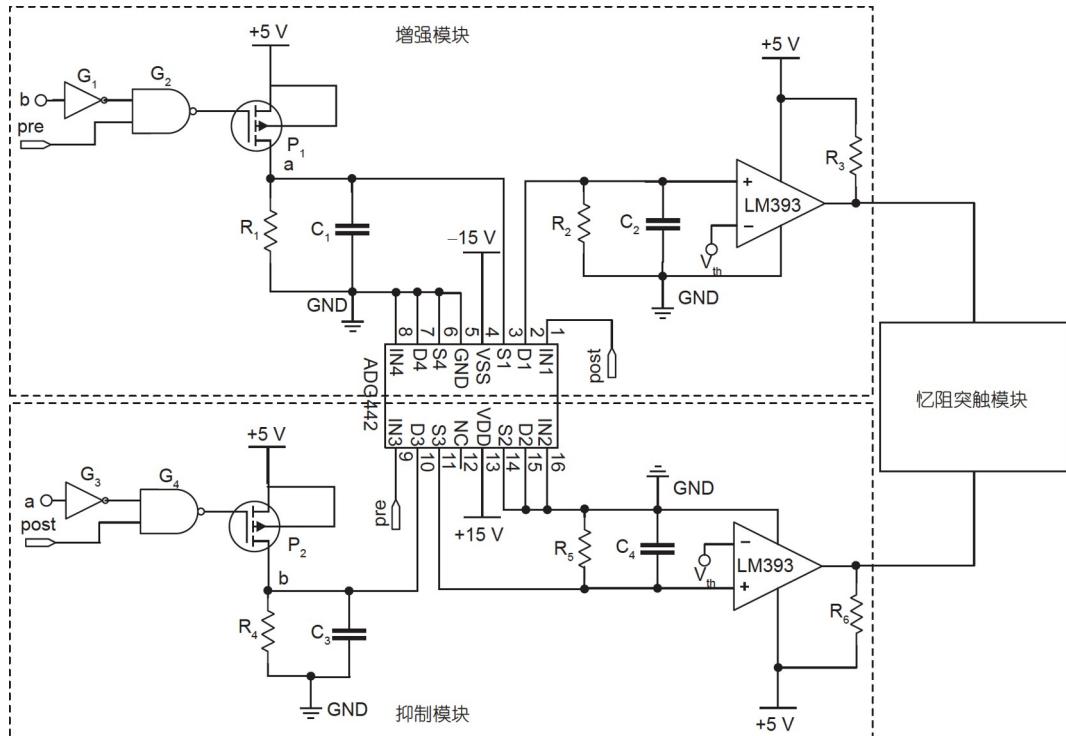


图 3 基于忆阻器的突触电路原理图

Figure 3 Schematic diagram of synaptic circuit based on memristor.

间差越小输出电平宽度越宽。同样地, 改变调控电压  $V_{th}$  也可改变输出电平宽度。

为了实现突触学习规则的多样化模拟, 如图4所示, 本文提出了忆阻突触模块的四种替换电路。电路元件包含了ADG442模拟开关及忆阻器, 替换电路的两个输入端分别与增强模块及抑制模块相连。图4(a)电路可实现1、3象限的反对称型Hebbian学习规则, 其中增强模块与开关1、4的控制端相连, 抑制模块与开关2、3的控制端相连。当输入信号pre先于post到达时, 增强模块产生的高电平使得模拟开关1、4导通, 直流电源产生的电压经过开关1、4施加在忆阻器Rm两端, 忆阻器电导上升。输入信号时间差越小, 施加在忆阻器两端的正向电压脉宽越宽, 忆阻器电导上升幅值越大; 同理, 当post先于pre到达时, 直流电源产生的电压经过开关2、3反向施加在忆阻器Rm两端, 忆阻器电导下降。下降幅值同样与输入信号时间差有关, 时间差越小下降幅值越大。图4(c)电路可实现3、4象限的对称反Hebbian学习规则。当输入信号pre先于post到达时,

增强模块产生的高电平使得开关1导通, 直流电源产生的电压经过开关1反向施加在忆阻器Rm两端, 忆阻器电导下降。可以发现输入信号时间差越小, 忆阻器电导下降幅值越大; 当post先于pre到达时, 抑制模块产生的高电平将开关4导通, 直流电源产生的电压通过开关4反向施加在忆阻器Rm两端并导致忆阻器电导值下降, 同样地, 输入信号时间差越小电导下降幅值越大。在此基础上, 我们将上述(a)、(c)两个替换电路中的忆阻器反向放置, 得到图4(b)和(d)。运行原理同上述替换电路(a)、(c)相类似, 将电路(b)、(d)接入忆阻突触模块后, 输入时间差步进变化的直流脉冲对刺激, 即可模拟2、4象限反对称反Hebbian学习规则及1、2象限对称型Hebbian学习规则中突触权值随前后神经元刺激的变化情况。

### 3 仿真结果与讨论

本文采用PSPICE仿真软件按照图3、4所示搭建

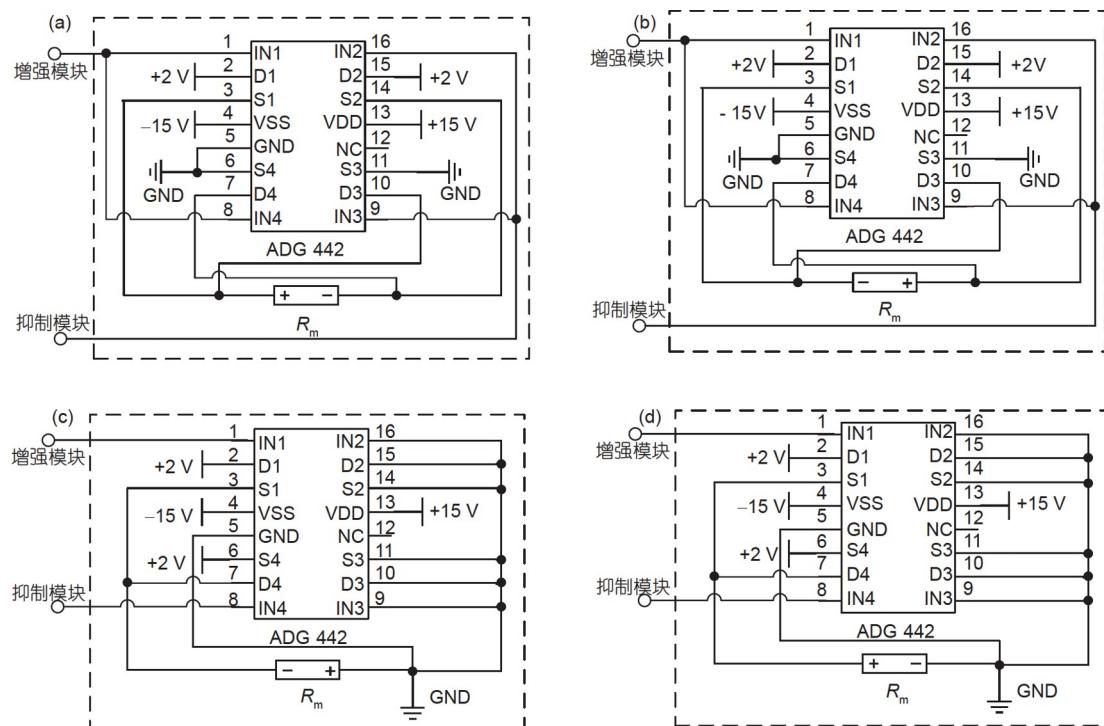


图 4 忆阻突触模块的四种替换电路。(a) 用于实现1、3象限的反对称型Hebbian学习规则; (b) 用于实现2、4象限的反对称反Hebbian学习规则; (c) 用于实现3、4象限的对称反Hebbian学习规则; (d) 用于实现1、2象限的对称型Hebbian学习规则

**Figure 4** Four alternative circuits for memristive synapse module. (a) Implement of antisymmetric Hebbian learning rule for quadrants 1 and 3; (b) implement of antisymmetric anti-Hebbian learning rule for quadrants 2 and 4; (c) implement of symmetric anti-Hebbian learning rule for quadrants 3 and 4; (d) implement of symmetric Hebbian learning rule for quadrants 1 and 2.

运行此电路, 对生物突触的四种STDP学习规则进行了模拟。突触电路中元件参数如下所示:  $R_1=R_4=1\text{ k}\Omega$ ,  $R_2=R_5=15\text{ k}\Omega$ ,  $R_3=R_6=10\Omega$ ,  $C_1=C_3=10\mu\text{F}$ ,  $C_2=C_4=1\mu\text{F}$ , 矩形脉冲输入信号的幅值为4 V, 宽度为1 ms。

图5为突触电路增强模块的输出电平宽度  $t_w$  随输入间隔  $\Delta t_{\text{post-pre}}$  的变化情况。其中, 调控电压  $V_{\text{th}}$  代表增强模块中电压比较器的反向输入端电压, 电压的幅值即为比较阈值。当pre超前post的时间差  $\Delta t_{\text{post-pre}}$  以1 ms 步进增加时, 同一  $V_{\text{th}}$  下的增强模块输出电平宽度  $t_w$  会随着  $\Delta t_{\text{post-pre}}$  的增大而减少, 最后下降至0(即增强模块不再输出直流电平)。当调控电压  $V_{\text{th}}$  从0.5 V上升至2.5 V时, 相同  $\Delta t_{\text{post-pre}}$  下增强模块输出直流电平宽度  $t_w$  由大变小。从图中可以看出, 每条曲线均在  $\Delta t_{\text{post-pre}}=1\text{ ms}$  处, 输出电平宽度  $t_w$  达到最大值。当  $V_{\text{th}}$  取0.5 V时, 输出电平宽度  $t_w$  最大值为32.8 ms, 但随着  $V_{\text{th}}$  的上升,  $t_w$  的最大输出值逐渐降低, 在  $V_{\text{th}}$  上升至2.5 V时,  $t_w$  的最大输出值下降到8.6 ms。当pre与post的时间差越小时, 增强模块输出的直流电平宽度越宽。我们将增强模块输出的直流电平施加在忆阻器两端, 观察忆阻器电导随输入时间差的变化情况。结果表明, 忆阻器电导变化幅值会随着输入脉冲时间差的增大而减小, 这与STDP机制中突触权重的改变量随着神经元刺激时间差增大而减小的特性相同。因此, 该增强模块能够用来模拟突触的STDP学习规则。

图6表示忆阻突触模块接入替换电路(a)后, 依次输入  $\Delta T=1\text{ ms}, 8\text{ ms}, -1\text{ ms}, -8\text{ ms}$  的脉冲对时, 忆阻

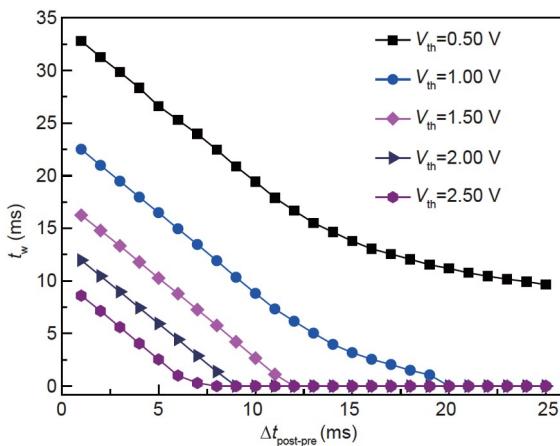


图5 (网络版彩图) 增强模块的输出电平宽度  $t_w$  随输入时间差的变化情况

Figure 5 (Color online) The change of  $t_w$  with the input time difference.

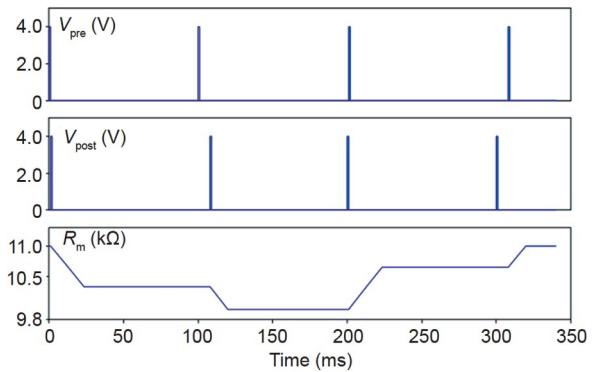


图6 (网络版彩图) 输入  $\Delta T=1\text{ ms}, 8\text{ ms}, -1\text{ ms}, -8\text{ ms}$  的脉冲对时忆阻器阻值  $R_m$  随时间的变化过程

Figure 6 (Color online) The change process for resistance  $R_m$  of memristor with time when  $\Delta T=1\text{ ms}, 8\text{ ms}, -1\text{ ms}, -8\text{ ms}$

器阻值  $R_m$  随时间  $t$  的波形变化。其中,  $V_{\text{th}}$  设定为1 V, 输入直流脉冲信号的幅值取5 V。当pre超前post的时间差较小时( $\Delta t_{\text{post-pre}}=1\text{ ms}$ ), 忆阻器阻值从11k下降到10.3k; 当pre超前post的时间差较大时( $\Delta t_{\text{post-pre}}=8\text{ ms}$ ), 忆阻器电阻值从10.3k下降到9.9k。当pre滞后post的时间差较小时( $\Delta t_{\text{post-pre}}=-1\text{ ms}$ ), 忆阻器阻值从9.9k上升到10.7k; 当pre滞后post的时间差较大时( $\Delta t_{\text{post-pre}}=-8\text{ ms}$ ), 忆阻器电阻值从9.9k上升到11k。同样地, pre滞后post的时间差越大, 忆阻器阻值上升的幅值越小。结果表明, 在模拟突触受到前后神经元刺激时, 图6所示忆阻器阻值随时间的波形变化完全符合反对称型Hebbian学习规则中突触权重在时域上的变化。

在神经学中通常用一个指数函数来拟合STDP学习规则的数学模型, 对于反对称型Hebbian学习规则及反对称反Hebbian学习规则, 一般采用(7)式指数函数进行拟合<sup>[38]</sup>:

$$\Delta\omega = A \exp(-\Delta t / \tau), \quad (7)$$

而对于对称Hebbian学习规则及对称反Hebbian学习规则, 可采用(8)式指数函数拟合<sup>[38]</sup>:

$$\Delta\omega = A \exp(-\Delta t^2 / \tau^2). \quad (8)$$

将四种替换电路分别接入忆阻突触模块, 测量了调控电压  $V_{\text{th}}$  设定1 V时, 忆阻器电导变化  $\Delta G$  随输入信号时间差  $\Delta t_{\text{post-pre}}$  的变化情况(其中  $\Delta G = \frac{G-G_0}{G_0} \times 100\%$ ,  $G$  为施加刺激后的忆阻器电导值,  $G_0$  为忆阻器初始电导值)。由于生物突触的突触权重表示两个神经元之间

信号传递的连接强度, 其性质正好与忆阻器电导类似, 因此, 我们用忆阻器电导变化 $\Delta G$ 表示(7)、(8)拟合式中的突触权重变化 $\Delta\omega$ , 将所测量的忆阻器电导变化值按上述指数函数进行拟合, 得到图7所示四种STDP学习规则曲线拟合图。图7(a)表示突触反对称型Hebbian学习规则的模拟。(a)图显示, 随着 $\Delta t_{\text{post-pre}}$ 逐渐正向增大, 忆阻器电导上升百分比 $\Delta G$ 由最大值慢慢变小。这是由于增强模块会根据输入信号pre超前post的时间差, 在忆阻器两端施加一段 $\Delta t_{\text{post-pre}}$ 越小 $t_w$ 越宽的直流电平, 最后导致忆阻器电导上升, 但 $\Delta G$ 变小; 当 $\Delta t_{\text{post-pre}}$ 逐渐负向增大时, 忆阻器电导下降百分比 $\Delta G$ 逐渐由下降最大值缓慢上升, 其电导下降幅值最大值比 $\Delta t_{\text{post-pre}} > 0$ 时电导上升幅值的最大值明显要低。根据上述(7)式拟合结果, 在 $\Delta t_{\text{post-pre}} = 0_+$ 时电导上升百分比 $\Delta G$ 最大值约为61.51, 即式中 $A_+ \approx 61.51\%$ ; 当 $\Delta t_{\text{post-pre}} = 0_-$ 时, 拟合参数 $A_- \approx -24.79\%$ , 这与生物中所观测到的突触权值变化大体一致(由于生物体种类与突触部位存在差异, 因此拟合参数 $A$ 和 $\tau$ 没有一个确切的衡量标准)。图

(b)代表反对称反Hebbian学习规则的模拟, 其测量方法与结果与图(a)相似, 测量数据采用(7)式指数函数进行拟合。图(c)和(d)分别表示对称反Hebbian学习规则及对称型Hebbian学习规则。它们的权值变化 $\Delta G$ 仅与 $|\Delta t_{\text{post-pre}}|$ 的大小有关, 与输入信号pre和post先后顺序无关, 测量数据均采用(8)式指数函数进行拟合。结果表明, 以上测得的四种STDP学习函数曲线同生物中测量得到的曲线变化一致。相比与传统实现STDP学习规则的突触电路, 该电路不仅在测量结果上与实际生物突触更加接近, 更在以往仅能模拟反对称型Hebbian学习规则的基础上, 实现了生物突触中存在的其他三种STDP学习规则, 解决了传统突触电路模拟STDP种类单一的问题。

图8进一步研究了调控电压 $V_{\text{th}}$ 对忆阻器电导变化的影响。我们以四种学习规则中的反对称型Hebbian学习规则为例, 测量了调控电压 $V_{\text{th}}$ 从0.5 V上升至2.5 V时, 忆阻器电导变化 $\Delta G$ 随输入脉冲时间差 $\Delta t_{\text{post-pre}}$ 的变化情况。从图中可以看出在不同 $V_{\text{th}}$ 下, 忆阻器的电导

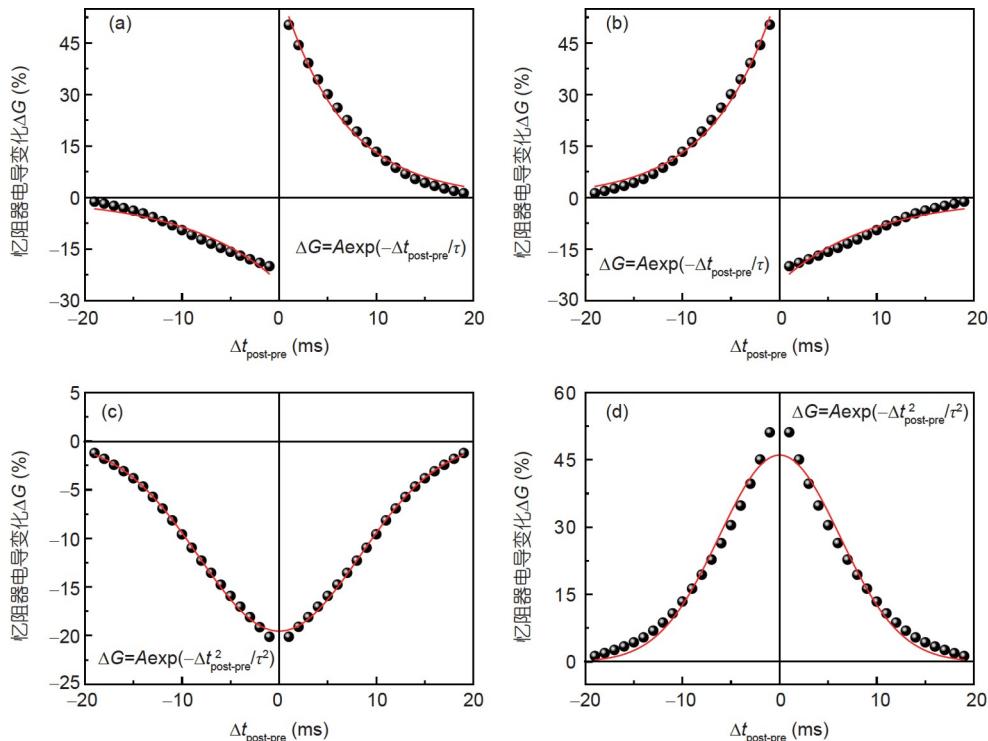


图7 (网络版彩图) (a)~(d)分别为接入图3所示忆阻突触模块的四种替换电路时, 测量的不同输入时间差下忆阻器电导变化情况。(a) 反对称型Hebbian学习规则; (b) 反对称反Hebbian学习规则; (c) 对称反Hebbian学习规则; (d) 对称型Hebbian学习规则

**Figure 7** (Color online) The change for conductance of memristor under different input time difference when four alternative circuits of memristive synapse module are connected. (a) Implement of antisymmetric Hebbian learning rule; (b) implement of antisymmetric anti-Hebbian learning rule; (c) implement of symmetric anti-Hebbian learning rule; (d) implement of symmetric Hebbian learning rule.

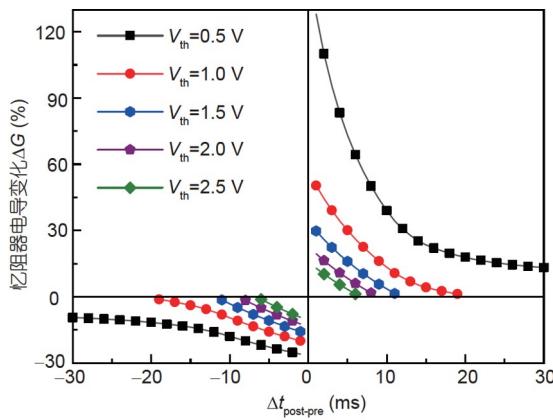


图 8 (网络版彩图) 接入替换电路a时, 不同调控电压  $V_{\text{th}}$  下忆阻器电导变化曲线

Figure 8 (Color online) The conductance change curves of memristor under different  $V_{\text{th}}$  when the alternative circuit a is connected.

变化曲线均满足1、3象限反对称型Hebbian学习规则中突触权重随刺激时间差的变化情况。对于同一输入脉冲时间差  $\Delta t_{\text{post-pre}}$ , 调控电压  $V_{\text{th}}$  取值越小, 忆阻器电导变化幅值越大。结果表明, 调控电压  $V_{\text{th}}$  改变了相同间隔神经元刺激下突触权重的变化量, 使得所模拟的

STDP学习规则曲线发生改变(即改变了拟合公式7、8中的参数  $A$  和  $\tau$ ), 实现了可调节的STDP学习规则。

## 4 结论

本文提出了一种基于忆阻器实现四种STDP学习规则的突触电路。通过对突触电路输入双直流脉冲信号, 模拟了生物突触受到前后神经元的刺激。通过施加四种不同间隔的前后神经元脉冲, 观察到忆阻器电导随时间的波形变化符合反对称型Hebbian学习规则中突触权重在时域上的变化。通过测量忆阻突触模块在不同替换电路下的四种忆阻器电导随时间间隔差的变化曲线, 发现了它与生物中测量得到的四种STDP学习函数曲线变化一致, 完成了生物突触多样化STDP学习规则的模拟。最后, 通过分析调控电压  $V_{\text{th}}$  的改变对忆阻器电导变化的影响, 验证了本文突触电路在实现STDP学习规则的过程中具有可调节能力, 有望解决未来人工突触电路运用于实际所面临的环境复杂多变等问题。

## 参考文献

- 1 Mead C. Neuromorphic electronic systems. *Proc IEEE*, 1990, 78: 1629–1636
- 2 Pakkenberg B, Gundersen H J G. Neocortical neuron number in humans: Effect of sex and age. *J Comp Neurol*, 1997, 384: 312–320
- 3 Zhang C X, Chen Y, Yi M D, et al. Recent progress in memristors for stimulating synaptic plasticity (in Chinese). *Sci Sin Inf*, 2018, 48: 115–142  
[张晨曦, 陈艳, 仪明东, 等. 基于忆阻器模拟的突触可塑性的研究进展. 中国科学: 信息科学, 2018, 48: 115–142]
- 4 Strukov D B, Snider G S, Stewart D R, et al. The missing memristor found. *Nature*, 2008, 453: 80–83
- 5 Chua L. Memristor-the missing circuit element. *IEEE Trans Circuit Theor*, 1971, 18: 507–519
- 6 Li Q J, Serb A, Prodromakis T, et al. A memristor SPICE model accounting for synaptic activity dependence. *PLoS ONE*, 2015, 10: e0120506
- 7 Zhang Y, Wang X P, Li Y, et al. Memristive model for synaptic circuits. *IEEE Trans. Circuits Syst*, 2017, 64: 767–771
- 8 Bao H, Hu A, Liu W, et al. Hidden bursting firings and bifurcation mechanisms in memristive neuron model with threshold electromagnetic induction. *IEEE Trans Neural Netw Learn Syst*, 2020, 31: 502–511
- 9 Chen M, Sun M, Bao H, et al. Flux–charge analysis of two-memristor-based Chua’s circuit: Dimensionality decreasing model for detecting extreme multistability. *IEEE Trans Ind Electron*, 2019, 67: 2197–2206
- 10 Chen M, Qi J W, Wu H G, et al. Bifurcation analyses and hardware experiments for bursting dynamics in non-autonomous memristive FitzHugh–Nagumo circuit. *Sci China Technol Sci*, 2020, 63: 1035–1044
- 11 Bao H, Chen M, Wu H G, et al. Memristor initial-boosted coexisting plane bifurcations and its extreme multi-stability reconstitution in two-memristor-based dynamical system. *Sci China Technol Sci*, 2020, 63: 603–613
- 12 Hu S G, Liu Y, Liu Z, et al. Associative memory realized by a reconfigurable memristive Hopfield neural network. *Nat Commun*, 2015, 6: 7522
- 13 Yang J, Wang L, Wang Y, et al. A novel memristive Hopfield neural network with application in associative memory. *Neurocomputing*, 2017, 227: 142–148
- 14 Li C D, Ge J H, Tian Y. Associative learning of memristive synapses circuits based on spiking neural networks (in Chinese). *J Chongqing Univ*,

- 2014, 37: 115–124 [李传东, 葛均辉, 田园. 脉冲神经网络的忆阻器突触联想学习电路分析. 重庆大学学报, 2014, 37: 115–124]
- 15 Zhang B, Cai L, Feng C W. A memristor based reconfigurable logic circuit (in Chinese). *Microelectron*, 2016, 46: 675–679 [张波, 蔡理, 冯朝文. 一种基于忆阻器的可重配置逻辑电路. 微电子学, 2016, 46: 675–679]
- 16 Wang L D, Drakakis E, Duan S K, et al. Memristor model and its application for chaos generation. *Int J Bifurcation Chaos*, 2012, 22: 1250205
- 17 Min F H, Wang Z L, Wang E R, et al. New memristor chaotic circuit and its application to image encryption (in Chinese). *J Electr Inf Technol*, 2016, 38: 2681–2688 [闵富红, 王珠林, 王恩荣, 等. 新型忆阻器混沌电路及其在图像加密中的应用. 电子与信息学报, 2016, 38: 2681–2688]
- 18 Wang L D, Duan M T, Duan S K, et al. Neural networks based on STDP rules and memristor bridge synapses with applications in image processing (in Chinese). *Sci Sin Inf*, 2014, 44: 920–930 [王丽丹, 段美涛, 段书凯, 等. 基于STDP规则和忆阻桥突触的神经网络及图像处理. 中国科学: 信息科学, 2014, 44: 920–930]
- 19 Yang J, Wang L D, Duan S K. An anti-series memristive synapse circuit design and its application (in Chinese). *Sci Sin Inf*, 2016, 46: 391–403 [杨玖, 王丽丹, 段书凯. 一种反向串联忆阻突触电路的设计及应用. 中国科学: 信息科学, 2016, 46: 391–403]
- 20 Hu X F, Duan S K, Wang L D, et al. Memristive crossbar array with applications in image processing (in Chinese). *Sci Sin Inf*, 2011, 41: 500–512 [胡小方, 段书凯, 王丽丹, 等. 忆阻器交叉阵列及在图像处理中的应用. 中国科学: 信息科学, 2011, 41: 500–512]
- 21 Sun Y, Xu H, Liu S, et al. Short-term and long-term plasticity mimicked in low-voltage Ag/GeSe/TiN electronic synapse. *IEEE Electron Device Lett*, 2018, 39: 492–495
- 22 Hu L, Fu S, Chen Y H, et al. Ultrasensitive memristive synapses based on lightly oxidized sulfide films. *Adv Mater*, 2017, 29: 1606927
- 23 Chen Y Z, Xu G Z, Zhou Q, et al. Robustness analysis of adaptive neural network model based on spike-time-dependent plasticity (in Chinese). *J Biomed. Eng*, 2015, 32: 25–31 [陈云芝, 徐桂芝, 周茜, 等. 基于脉冲时间依赖可塑性的自适应神经网络抗扰能力研究. 生物医学工程学杂志, 2015, 32: 25–31]
- 24 Yao H S, Dan Y. Stimulus timing-dependent plasticity in cortical processing of orientation. *Neuron*, 2001, 32: 315–323
- 25 Babacan Y, Kaçar F. Memristor emulator with spike-timing-dependent-plasticity. *AEU-Int J Electron Commun*, 2017, 73: 16–22
- 26 Cruz-Albrecht J M, Yung M W, Srinivasa N. Energy-efficient neuron, synapse and STDP integrated circuits. *IEEE Trans Biomed Circuits Syst*, 2012, 6: 246–256
- 27 Li Y, Zhong Y P, Xu L, et al. Ultrafast synaptic events in a chalcogenide memristor. *Sci Rep*, 2013, 3: 1619
- 28 Jo S H, Chang T, Ebong I, et al. Nanoscale memristor device as synapse in neuromorphic systems. *Nano Lett*, 2010, 10: 1297–1301
- 29 Lee T H, Hwang H G, Woo J U, et al. Synaptic plasticity and metaplasticity of biological synapse realized in a KNbO<sub>3</sub> memristor for application to artificial synapse. *ACS Appl Mater Interfaces*, 2018, 10: 25673–25682
- 30 Zhao L, Hong Q H, Wang X P. Novel designs of spiking neuron circuit and STDP learning circuit based on memristor. *Neurocomputing*, 2018, 314: 207–214
- 31 Hu S G, Wu H T, Liu Y, et al. Design of an electronic synapse with spike time dependent plasticity based on resistive memory device. *J Appl Phys*, 2013, 113: 114502
- 32 Joglekar Y N, Wolf S J. The elusive memristor: Properties of basic electrical circuits. *Eur J Phys*, 2009, 30: 661–675
- 33 Bielek Z, Bielek D, Biolkova V. SPICE model of memristor with nonlinear dopant drift. *Radioengineering*, 2009, 18: 210–214
- 34 Zha J X, Huang H, Liu Y J. A novel window function for memristor model with application in programming analog circuits. *IEEE Trans Circuits Syst II*, 2015, 63: 423–427
- 35 Xiong W, Zhu L Q, Ye C, et al. Bilayered oxide-based cognitive memristor with brain-inspired learning activities. *Adv Electron Mater*, 2019, 1900439
- 36 Song S, Miller K D, Abbott L F. Competitive Hebbian learning through spike-timing-dependent synaptic plasticity. *Nat Neurosci*, 2000, 3: 919–926
- 37 Bi G Q, Poo M M. Synaptic modifications in cultured hippocampal neurons: Dependence on spike timing, synaptic strength, and postsynaptic cell type. *J Neurosci*, 1998, 18: 10464–10472
- 38 Li Y, Zhong Y P, Xu L, et al. Ultrafast synaptic events in a chalcogenide memristor. *Sci Rep*, 2013, 3: 1619

## Realizing diverse STDP learning rules in synaptic circuit based on memristor

ZHANG Xin, XIA Tian, YE Cong, LIU YanXin, LIU Lei & SHEN LiangPing

*Faculty of Physics and Electronic Science, Hubei University, Hubei Key Laboratory of Ferro & Piezoelectric Materials and Devices, Hubei Key Laboratory of Applied Mathematics, Wuhan 430062, China*

Being a nonlinear circuit component with memory function, a memristor is similar to a synapse in human brain, whose conductance can be changed after electrical stimulation. It can be used to simulate a synaptic behavior in the process of learning and memory. In this work, a synaptic circuit based on memristor is realized, which includes an enhancement module, a suppression module, and a memristive synapse module. The enhancement module and the suppression module are composed of op-amps, logic gate, and analog switch, etc., while the memristive synapse module consists of a memristor and an analog switch. By inputting a pair of pulsed DC actuators in the enhancement and suppression modules, the stimulation of bio-synapse from pre-neuron to post-neuron is simulated. By adjusting the time interval between pulse input signals, it is found that the shorter the signal interval, the more remarkable the change in conductance will be achieved by the memristor, which is consistent with the change in spike-timing dependent plasticity (STDP) learning curve of bio-synapse. In order to achieve diversity of the synaptic simulation, four replacement circuits of the memristive synapse module are proposed, each of which can simulate different learning rules on its own. Therefore, the circuits can simulate four kinds of synaptic STDP learning rules, which can solve problems such as single-type simulation, harsh input conditions, etc. in synaptic circuit research, and these circuits are expected to be applied in the development of neuromorphic chips in the future.

**memristor, synapse circuit, spike-time-dependent-plasticity, learning rules, neuromorphic chip**

doi: [10.1360/SST-2019-0408](https://doi.org/10.1360/SST-2019-0408)