



垂直氮化镓功率晶体管及其集成电路的发展状况

李博^{1†}, 尹越^{2†}, 阳志超³, 刘新科^{1*}, 李京波^{4*}

1. 深圳大学材料学院, 广东省功能材料界面工程技术研究中心, 深圳 518071;

2. 中国建筑技术中心, 北京 101300;

3. 东莞南方半导体科技有限公司, 东莞 523781;

4. 华南师范大学半导体科学技术研究院, 广州 510631

† 同等贡献

* 联系人, E-mail: xkliu@szu.edu.cn; jbli@m.scnu.edu.cn

2022-07-19 收稿, 2022-09-18 修回, 2022-09-23 接受, 2022-09-26 网络版发表

国家自然科学基金(61974144, 62004127)、广东省重点领域研究发展计划(2020B010174003)、广东省杰出青年科学基金(2022B1515020073)和深圳市科学技术基金(JSGG20191129114216474)资助

摘要 氮化镓作为第三代宽禁带半导体材料的代表之一, 因其优越的性能, 例如高电子迁移率、高电子饱和速率、耐高温及高热导率等优点吸引了越来越多的关注。也正是因为这些优点, 垂直氮化镓功率晶体管在未来的电力电子领域中具有很大的发展和广泛的应用前景。本文列出了氮化镓材料和其他半导体材料主要的物理参数、氮化镓单晶制备及其外延生长的主要方法, 阐述了氮化镓功率器件在目前环境下的优势。针对器件结构, 列出了横向器件本身存在的问题和垂直器件的优点, 解释了垂直器件为何能够成为未来功率器件的主流结构。在此基础上, 详细介绍了氮化镓电流孔径垂直晶体管、垂直氮化镓沟槽金属氧化物半导体场效应晶体管、基于原位氧化物氮化镓夹层的垂直沟槽金属氧化物半导体场效应晶体管和垂直氮化镓鳍式场效应晶体管的结构、工作原理、研究进展及所存在的一些问题, 并将文中所提及的垂直氮化镓功率晶体管的性能参数按器件种类和时间顺序进行归纳, 为未来氮化镓功率晶体管的发展提出了大致的方向。针对集成电路系统, 归纳了氮化镓功率器件在驱动芯片方面的特殊要求和关键技术。最后, 针对当下的市场环境, 列举了垂直氮化镓功率晶体管在中、低压范围内比较热门且发展前景较好的应用场景。

关键词 氮化镓, 外延生长, 垂直氮化镓晶体管, 氮化镓驱动集成电路

电力电子技术是一项使用电力电子器件将电能进行转换并加以控制的技术, 其核心就是功率半导体器件, 它可以快速高效地完成弱电对强电的控制, 是保证设备正常使用的关键技术。功率器件可分为两类: 一类是以功率二极管、晶闸管、绝缘双极型晶体管为主的双功率半导体器件; 另一类是以垂直双扩散金属氧化物半导体(vertical double-diffused metal-oxide-semiconductor, VDMOS)为代表的功率金属氧化物半导体(me-

tal oxide semiconductor, MOS)器件为主的单极功率半导体器件。自1958年以来, 硅基金属氧化物半导体场效应晶体管就一直在全球微电子行业占据主导地位, 并应用于各种电子设备当中。随着5G技术、汽车、无线通信、航天航空等技术的高速发展, 电气化程度的提高对耐高温、耐高压、高频及大功率的性能有着迫切需求, 例如在汽车领域, 内部各设备所需的电压范围为600~1500 V^[1], 而传统的硅基器件以及横向晶体管(如

引用格式: 李博, 尹越, 阳志超, 等. 垂直氮化镓功率晶体管及其集成电路的发展状况. 科学通报, 2023, 68: 1727–1740

Li B, Yin Y, Yang Z C, et al. Recent progress on the vertical GaN power transistor and its integrated circuit (in Chinese). Chin Sci Bull, 2023, 68: 1727–1740, doi: 10.1360/TB-2022-0778

高电子迁移率晶体管, high electron mobility transistor, HEMT)都存在一些问题, 如材料性能不足以满足一些特殊场景或器件结构所带来的弊端, 导致它们都无法承担这一重任.

功率半导体器件的进步, 核心就是半导体材料的发展. 氮化镓(GaN)作为第三代宽禁带半导体的代表之一, 拥有着宽禁带、高击穿场强、高热导率和高电子漂移速率等优点, 制备出的氮化镓器件导通电阻小、电子迁移率高、热导性好, 而且在散热、能耗、体积等方面也有着很大的优势, 不仅能够极大地提升新兴电力电子器件的性能, 还能达到节省能源的效果. 如图1所示, 氮化镓材料在低、中、高压下都有着很多的应用场景, 适用范围十分广泛. 近年来, 不管是同质外延, 还是异质外延, 氮化镓外延层的碳背景浓度和位错密度都在逐渐降低. 氮化镓自支撑衬底的成本逐渐下降, 质量逐渐提高, 为制备氮化镓垂直器件打下了坚实的基础.

本文总结了氮化镓材料与其他半导体材料的主要物理参数及氮化镓外延生长的主流方法, 主要介绍了目前氮化镓电流孔径垂直晶体管、垂直氮化镓沟槽金属氧化物半导体场效应晶体管、基于原位氧化物氮化镓夹层的垂直沟槽金属氧化物半导体场效应晶体管以及垂直氮化镓鳍式场效应晶体管的发展状况, 概括了氮化镓驱动集成电路(integrated circuit, IC)的关键技术, 列出了氮化镓功率晶体管的一些实际应用场景.

1 氮化镓材料及其制备方法

1.1 氮化镓材料应用于功率器件的优势

电力电子器件的蓬勃发展与半导体材料的发展息息相关. 硅材料的出现使得电子器件领域发生了巨大的变化. 随着单晶硅生产工艺的发展, 硅材料很快就占据了半导体集成电路的主要市场, 广泛应用于各个领域当中, 即便是今天, 硅在半导体材料领域依然占有很高的份额. 随着功率器件的发展, 硅基电力电子器件的性能逐渐逼近材料极限, 很难有更大的突破. 第二代半导体砷化镓(GaAs)具有更高的电子迁移率和饱和电子速度等优势, 稍微缓解了这一现象, 但是由于GaAs材料的禁带宽度、热导率、击穿场强及制作成本与硅(Si)材料相比并没有太大的优势, 导致其在高压高频率领域中得不到广泛的应用. 因此, 以GaN为代表的第三代半导体横空出世, 掀起了研究GaN基器件的热潮. 表1

列出了GaN与其他半导体材料的主要参数.

从表1可以看出, GaN是直接间隙半导体, 其禁带宽度达到3.4 eV, 与Si、碳化硅(4H-SiC)和GaAs相比, GaN在击穿场强、热导率和电子饱和速度等方面有着更大的优势. 同时, GaN的功率品质因数(Baliga figure of merit, BFoM)比其他材料大得多, 这也就意味着GaN基器件能够更好地在高温、高压和高频率的环境下工作.

1.2 氮化镓衬底及其外延层的制备

在过去10年中, 同质外延生长GaN的成本很高, 为降低器件的制备成本, 采用了在Si、SiC和蓝宝石上异质外延生长的方法, 以上这些衬底相比单晶氮化镓衬底具有更低的成本, 因此在市场上应用广泛. 但是, 异质外延生长的GaN内部存在着较大的晶格失配及热失配等问题. 表2给出了在不同衬底上外延生长GaN的缺陷浓度、晶格失配和热失配情况. 这些失配将会导致外延层产生晶格扭曲, 从而形成较高的位错密度, 甚至破裂等问题^[2-5], 会严重影响GaN基器件的性能和使用寿命, 这是目前GaN基器件的性能远低于其材料理论极限的重要原因之一.

高质量的GaN单晶材料是制备高性能器件的基础, 也是根本保障^[6]. 获得高质量GaN外延层的最佳方案就是同质外延, 即在块状GaN衬底上外延生长GaN层. 目前, GaN单晶材料的生长方式主要分为气相外延和液相外延. 其中, 气相外延包括金属有机化学气相沉积(metal organic chemical vapor deposition, MOCVD)、氢化物气相外延(hydride vapor phase epitaxy, HVPE)及其衍生方法, 特点在于生产速率快、尺寸大, 但晶体质量有待提高, 产品一致性较差. 液相外延主要采用氨热法和助溶剂法, 其特点是可制备高纯度、高晶体质量且重复性高的GaN单晶衬底, 但是对设备的要求高, 并且生长速率较低. 在商业应用中, 较低成本HVPE应用最广泛也最成熟, 并且随着改良, 与氨热法和钠助熔剂法结合, 生产的GaN单晶衬底的位错密度在不断降低, 晶圆尺寸在逐渐增大, 制备成本也在不断地降低.

HVPE生产出的GaN是未掺杂的, 其载流子浓度只有 $10^{16} \sim 10^{17} \text{ cm}^{-3}$ ^[7], 难以用于半导体器件的制备, 需针对不同的器件引入不同的掺杂剂, 从而改变GaN的电学性质. 其中, 浅施主掺杂剂有硅^[8]和锗^[9], 浅受主掺杂剂有镁^[10], 深能级掺杂剂有铁^[11]和碳^[12], 可分别实现GaN的N型、P型和半绝缘电特性, 再加上高纯半绝缘

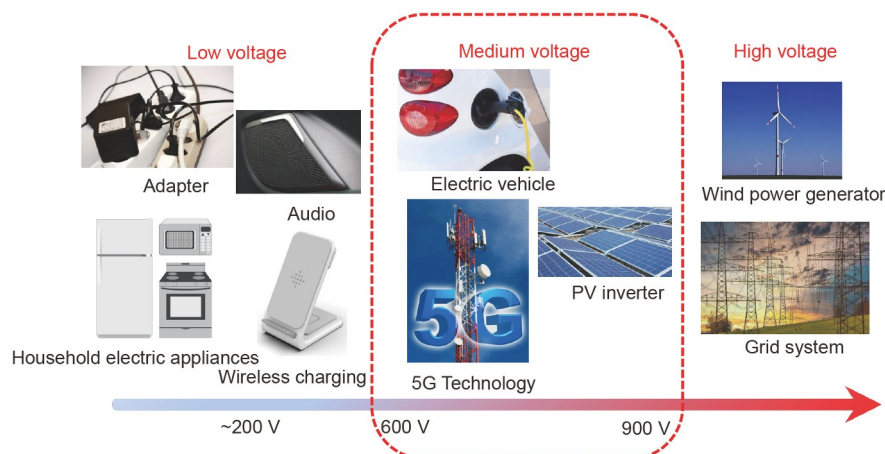


图 1 氮化镓功率器件的应用情况

Figure 1 Application of GaN power devices

表 1 GaN及几种核心半导体材料的主要参数

Table 1 Main parameters of GaN and several core semiconductor materials

材料	能带类型	禁带宽度 $E_g(\text{eV})$	相对介电常数 ϵ_r	电子迁移率 μ_n ($\text{cm}^2 \text{V}^{-1} \text{s}^{-1}$)	热导率 K ($\text{W cm}^{-1} \text{K}^{-1}$)	电子饱和速度 V_s ($\times 10^7 \text{cm s}^{-1}$)	BFoM (相对值)
GaN	直接带隙	3.4	8.9	1400	2.5	2.4	1450
Si	间接带隙	1.12	11.7	1440	1.3	1	1
4H-SiC	间接带隙	3.23	9.66	950	3.7	2	600
GaAs	直接带隙	1.42	12.9	9400	0.55	0.9	16

表 2 氮化镓在不同衬底材料上的外延生长情况

Table 2 Growth status of GaN grown by epitaxy on different substrates

衬底材料	位错密度(cm^{-2})	晶格失配(%)	热膨胀系数失配(%)
GaN	约 $10^4 \sim 10^6$	0	0
Al_2O_3 (蓝宝石)	约 10^9	16	34
6H-SiC	5×10^8	3.5	25
Si	约 10^9	17	54

GaN的发展,可以有效提高器件的耐压能力,从而满足各种器件的要求^[13].

2 垂直氮化镓功率晶体管

按电流在器件内部的流动方向,目前GaN基器件的结构可分为横向结构和垂直结构. 横向器件(主要是HEMT)的内部电场分布不均匀,峰值电场会集中在漏极和栅极边缘(电场集中效应),该处的电场强度大于GaN材料的临界击穿场强,导致器件提前击穿,难以发挥GaN材料耐高压的优势. 而且,击穿电压和栅极-漏极的间距成正比,即要提高器件的耐压水平就必须增大

器件面积,这不仅增加了制作成本,还不利于后期的集成;横向器件对缓冲层的厚度和晶体质量也有一定的要求,增加了器件外延生长的生产成本和复杂性;再加上表面陷阱态和电场拥挤的影响,很容易使器件产生电流崩塌^[14,15],从而达不到预计的电流值.

垂直GaN器件的电流方向平行于GaN外延层的生长方向,这种设计可以有效地提高器件的导通电流和击穿电压. 在不改变器件尺寸的情况下,增加GaN漂移层的厚度即可提高器件的击穿电压. 垂直器件无须考虑表面陷阱对其的影响^[16],内部电场在远离表面的GaN层中达到峰值,提高了器件耐压水平的下限. 最重

要的是, GaN垂直功率器件具有雪崩能力, 即存在雪崩击穿, 这是横向结构不可能有的, 该优点提高了器件的可靠性, 避免了过度设计设备. 下面分别介绍垂直结构的氮化镓电流孔径晶体管、氮化镓沟槽金属氧化物半导体场效应晶体管、基于原位氧化物氮化镓夹层的沟槽金属氧化物半导体场效应晶体管和氮化镓鳍式场效应晶体管的原理、结构及主要发展情况.

2.1 氮化镓电流孔径垂直晶体管

电流孔径垂直晶体管(current aperture vertical electron transistor, CAVET)是横向拓扑和纵向拓扑的有效结合, 目的是发挥AlGaIn/GaN异质结处二维电子气沟道(two-dimensional electron gas, 2DEG)的高导电性以及垂直结构所带来的优势. 第一个用于高压应用的GaN基CAVET结构由Ben-Yaacov等人^[17]开发完成, 其结构与双扩散MOS(double diffused metal oxide semiconductor, DDMOS)结构类似, 如图2(a)所示. 其中, 电流阻挡层(current-blocking layer, CBL)是通过在GaN层中掺杂Mg实现的, 用来将电流限制在栅极下方的小孔径区域. 通过对栅极施加偏压从而控制2DEG的开启和关断, 不同于横向结构的HEMT, 这种开关的优势是: 在电压阻断的情况下, 高电场区将主要位于栅极下方, 即表面发生击穿的可能性下降, 可提供更高的击穿电压. 然而, 由于CAVET的AlGaIn/GaN沟道依赖于栅极调控, 因此该器件通常处于常开状态.

为了提高开关速度 and 安全性, 增强型(enhancement-mode, E-mode)器件是大功率设备的优先选择. Chowdhury等人^[18]通过使用Mg离子注入的GaN作为非合金源的电流阻挡层, 并在栅极金属化之前对栅极区域进行10 min的CF₄处理, 制作了第一个增强型CAVET,

其最大源漏电流为 $5.6 \times 10^3 \text{ A/cm}^2$, 实现了高达0.6 V的阈值电压. 在该器件的制备过程中, 因为异质结层(Al-GaN/GaN)是在Mg掺杂电流阻挡层形成之后通过MOCVD再生长的, Mg离子的向上扩散使得器件的阈值电压发生了明显的变化. 于是, Chowdhury等人^[19]改变了AlGaIn/GaN层的生长方式, 通过分子束外延(molecular beam epitaxy, MBE)进行再生长, 制备出的器件在源栅电压为-15 V条件下, 击穿电压约为250 V, 比导通电阻为 $2.2 \text{ m}\Omega \text{ cm}^2$.

为保持p-GaN的导电性, Yeluri等人^[20]通过掩埋导电p-GaN层, 以此来形成电流阻挡层. 其中, p-GaN层通过MOCVD再生长, 沟道则通过氨分子束外延来完成, 制备出的器件比导通电阻降至 $0.4 \text{ m}\Omega \text{ cm}^2$, 导通电流可达 10.9 kA/cm^2 . Nie等人^[21]在原结构基础上增加了边缘终端结构, 并在栅极和AlGaIn阻挡层之间新增一层p-GaN, 使其可以正常地关闭操作, 制备出的晶体管表现出大于2.3 A的饱和电流、1.5 kV的击穿电压、 $2.2 \text{ m}\Omega \text{ cm}^2$ 的比导通电阻及 $1.0 \times 10^9 \text{ V}^2/\text{cm}^2$ 的品质因数(figure of merit, FOM). 2010年, 松下公司^[22]制备了一种击穿电压为1.7 kV、导通电阻为 $1.0 \text{ m}\Omega \text{ cm}^2$ 的“V”形沟槽CAVET, 如图2(b)所示, 其中p-GaN/AlGaIn/GaN三层在漂移层上形成的“V”形槽上外延再生长. 该沟道利用了半极性面, 降低了AlGaIn/GaN界面处薄层载流子浓度, 实现了2.5 V的高阈值电压和稳定的开关操作. 值得一提的是, 沟道下方的p-GaN阱层上形成了含碳掺杂的绝缘GaN层, 该层能够抑制截止状态下源极和漏极之间的穿通电流, 实现了良好的截止状态特性, 并在400 V/15 A条件下实现了快速开关.

Ji等人^[23]的器件制备流程与上述提及的类似, 不同点在于移除了栅极下方的p-GaN层, 得到了阈值电压为

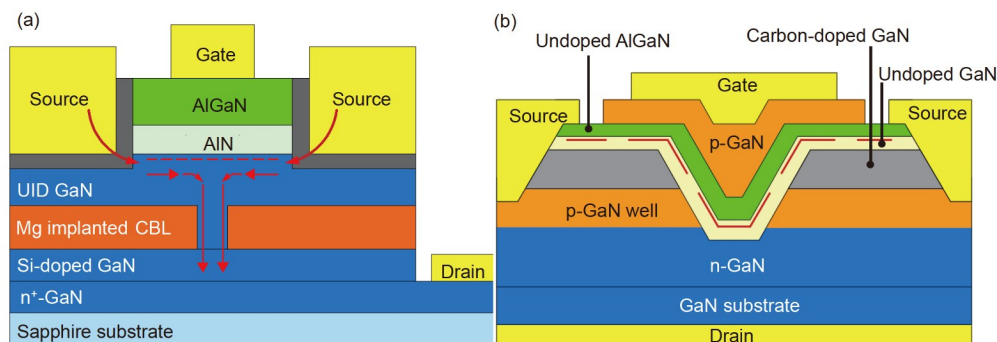


图2 氮化镓电流孔径垂直晶体管的原理及结构发展. (a) CAVET的主要结构及原理; (b) “V”形氮化镓沟槽CAVET

Figure 2 The principle and structure development of GaN CAVET. (a) Main structure and working principle of the CAVET; (b) “V” groove GaN CAVET

20 V、击穿电压为225 V的常关型沟槽CAVET。在随后的研究中^[24]，他们通过改善栅极沟槽蚀刻质量和采用栅极电介质使击穿电压达到了880 V，比导通电阻为 $2.7 \text{ m}\Omega \text{ cm}^2$ ，减少了栅极与漏极之间的泄漏。由于栅极采用金属-绝缘层-半导体(metal insulation semiconductor, MIS)结构，阈值电压从20 V变为21 V。2022年，Danielraj等人^[25]采用一种三角形(“▽”形)凹槽的GaN CAVET，实现了1513~1590 V的击穿电压及 $1.24 \text{ m}\Omega \text{ cm}^2$ 的低导通电阻。但因为该器件的栅极长度可缩放，其性能及可靠性可能会受到电流崩塌、短沟道效应和漏电流的影响^[26,27]。为了克服短沟道器件中关态漏电流的影响，在其中掺入碳或镁用于补偿^[28,29]。

GaN CAVET距离广泛的商业应用仍需要进一步的发展，主要问题源于再生长工艺。相邻电流阻挡层之间形成的孔径区域，其掺杂和尺寸大小控制导致制备工艺相对复杂且难以控制，且因生长工艺所存在的问题，将导致器件的源极和漏极、栅极和漏极之间有着很高的漏电流，难以大规模生产使用。

2.2 垂直氮化镓沟槽金属氧化物半导体场效应晶体管

2007年，罗姆半导体集团(ROHM Semiconductor)^[30]通过MOCVD在蓝宝石衬底上外延生长GaN，并在此基础上制备出了氮化镓沟槽金属氧化物半导体场效应晶体管(GaN trench metal oxide semiconductor field effect transistor, GaN trench MOSFET)。该器件显现出良好的直流特性，导通电压为5.1 V，这是GaN trench MOSFET首次被报道。如图3(a)所示，2008年，罗姆半导体集团在GaN衬底上制备出首个完全垂直的MOSFET^[31]，与之前的研究^[30]相同，采用 SiO_2 硬掩模进行遮挡，在 $\text{Cl}_2/\text{SiCl}_4$ 氛围中进行等离子体干法蚀刻工艺，形成垂直栅极的沟槽结构，通过电子回旋共振(electron cyclotron resonance, ECR)等离子体在沟槽内连续沉积氮化硅(Si_3N_4)和二氧化硅(SiO_2)，以此组成的双层结构作为栅极绝缘体。该器件的阈值电压为3.4 V，沟道迁移率达到 $131 \text{ cm}^2/(\text{V s})$ ，导通电阻低于 $10 \text{ m}\Omega \text{ cm}^2$ 。

干法蚀刻工艺会引发一些问题，它会导致沟槽表面粗糙以及离子轰击造成损坏，影响沟道迁移率。2008年，丰田中央研究所的Kodama等人^[32]针对这一问题发展了新的沟槽结构制备方法：使用浓度为25%的四甲基氢氧化铵(TMAH)作为蚀刻剂，通过湿法蚀刻获得光滑的非极性(100)平面。TMAH溶液与氢氧化钾(KOH)

不同，它不会造成碱金属污染，可获得平滑的垂直侧壁，从而提高沟道迁移率。He等人^[33]通过酸洗和后续 NH_4 钝化获得了高质量的MOS界面，在4英寸(1 in = 2.54 cm)的自支撑GaN晶圆片上制备出击穿电压高达1306 V、比导通电阻为 $1.93 \text{ m}\Omega \text{ cm}^2$ 的大面积GaN Trench MOSFET，为以后大面积生长提供了更多的选择。

为了进一步提高耐压，Oka等人^[28]在MOSFET的隔离台面周围增加了场板结构，图3(b)为结构示意图。该结构有效减缓了PN结边缘存在的电场拥挤效应，击穿电压从775 V提高到1605 V，比导通电阻为 $12.1 \text{ m}\Omega \text{ cm}^2$ ，仍需要改善。2015年，他们减小 n^- -GaN的厚度，但增加其掺杂浓度，降低p-GaN的厚度和掺杂浓度，通过采用规则六角单元沟槽栅极布局来增加单位面积的栅极宽度^[34]。虽然击穿电压降低到1250 V，但是比导通电阻从 $12.1 \text{ m}\Omega \text{ cm}^2$ 大幅度地降低到 $1.8 \text{ m}\Omega \text{ cm}^2$ ，并在保证击穿电压超过1.2 kV的特性下，制备了尺寸为 $1.5 \text{ mm} \times 1.5 \text{ mm}$ ，并且支持高达23.2 A大电流的GaN Trench MOSFET^[35]。为了使器件能够在更高的电流中工作，Oka等人^[36]在 n^- -GaN中插入一层电流分布层(current distribution layer, CDL)，使正向电流密度提高了1.17倍，并制备出了能够在100 A电流下工作的 $3 \text{ mm} \times 3 \text{ mm}$ 大尺寸垂直沟槽GaN MOSFET，其横截面结构如图3(c)所示。他们分别对有无CDL层的器件进行了电学测试，带CDL层的MOSFET性能表现更佳。该器件中的电流分布层由轻薄的n型掺杂层组成，掺杂浓度为 $2 \times 10^{16} \text{ cm}^{-3}$ ，并远离p-GaN沟道层，这样可避免p-GaN沟道引起的电流分布层耗尽，在不影响击穿电压的情况下，使有效电流在漂移层中扩散，更好地分配来自栅极沟槽底部的电流，从而提高器件的最大工作电流。

沟槽深度对器件的比导通电阻有着重要的影响，沟槽深度增加，由漂移层中耗尽区形成的势垒会削弱对电流路径的影响。加宽沟槽下电流路径的宽度，会降低导通电阻，但也会降低击穿电压^[37]，因此在器件结构设计中需仔细考虑沟槽的深度。p-GaN层的参数在调节垂直GaN MOSFET的阈值电压、比导通电阻和最大漏极电流方面也起着重要的作用：降低p-GaN的掺杂浓度可以使比导通电阻降低，但会导致最大漏极电流增加、阈值电压降低^[38]，p-GaN的厚度和掺杂浓度的乘积会影响器件的击穿机制，当其乘积足够高时，击穿机制可变为雪崩击穿。根据这一特性，Liu等人^[39]通过优化漂移层、 p^+ -GaN层及沟槽栅极制备出了击穿电压为

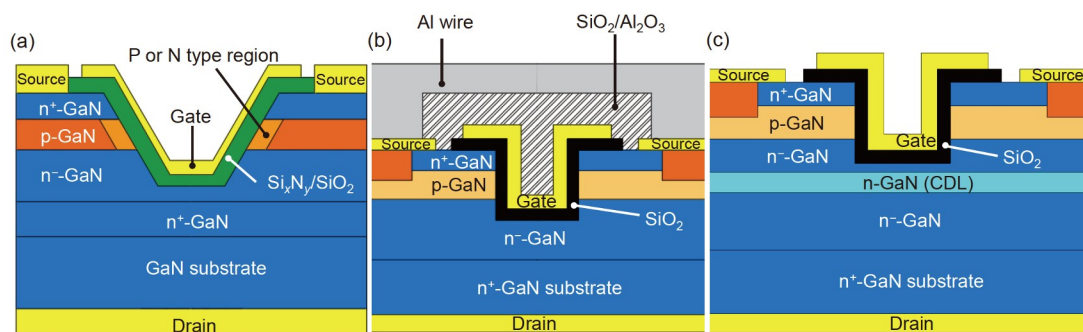


图3 不同结构的垂直氮化镓沟槽金属氧化物半导体场效应晶体管。(a) GaN-on-GaN垂直沟槽MOSFET; (b) 具有场板终端的氮化镓沟槽MOSFET的横截面; (c) 含n-GaN电流分布层的垂直氮化镓沟槽MOSFET

Figure 3 Different structures of vertical GaN trench MOSFETs. (a) GaN-on-GaN vertical trench MOSFET; (b) a cross-section of grooved GaN MOSFETs with a field plate; (c) vertical trench GaN MOSFETs with n-GaN current distribution layers (CDLs)

2783 V、比导通电阻为 $1.6 \text{ m}\Omega \text{ cm}^2$ 的沟槽GaN MOSFET.

2.3 基于原位氧化物氮化镓夹层的垂直沟槽金属氧化物半导体场效应晶体管

基于原位氧化物氮化镓夹层的垂直沟槽金属氧化物半导体场效应晶体管(*in-situ* oxide GaN interlayer-based vertical trench MOSFET, GaN OG-FET)是基于传统沟槽MOSFET在结构上改进而来的. 与传统的沟槽MOSFET相比, OG-FET具有两个特征: (1) 使用非故意掺杂(unintentional doping, UID)的GaN中间层作为沟道区域, 减少了掺杂剂的库仑散射, 增强了沟道电子迁移率; (2) 通过MOCVD原位生长氧化物, 减缓了界面状态, 提高了栅极氧化物的可靠性. 因为沟槽MOSFET的沟道是由干法蚀刻形成的, 在蚀刻过程中, 侧壁上产生的缺陷会导致反型沟道电子的场效应迁移率降低, 从而影响器件的性能. OG-FET的优势就是增强沟道电子迁移率而不会损害正常的常关行为.

加州大学的Gupta等人^[40]针对干法蚀刻带来的问题, 对“U”形MOSFET结构的形成提出了新的改进方法, 通过MOCVD在栅介质和GaN之间生长一层薄的未掺杂GaN中间层, 随后在n-p-n沟槽结构上进行MOCVD电介质沉积, 如图4(a)所示. 这使得器件的工作原理由p-GaN产生反型层变成了非故意掺杂GaN(UID-GaN)的积累, 使得垂直沟槽GaN OG-FET中的漏极电流密度提高. 与传统沟槽栅极MOSFET相比, 该器件的比导通电阻降低至 $3.8 \text{ m}\Omega \text{ cm}^2$, 阈值电压为2 V, 击穿电压为195 V. 2017年, 他们利用低损伤栅极沟槽蚀刻和块状GaN衬底^[41], 制备出了击穿电压为990 V, 导通电阻为

$2.6 \text{ m}\Omega \text{ cm}^2$ 的OG-FET, 并在没有终端的情况下实现了 1.6 MV/cm 的高击穿场强. 同年, 他们采用场板边缘终端结构^[42], 使击穿场强提高到 2.0 MV/cm (~1000 V). Ji等人^[43]使用 $15 \mu\text{m}$ 厚均匀掺杂的GaN漂移层, 并采用双场板新型结构, 如图4(b)所示. 该GaN OG-FET的沟道迁移率为 $185 \text{ cm}^2/(\text{V s})$, 击穿电压为1435 V, 比导通电阻为 $2.2 \text{ m}\Omega \text{ cm}^2$. 他们在 $400 \mu\text{m} \times 500 \mu\text{m}$ 的大面积上制备了同样的器件, 击穿电压高达900 V, 导通电阻为 4.1Ω . 2018年, 他们制备了可实现1 A高输出电流的大面积OG-FET^[44].

UID-GaN中间层在经过MOCVD生长后, 需要对p-GaN掩埋层进行高温退火, 用于激活p-GaN层, 这个过程产生了高热量预算, 对器件几何形状的形成也会造成限制. 为了减少高热量的预算, Li等人^[45]通过分子束外延形成一层UID-GaN沟道, 形成了与OG-FET类似的结构, 该结构的击穿电压为600 V左右, 导通电阻为 $0.3 \Omega \text{ cm}^2$. MBE再生长省去了激活p-GaN这一步骤, 改善了p-GaN的再钝化问题^[46], 避免了后续的激活步骤, 并能够提升沟道迁移率.

任何功率器件在工作时都会产生热量. 在OG-FET内部, 大部分热量都集中在沟槽和GaN夹层附近. 在实际应用时, 由于电池单元的紧密排列, 相互之间会产生热串扰. Chatterjee等人^[47]通过分析OG-FET的内部电场和发热分布, 提出可通过增加各单元间的间距和阵列纵横比, 显著降低了OG-FET单元阵列的峰值温度.

2.4 垂直氮化镓鳍式场效应晶体管

传统的垂直沟槽GaN MOSFET已有着良好的性能表现, 但是在外延再生长以及p-GaN的需求方面, 阻碍

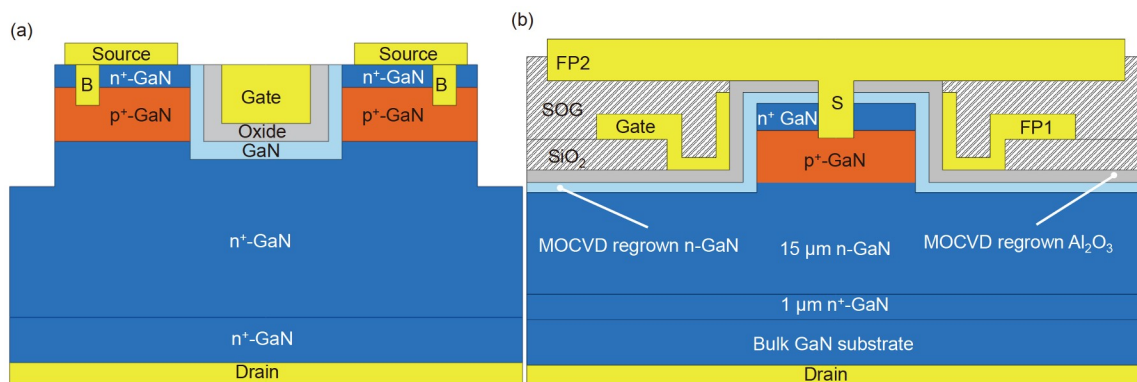


图4 OG-FET的主要结构以及终端技术的应用。(a) OG-FET的主要外延叠层结构;(b) 具有双场板结构的OG-FET

Figure 4 The main structure of the OG-FET and the application of terminal technologies. (a) The main epitaxial laminated structure of *in-situ* oxide GaN interlayer-based vertical trench MOSFET (OG-FET); (b) OG-FET with a double field plate structure

了垂直GaN功率晶体管的发展。不同于n-GaN, p-GaN具有低的受主激活率以及较低的载流子迁移率, p-GaN的外延再生长也很大程度上增加了器件制备的复杂性和成本。

1999年, Hu等人^[48]发明了鳍式场效应晶体管(fin field-effect transistor, FinFET), 并在硅衬底上制备出一种新型的自对准双栅硅-绝缘体(silicon-on-insulator, SOI)结构的纳米MOS器件, 这种结构增大了栅极的控制面积, 提高了器件栅极的控制能力。随着近几年半导体材料的发展, 垂直GaN FinFET应运而生。相对于传统的沟槽MOSFETs, GaN FinFET的优势是只需要n-GaN, 不需要p-GaN层来提供正常关断操作和关断状态下的阻断。FinFET的栅极由鳍侧壁的电介质和栅极金属组成, 因为栅极金属和GaN之间的功函数差异, 耗尽了鳍片内的电荷载流子, 从而提供了常关操作^[49]。

对于FinFET, 鳍的宽度需足够窄(<500 nm)以用于完全耗尽, 这种结构会降低器件的电流能力。麻省理工学院的Sun等人^[50]结合了干法、湿法蚀刻, 制备出了平滑的垂直鳍片, 在GaN衬底上制备出具有亚微米级鳍状通道的GaN FinFET结构, 如图5所示, 鳍宽度为450 nm。该器件具有1 V的阈值电压、 $0.36 \text{ m}\Omega \text{ cm}^2$ 的比导通电阻及800 V击穿电压, 且在积累层中获得了 $150 \text{ cm}^2/(\text{V s})$ 的高电子迁移率。值得注意的是, 不同于沟槽MOSFET通过电子的反转来工作, FinFET通过电子的积累来运行。Zhang等人^[51]在此基础上进一步优化了鳍的宽度, 将其降低至220 nm左右, 获得了1200 V的高击穿电压和 $0.2 \text{ m}\Omega \text{ cm}^2$ 低比导通电阻, 并制备出具有10 A电流能力和800 V击穿电压的大功率器件。2018年, Zhang等人^[52]在 0.45 mm^2 的大面积上制备出5 A电流能

力及1200 V耐压的垂直功率FinFET, 其比导通电阻为 $2.1 \text{ m}\Omega \text{ cm}^2$, 阈值电压为1.3 V。与商用0.9~1.2 kV的Si和SiC功率晶体管相比, 该器件表现出低的输入电容(C_{ISS})、输出电容(C_{OSS})、栅极电荷(Q_{G})、栅极至漏极电荷(Q_{GD})和反向恢复电荷(Q_{rr}), 以及高频开关能力和优异的开关品质因数(FOMs)。

但是, 缺少了p-GaN层来调节电场峰值, 这些FinFET会发生不可逆转的击穿现象。有研究提出在漂移层中插入一层p基区来改善这类现象^[53], 但仍处于模拟阶段, 尚未制备出实际的器件。与其他垂直器件相比, FinFET鳍的制备和宽度控制增加了工艺的复杂性, 制备成本较高; FinFET的阈值电压相对较低(~1 V), 因此为确保设备能够安全操作而不发生故障, 对栅极驱动器的设计有较高的要求。近年来, FinFET和基于垂直n-p-n叠层的纳米丝(nanowire, NW)结构都实现了稳定的常关操作^[54,55], 同时在3D叠层中集成p型层(基于纳米线或基于鳍式结构)^[56], 使得器件在栅极施加应力的情

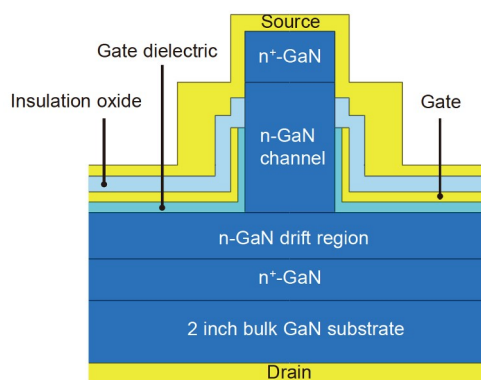


图5 垂直GaN FinFET结构

Figure 5 Structure of the vertical GaN FinFET

况下仍能实现稳定常关操作。

2.5 总结与展望

表3列出了文中所提及的氮化镓功率晶体管的参数。早期的GaN功率器件朝着高耐压、低导通电阻的方向发展,不过随着近几年来集成电路的高速发展以及GaN功率晶体管在中低压范围内的应用逐渐变多,为了顺应市场发展与应用,对器件的阈值电压(threshold voltage, V_{th})与开关比(I_{on}/I_{off})也有着一定的要求,尤其是电路及其集成系统的性能与 V_{th} 的大小和一致性有着密切的关系。随着未来芯片集成度越来越高,较高的阈值电压有利于提高电子元件的抗干扰能力。开关比是指器件开启和关断的电流大小比值,反映器件对电流的调控能力。针对未来GaN功率晶体管,可以从以下几个方面继续努力: (1) 由于GaN功率晶体管的实际应用将主要集中在200及600~900 V的电压范围内,高耐压的需求将显得不那么强烈,而是往低导通电阻、较

高的阈值电压及高开关比发展; (2) 研究GaN功率晶体管在集成电路中的分布和优化布局,减少高密度的器件布局之间所带来的不良影响; (3) 使用更好的散热布局 and 散热材料,尤其是产热量较高的位置,从而进一步提高功率晶体管的性能和稳定工作时间。以上问题的解决都可以有效地提高器件的安全性和可靠性,使得器件或设备具有更长的使用寿命,从而更好地应用在各个领域当中。

3 氮化镓驱动IC

图6为典型的GaN功率器件驱动芯片的内部电路框图。GaN功率器件栅极驱动芯片可以接收来自中央处理器(central processing unit, CPU)、微控制单元(microcontroller unit, MCU)等外部芯片的控制信号,并输出控制信号来控制GaN功率器件。与硅基MOSFET栅极驱动芯片技术相比, GaN功率器件的栅极驱动电路有以下3个要求: (1) GaN功率器件的开关频率比现有硅

表3 氮化镓功率晶体管的各性能参数发展^{a)}

Table 3 Development of various performance parameters of GaN power transistors

器件类型	年份	机构	击穿电压BV(V)	阈值电压 V_{th} (V)	导通电阻 $R_{on,sp}$ (m Ω cm ²)	开关比(I_{on}/I_{off})
CAVET	2011	University of California ^[19]	250	NA	2.2	NA
	2015	University of California ^[20]	870	NA	0.4	10 ⁸
	2014	Avogy Inc. ^[21]	1500	0.5	2.2	NA
	2016	Panasonic Corporation ^[22]	1700	2.5	1.0	NA
	2017	University of California ^[23]	225	20	NA	NA
	2018	University of California ^[24]	880	21	2.7	2 $\times$ 10 ¹⁸
	2022	Bannari Amman ^[25]	1590	6.76	1.24	10 ¹⁰
MOSFET	2008	ROHM Co., Ltd ^[31]	242	3.7	9.3	NA
	2013	Toyoda Gosei Co., Ltd ^[28]	1605	7	12.1	NA
	2015	Toyoda Gosei Co., Ltd ^[34]	1250	3.5	1.8	NA
	2016	Toyoda Gosei Co., Ltd ^[35]	1300	3.5	3.4	NA
	2020	Xidian University ^[39]	2783	4.1	1.6	NA
	2022	Shenzhen University ^[33]	1306	3.15	1.93	NA
OG-FET	2016	University of California ^[40]	195	2	3.8	10 ⁸
	2016	University of California ^[41]	990	3	2.6	10 ⁹
	2017	University of California ^[42]	1000	3.2	3.6	NA
	2017	University of California ^[43]	1435	4.7	2.2	10 ⁶
	2017	Cornell University ^[45]	600	16	0.3	10 ⁹
	2018	University of California ^[44]	900	2.5	4.1	10 ⁷
FinFET	2017	Cambridge ^[50]	800	1	0.36	10 ⁵
	2017	Columbia University ^[51]	1200	NA	0.2	NA

a) NA: Not available, 无有效值

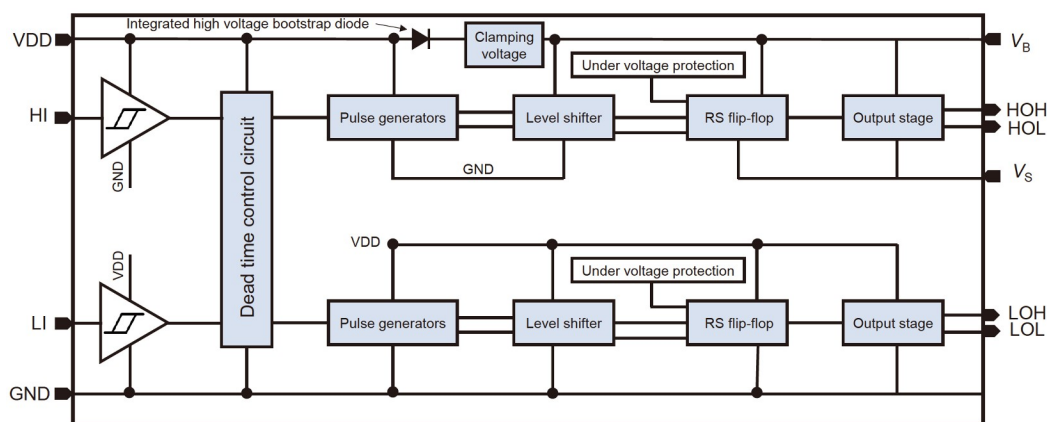


图6 典型的GaN功率器件驱动芯片内部框图

Figure 6 Internal block diagram of typical GaN power device driver chips

基器件高10~100倍, 芯片内部高低压电路之间的隔离区对信号传输电路的延迟要求极为严格. 因此, 需要设计超高速隔离区信号传输技术和芯片架构. (2) GaN功率器件的栅极电压通常不超过6 V, 对应的驱动电压范围较窄. 因此, 驱动电路的输出驱动电压应具有更高的精度和更高的抗干扰能力. (3) GaN功率器件的运行没有体二极管的反向恢复过程, 但在死区时间内会有额外的效率损失, 需准确设置死区时间.

对上述提及的3个要求, GaN功率器件驱动芯片的关键技术分别对应为: (1) 为匹配GaN功率器件的高频特性, 诞生了低延迟高压电平移位技术; (2) 针对GaN基器件栅极易击穿的特点, 提出了栅级过压保护技术; (3) 为了减少GaN功率器件反向传导时存在的较大损耗, 提出了自适应死区技术.

3.1 高压电平移位技术

高压电平移位技术主要有: (1) 电阻负载的电平移位模式是最传统的电平移位方式, 需要RC滤波电路来提高瞬时噪声抑制的能力^[57]. (2) 采用四管电容负载电平移位电路, 其基本原理是在瞬时噪声信号到来时使用共模检测电路的输出信号来屏蔽输入信号^[58]. (3) V-I-V电平移位技术, 是Fairchild采用的核心技术^[59], 通过将电平移位支路的输出电压转化为电流信号, 然后进行共模比较, 最后转化为电压信号输出, 可有效抑制共模噪声的干扰.

3.2 栅极过压保护技术

为实现输出级钳位, 避免GaN器件栅源电压过大

而损坏, 主流的栅极过压保护技术有: (1) 齐纳钳位技术, 这是一种结构相对简单的钳位技术^[60]. 利用其反向传导齐纳钳位原理, 将高压侧电源电压钳位在能够安全驱动E-mode GaN功率器件的电压范围内, 用于实现E-mode GaN驱动芯片高侧可靠性供电功能. (2) 高压侧输出级电压预调节技术, 该技术是在集成自举之后, 增加了一个低压差线性稳压器(low dropout regulator, LDO)来稳定GaN功率器件栅极电压, 该方案可有效地控制驱动芯片的输出电压^[61]. (3) 通过高压侧过压比较电路来控制集成自举供电, 实现低功耗的输出级钳位技术. 它是通过实时监测输出电压的大小, 控制集成自举供电电路的通断, 从而达到输出级钳位的目的^[62].

3.3 自适应死区技术

自适应死区技术主要分为3种形式: (1) 采用 V_S 电压检测的方式来原因功率管的开/关, 通过高压二极管检测 V_S 端的负压, 可以运用于上管关闭后、下管开通前的死区控制^[63]; (2) 采用高低压侧栅级电压检测的方式, 高低压侧栅极信号相互影响, 当低压侧GaN器件栅信号为高时, 不开启高压侧功率管, 反之亦然^[64]. (3) 通过检测GaN功率器件开关瞬间的栅漏电荷变化量来控制死区时间, 这需要灵敏度较高的检测单元^[65].

4 总结与应用

GaN作为第三代宽禁带半导体, 有着相较于前两代半导体更优越的性能. GaN基晶体管的出现解决了Si基晶体管所面临的很多问题. 本文叙述了GaN材料参数、GaN单晶衬底及其外延生长的方法, 对比了横向

器件和垂直器件并解释了选择垂直结构的原因,同时介绍了CAVET、Trench GaN MOSFET、OG-FET和GaN FinFET的发展情况以及氮化镓驱动IC的关键技术.在实际应用中,器件的比导通电阻和耐压可大致反映该器件的性能,图7汇总了文中所提及各种结构的垂直GaN场效应晶体管的性能参数.可以发现,这些器件不仅比Si基功率器件性能更好,同时也在逐渐接近GaN材料极限发展.垂直GaN三极管可以应用在很多领域当中,尤其是中、低压的场景下.下面主要介绍几种目前比较热门的方向.

(1) 充电器及适配器.不同于十几年前电脑的适配器及手机的“5 V×1 A”,目前市场上很多电子产品都使用了快充技术,小至45 W,大至250 W,再加上人们对便捷性的追求,大功率密度、高工作温度和小体积等成为了目前充电器的发展目标.与目前普遍的Si基充电器相比,GaN基充电器在满足功率密度的条件下可以实现更好的散热、更高的工作温度和更小的体积.目前市场上已经出现了GaN充电器的“身影”,不仅体积比传统手机、电脑充电器小得多,在充电速度和散热方面也有着非常不错的表现.

(2) 无线通信技术.随着5G技术的发展,通信设备对大功率、高频率、高速度的性能需求更加急切,GaN材料本身就已经具有这些物理性能,且GaN功率晶体管在满足以上要求的情况下,在散热、体积及功耗方面也有着较大的优势,可进一步提升电子产品的性能,获得更好的通信体验.

(3) 无线充电器.无线充电目前也是一项热门且快速发展的技术,各家手机厂商的旗舰机几乎都适配了无线充电技术,甚至在电动汽车上也有它的“身影”.无线充电的频率大致在100 kHz~6.78 MHz范围内,这对充电设备在温度控制、转换频率和大功率等方面有着较高的要求,尤其是给电动汽车这种大型工具进行无

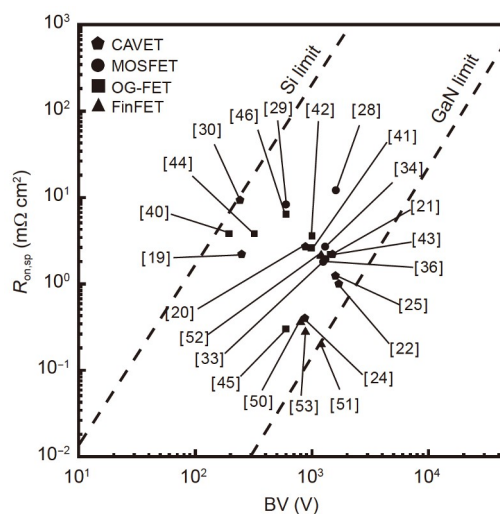


图7 不同结构的垂直GaN功率晶体管性能对比情况
Figure 7 Performance comparison of vertical GaN power transistors

线充电,对充电设备的要求会更高.

(4) 汽车应用. GaN功率器件的发展,最大的受益者之一便是汽车的电气系统,主要应用在车载充电器(on-board charger, OBC)、DC-DC转换器、电机驱动器和激光雷达.目前汽车电池的电压范围为600~1500 V,对器件有高耐压、大电流和快速开关的要求,而垂直GaN晶体管的发展使得汽车电气系统具有更简单灵活的设计和更高的性能.

(5) 大规模集成电路.目前的硅基器件已经逼近Si材料的理论极限,对高压高频大功率的需求却在不断增加,硅基器件在体积和散热方面有很多的问题,不利于后续大规模集成电路的发展.而GaN材料不仅在物理性能上比硅材料更有优势,在相同性能的情况下,制备出的晶体管体积可以大幅度减小,配合使用小型散热器,可以大幅度解决集成电路在体积和散热方面的问题,并拥有更高的开关频率,可提高设备的性能.

参考文献

- Sridhar N. Driving the future of HEV/EV with high-voltage solutions. Texas Instruments, 2017, https://www.all-electronics.de/wp-content/uploads/2018/11/slyy052b_EV-HV-solutions.pdf
- Miyoshi M, Watanabe A, Egawa T. Modeling of the wafer bow in GaN-on-Si epiwafers employing GaN/AlN multilayer buffer structures. *Semicond Sci Technol*, 2016, 31: 105016
- Raghavan S, Redwing J M. Growth stresses and cracking in GaN films on (111) Si grown by metal-organic chemical-vapor deposition. I. AlN buffer layers. *J Appl Phys*, 2005, 98: 23514
- Haeberlen M, Zhu D, McAleese C, et al. Dislocation reduction in MOVPE grown GaN layers on (111) Si using SiN_x and AlGaIn layers. *J Phys: Conf Ser*, 2010, 209: 012017

- 5 Fu H, Huang X, Chen H, et al. Effect of buffer layer design on vertical GaN-on-GaN pn and Schottky power diodes. *IEEE Electron Device Lett*, 2017, 38: 763–766
- 6 Jiang Y X, Liu N L, Zhang F B, et al. Development and trends of GaN single crystal substrate fabrication technology (in Chinese). *J Synth Cryst*, 2020, 49: 2038 [姜元希, 刘南柳, 张法碧, 等. 氮化镓单晶衬底制备技术发展展望. *人工晶体学报*, 2020, 49: 2038]
- 7 Gu H, Ren G, Zhou T, et al. The electrical properties of bulk GaN crystals grown by HVPE. *J Cryst Growth*, 2016, 436: 76–81
- 8 Iwinska M, Sochacki T, Amilusik M, et al. Homoepitaxial growth of HVPE-GaN doped with Si. *J Cryst Growth*, 2016, 456: 91–96
- 9 Hofmann P, Krupinski M, Habel F, et al. Novel approach for n-type doping of HVPE gallium nitride with germanium. *J Cryst Growth*, 2016, 450: 61–65
- 10 Zvanut M E, Dashdorj J, Freitas J A, et al. Incorporation of Mg in free-standing HVPE GaN substrates. *J Elec Mater*, 2016, 45: 2692–2696
- 11 Richter E, Gridneva E, Weyers M, et al. Fe-doping in hydride vapor-phase epitaxy for semi-insulating gallium nitride. *J Cryst Growth*, 2016, 456: 97–100
- 12 Iwinska M, Piotrkowski R, Litwin-Staszewska E, et al. Highly resistive C-doped hydride vapor phase epitaxy-GaN grown on ammonothermally crystallized GaN seeds. *Appl Phys Express*, 2016, 10: 11003
- 13 Zhang Y M, Wang J F, Cai D M, et al. Progress on GaN single crystal substrate grown by hydride vapor phase epitaxy (in Chinese). *J Synth Cryst*, 2020, 49: 1970 [张育民, 王建峰, 蔡德敏, 等. 氢化物气相外延生长氮化镓单晶衬底的研究进展. *人工晶体学报*, 2020, 49: 1970]
- 14 Mizutani T, Ohno Y, Akita M, et al. A study on current collapse in AlGaIn/GaN HEMTs induced by bias stress. *IEEE Trans Electron Devices*, 2003, 50: 2015–2020
- 15 Meneghesso G, Verzellesi G, Danesin F, et al. Reliability of GaN high-electron-mobility transistors: State of the art and perspectives. *IEEE Trans Device Mater Reliab*, 2008, 8: 332–343
- 16 Raja P V, Nallatamby J C, DasGupta N, et al. Trapping effects on AlGaIn/GaN HEMT characteristics. *Solid-State Electron*, 2021, 176: 107929
- 17 Ben-Yaacov I, Seck Y K, Mishra U K, et al. AlGaIn/GaN current aperture vertical electron transistors with regrown channels. *J Appl Phys*, 2004, 95: 2073–2078
- 18 Chowdhury S, Swenson B L, Mishra U K. Enhancement and depletion mode AlGaIn/GaN CAVET with Mg-ion-implanted GaN as current blocking layer. *IEEE Electron Device Lett*, 2008, 29: 543–545
- 19 Chowdhury S, Wong M H, Swenson B L, et al. CAVET on bulk GaN substrates achieved with MBE-regrown AlGaIn/GaN layers to suppress dispersion. *IEEE Electron Device Lett*, 2011, 33: 41–43
- 20 Yeluri R, Lu J, Hurni C A, et al. Design, fabrication, and performance analysis of GaN vertical electron transistors with a buried p/n junction. *Appl Phys Lett*, 2015, 106: 183502
- 21 Nie H, Diduck Q, Alvarez B, et al. 1.5-kV and $2.2 \text{ m}\Omega \text{ cm}^2$ vertical GaN transistors on bulk-GaN substrates. *IEEE Electron Device Lett*, 2014, 35: 939–941
- 22 Shibata D, Kajitani R, Ogawa M, et al. 1.7 kV/ $1.0 \text{ m}\Omega \text{ cm}^2$ normally-off vertical GaN transistor on GaN substrate with regrown p-GaN/AlGaIn/GaN semipolar gate structure. In: 2016 IEEE International Electron Devices Meeting (IEDM). New York: IEEE, 2016
- 23 Ji D, Laurent M A, Agarwal A, et al. Normally OFF trench CAVET with active Mg-doped GaN as current blocking layer. *IEEE Trans Electron Devices*, 2016, 64: 805–808
- 24 Ji D, Agarwal A, Li H, et al. 880 V/ $2.7 \text{ m}\Omega \text{ cm}^2$ MIS gate trench CAVET on bulk GaN substrates. *IEEE Electron Device Lett*, 2018, 39: 863–865
- 25 Danielraj A, Deb S, Mohanbabu A, et al. The impact of a recessed Δ -shaped gate in a vertical CAVET AlGaIn/GaN MIS-HEMT for high-power low-loss switching applications. *J Comput Electron*, 2022, 21: 169–180
- 26 Anbuselvan N, Mohankumar N, Mohanbabu A. Analytical modeling of 2DEG with 2DHG polarization charge density drain current and small-signal model of quaternary AlInGaIn HEMTs for microwave frequency applications. *Int J Numer Model Electron Netw Devices Fields*, 2019, 32: e2609
- 27 Subramanian B, Anandan M, Veerappan S, et al. Switching transient analysis and characterization of an E-mode B-doped GaN-capped AlGaIn DH-HEMT with a freewheeling Schottky barrier diode (SBD). *J Elec Mater*, 2020, 49: 4091–4099
- 28 Oka T, Ueno Y, Ina T, et al. Vertical GaN-based trench metal oxide semiconductor field-effect transistors on a free-standing GaN substrate with blocking voltage of 1.6 kV. *Appl Phys Express*, 2014, 7: 21002
- 29 Li R, Cao Y, Chen M, et al. 600 V/ 1.7Ω normally-off GaN vertical trench metal-oxide-semiconductor field-effect transistor. *IEEE Electron Device Lett*, 2016, 37: 1466–1469
- 30 Otake H, Egami S, Ohta H, et al. GaN-based trench gate metal oxide semiconductor field effect transistors with over $100 \text{ cm}^2/(\text{V s})$ channel mobility. *Jpn J Appl Phys*, 2007, 46: L599–L601
- 31 Otake H, Chikamatsu K, Yamaguchi A, et al. Vertical GaN-based trench gate metal oxide semiconductor field-effect transistors on GaN bulk substrates. *Appl Phys Express*, 2008, 1: 11105
- 32 Kodama M, Sugimoto M, Hayashi E, et al. GaN-based trench gate metal oxide semiconductor field-effect transistor fabricated with novel wet

- etching. *Appl Phys Express*, 2008, 1: 21104
- 33 He W, Li J, Liao Z, et al. 1.3 kV vertical GaN-based trench MOSFETs on 4-inch free standing GaN wafer. *Nanosc Res Lett*, 2022, 17: 14
 - 34 Oka T, Ina T, Ueno Y, et al. 1.8 mΩ cm² vertical GaN-based trench metal-oxide-semiconductor field-effect transistors on a free-standing GaN substrate for 1.2-kV-class operation. *Appl Phys Express*, 2015, 8: 54101
 - 35 Oka T, Ina T, Ueno Y, et al. Over 10 A operation with switching characteristics of 1.2 kV-class vertical GaN trench MOSFETs on a bulk GaN substrate. In: 2016 28th International Symposium on Power Semiconductor Devices and ICs (ISPSD). New York: IEEE, 2016. 459–462
 - 36 Oka T, Ina T, Ueno Y, et al. 100 A vertical GaN trench MOSFETs with a current distribution layer. In: 2019 31st International Symposium on Power Semiconductor Devices and ICs (ISPSD). New York: IEEE, 2019. 303–306
 - 37 Li C, Qiu Q, Zhang J, et al. Influence of the groove depth on the electrical characteristics of the vertical GaN trench MOSFETs. In: 2020 17th China International Forum on Solid State Lighting & 2020 International Forum on Wide Bandgap Semiconductors China (SSLChina: IFWS). New York: IEEE, 2020. 34–39
 - 38 Gupta C, Ji D, Chan S H, et al. Impact of trench dimensions on the device performance of GaN vertical trench MOSFETs. *IEEE Electron Device Lett*, 2017, 38: 1559–1562
 - 39 Liu S, Song X, Zhang J, et al. Comprehensive design of device parameters for GaN vertical trench MOSFETs. *IEEE Access*, 2020, 8: 57126–57135
 - 40 Gupta C, Chan S H, Enatsu Y, et al. OG-FET: An *in-situ* oxide, GaN interlayer-based vertical trench MOSFET. *IEEE Electron Device Lett*, 2016, 37: 1601–1604
 - 41 Gupta C, Lund C, Chan S H, et al. *In-situ* oxide, GaN interlayer-based vertical trench MOSFET (OG-FET) on bulk GaN substrates. *IEEE Electron Device Lett*, 2017, 38: 353–355
 - 42 Gupta C, Agarwal A, Chan S H, et al. 1 kV field plated *in-situ* oxide, GaN interlayer based vertical trench MOSFET (OG-FET). In: 2017 75th Annual Device Research Conference (DRC). New York: IEEE, 2017
 - 43 Ji D, Gupta C, Chan S H, et al. Demonstrating >1.4 kV OG-FET performance with a novel double field-plated geometry and the successful scaling of large-area devices. In: 2017 IEEE International Electron Devices Meeting (IEDM). New York: IEEE, 2017
 - 44 Ji D, Gupta C, Agarwal A, et al. Large-area *in-situ* oxide, GaN interlayer-based vertical trench MOSFET (OG-FET). *IEEE Electr Device Lett*, 2018, 39: 711–714
 - 45 Li W, Nomoto K, Lee K, et al. 600 V GaN vertical V-trench MOSFET with MBE regrown channel. In: 2017 75th Annual Device Research Conference (DRC). New York: IEEE, 2017
 - 46 Li W, Xing H G, Nomoto K, et al. Development of GaN vertical trench-MOSFET with MBE regrown channel. *IEEE Trans Electron Devices*, 2018, 65: 2558–2564
 - 47 Chatterjee B, Ji D, Agarwal A, et al. Electro-thermal investigation of GaN vertical trench MOSFETs. *IEEE Electron Device Lett*, 2021, 42: 723–726
 - 48 Hu C M, Bokor J, Tsu-Jae King J, et al. FinFET—A self-aligned double-gate MOSFET scalable to 20 nm. *IEEE Trans Electron Devices*, 2000, 47: 2320–2325
 - 49 Ruzzarin M, Meneghini M, Bisi D, et al. Instability of dynamic- R_{ON} and threshold voltage in GaN-on-GaN vertical field-effect transistors. *IEEE Trans Electron Devices*, 2017, 64: 3126–3131
 - 50 Sun M, Zhang Y, Gao X, et al. High-performance GaN vertical fin power transistors on bulk GaN substrates. *IEEE Electron Device Lett*, 2017, 38: 509–512
 - 51 Zhang Y, Sun M, Piedra D, et al. 1200 V GaN vertical fin power field-effect transistors. In: 2017 IEEE International Electron Devices Meeting (IEDM). New York: IEEE, 2017
 - 52 Zhang Y, Sun M, Perozek J, et al. Large-area 1.2-kV GaN vertical power FinFETs with a record switching figure of merit. *IEEE Electr Device Lett*, 2018, 40: 75–78
 - 53 Zhang C, Hou B, Li S, et al. Numerical study of a novel GaN vertical FinFET with a p-base structure for high switching performance. *J Comput Electron*, 2022, 21: 625–632
 - 54 Fatahilah M F, Yu F, Strempe K, et al. Top-down GaN nanowire transistors with nearly zero gate hysteresis for parallel vertical electronics. *Sci Rep*, 2019, 9: 1
 - 55 Strempe K, Römer F, Yu F, et al. Vertical 3D gallium nitride field-effect transistors based on fin structures with inverted p-doped channel. *Semicond Sci Technol*, 2020, 36: 14002
 - 56 Ruzzarin M, De Santi C, Yu F, et al. Highly stable threshold voltage in GaN nanowire FETs: The advantages of p-GaN channel/ Al_2O_3 gate insulator. *Appl Phys Lett*, 2020, 117: 203501
 - 57 Tam D C, Choi C C. Reset dominant level-shift circuit for noise immunity. US Patent, US5514981A, 1996-05-07
 - 58 Zhu J, Zhang Y, Sun W, et al. Noise immunity and its temperature characteristics study of the capacitive-loaded level shift circuit for high voltage gate drive IC. *IEEE Trans Ind Electron*, 2017, 65: 3027–3034

-
- 59 Hwang J T, Jung M S, Kim J S, et al. Noise immunity enhanced 625 V high-side driver. In: 2006 Proceedings of the 32nd European Solid-State Circuits Conference. New York: IEEE, 2006. 572–575
- 60 Spro O C, Basu S, Abuishmais I, et al. Driving of a GaN enhancement mode HEMT transistor with zener diode protection for high efficiency and low EMI. In: 2017 19th European Conference on Power Electronics and Applications (EPE'17 ECCE Europe). New York: IEEE, 2017
- 61 Ye Z, Pilawa-Podgurski R C N. A power supply circuit for gate driver of GaN-based flying capacitor multi-level converters. In: 2016 IEEE 4th Workshop on Wide Bandgap Power Devices and Applications (WiPDA). New York: IEEE, 2016. 53–58
- 62 Yan R, Tang S, Xi J, et al. A GaN HEMTs half-bridge driver with bandgap reference comparator clamping for high-frequency DC-DC converter. In: IECON 2017-43rd Annual Conference of the IEEE Industrial Electronics Society. New York: IEEE, 2017. 539–545
- 63 Xue J, Ngo K D T, Lee H. A 99%-efficiency 1-MHz 1.6-kW zero-voltage-switching boost converter using normally-off GaN power transistors and adaptive dead-time controlled gate drivers. In: 2013 IEEE International Conference of Electron Devices and Solid-State Circuits. New York: IEEE, 2013
- 64 Ke X, Sankman J, Song M K, et al. 16.8 A 3-to-40 V 10-to-30 MHz automotive-use GaN driver with active BST balancing and VSW dual-edge dead-time modulation achieving 8.3% efficiency improvement and 3.4 ns constant propagation delay. In: 2016 IEEE International Solid-State Circuits Conference (ISSCC). New York: IEEE, 2016. 302–304
- 65 Grezard R, Ayl F, Rouger N, et al. A gate driver with integrated deadtime controller. IEEE Trans Power Electr, 2016, 31: 8409–8421

Summary for “垂直氮化镓功率晶体管及其集成电路的发展状况”

Recent progress on the vertical GaN power transistor and its integrated circuit

Bo Li^{1†}, Yue Yin^{2†}, Zhichao Yang³, Xinke Liu^{1*} & Jingbo Li^{4*}¹ Guangdong Research Center for Interfacial Engineering, College of Materials Science and Engineering, Shenzhen University, Shenzhen 518071, China;² China State Construction Technical Center, Beijing 101300, China;³ Dongguan South Semiconductor Technology Co., Ltd, Dongguan 523781, China;⁴ Institute of Semiconductors, South China Normal University, Guangzhou 510631, China

† Equally contributed to this work

* Corresponding authors, E-mail: xkliu@szu.edu.cn; jbli@m.scnu.edu.cn

Silicon (Si) material is the mainstream semiconductor material for a long time because of its relatively excellent high-temperature resistance, radiation resistance, low price, and huge reserves. However, with the rapid development of power electronics technology, the development of technology has reached a bottleneck period, and Moore's law has gradually failed. The existing silicon-based semiconductor devices are close to the theoretical limit of Si materials and can no longer meet the performance requirements of future power devices. However, the cost of transistors is constantly rising, and the performance improvement is slow, gradually moving towards the post-Moore era. To further improve the performance of the device, it is necessary to seek new technologies or new materials to support the continuous development of power devices, and the core of the progress of power semiconductor devices is the development of semiconductor materials. As the third generation of wide band gap semiconductors, gallium nitride (GaN) has been superior to Si in terms of material properties. GaN has the advantages of a wide band gap, high critical field strength, high electron saturation velocity, high conductivity, high-temperature resistance, and high voltage resistance. Compared with traditional Si-based power devices, it not only has higher breakdown voltage, low on-resistance, high electron mobility and good thermal conductivity, but also has smaller device volume and better heat dissipation performance under the same performance, which greatly reduces power consumption and achieves the effect of energy saving and emission reduction. The cost of early GaN single crystal preparation and epitaxial growth is beyond reach. However, with the mature development of growth technology, not only the cost of GaN single crystal substrate and its epitaxial growth is decreasing, but also the quality is gradually increasing, which lays a solid foundation for the wide application of GaN power devices in the future. This paper lists the main physical parameters of GaN and other semiconductor materials, the preparation of GaN single crystal, and the main methods of its epitaxy growth, and describes the advantages of GaN power devices in the current environment. For the device structure, the problems of the lateral device and the advantages of the vertical device are listed, and why the vertical device can become the mainstream structure of future power devices is explained. On this basis, the structure, working principle, research progress, and existing problems of vertical current aperture GaN transistor (CAVET), trench GaN MOSFET, vertical trench MOSFET based on *in-situ* oxidation GaN interlayer (GaN OG-FET), and vertical GaN fin field effect transistor (GaN FinFET) are introduced in detail. The performance parameters of vertical GaN power transistors mentioned in this paper are summarized in tables according to device types and time sequence, and the general direction of the development of GaN power transistors in the future is proposed. For integrated circuit systems, the special requirements and key technologies of GaN power devices in driver chips are summarized. Finally, for the current market environment, listing the vertical GaN power transistor in the medium and low voltage range is a more popular and promising application scenario.

gallium nitride (GaN), epitaxial growth, vertical GaN transistor, GaN driver integrated circuitdoi: [10.1360/TB-2022-0778](https://doi.org/10.1360/TB-2022-0778)