

面向数字信号处理领域的近似计算技术应用与研究进展

王旭 陈珂 闫成刚 王成华 刘伟强*

^①(南京航空航天大学集成电路学院 南京 211106)

^②(空天集成电路与微系统工信部重点实验室 南京 211106)

摘要: 在信号处理领域, 近似计算技术备受关注。复杂算法和海量数据限制了应用的处理速度且增加了系统硬件消耗。由于信号具有冗余性, 精确结果并非必需, 满足用户可接受的结果已足够。因此, 采用近似计算技术可以有效减少计算量, 提高计算效率和系统性能。该文以近似计算技术的不同设计层次为切入, 首先介绍了信号处理应用的特点, 综述了近年来近似计算技术在算法和电路层面的研究进展, 并调研了通信、视频图像以及雷达等信号处理方向的近似计算技术方案。最后, 对该领域的发展方向进行了讨论和展望, 为推动近似计算技术在信号处理领域的应用提供了思路。

关键词: 近似计算; 新兴计算范式; 数字信号处理; 研究进展

中图分类号: TN402; TP183

文献标识码: A

文章编号: 1009-5896(2024)05-1843-10

DOI: 10.11999/JEIT231245

Progress in The Application and Research of Approximate Computation Techniques Oriented to The Field of Digital Signal Processing

WANG Xu CHEN Ke YAN Chenggang WANG Chenghua LIU Weiqiang

^①(College of Integrated Circuits, Nanjing University of Aeronautics and Astronautics, Nanjing 211106, China)

^②(Key Laboratory of Aerospace Integrated Circuits and Microsystem, Ministry of Industry and Information Technology, Nanjing 211106, China)

Abstract: In the field of signal processing, approximate computing techniques have garnered significant attention. Complex algorithms and massive data impose limitations on processing speed and increase system hardware consumption. Since signals often contain redundancy, precise results are not always necessary, and achieving results acceptable to users is sufficient. Therefore, employing approximate computing techniques can effectively reduce computational complexity, enhance computational efficiency, and improve system performance. This paper takes a hierarchical approach to the design of approximate computing techniques. It first introduces the characteristics of signal processing applications, reviews recent research progress in approximate computing techniques at the algorithm and circuit levels, and investigates approximate computing solutions in signal processing directions such as communication, video imaging, and radar. Finally, it discusses and prospects the development direction of this field, providing insights to promote the application of approximate computing techniques in signal processing.

Key words: Approximate computing; Emerging computing paradigm; Digital signal processing; Research progress

收稿日期: 2023-11-09; 改回日期: 2024-03-29; 网络出版: 2024-05-07

*通信作者: 刘伟强 liuweiqiang@nuaa.edu.cn

基金项目: 国家重点研发计划青年科学家项目(2022YFB4500200), 国家自然科学基金(62101252, 62022041)

Foundation Items: The National Key Research and Development Program of China (2022YFB4500200), The National Natural Science Foundation of China (62101252, 62022041)

1 引言

与全球能源生产相比,不断增长的计算能源需求正在面临新的风险。目前每年处理的信息比特数和计算次数正在持续增加,根据预测,到2050年,全球计算系统将处理的比特数预计在 $10^{42} \sim 10^{46}$ 。通用计算的总能耗继续呈指数级增长,每3年翻倍1次,而全球能源产量每年仅以约2%的速度线性增长。全球计算能量的上升是由不断增长的计算需求驱动的,尽管计算处理器单元(如CPU, GPU, FPGA)的芯片级每比特位转换能量在过去40年中一直下降(正如摩尔定律所示),但随着器件缩放已基本接近物理极限,摩尔定律目前正在放缓。随着计算对能源需求的持续增长,必须探索和采用新的计算范式,从而显著提高能源效率^[1]。

作为一种解决功耗困境的潜在技术,近似计算具有广泛的应用前景,它以非精确方式替代传统计算,通过牺牲部分的计算精度而减小系统功耗、提升计算性能,如图1。近似计算在传统电路系统的性能、功耗等设计维度之外,引入计算误差作为新一维度,通过平衡设计空间中的性能、功耗与误差,从而实现新的最佳折中点,为研究者提供了全新的设计思路^[2]。

数字信号处理利用数字化的方式对信号进行采样、量化和处理,通过数字算法实现更精确、灵活和可靠的信号处理。这为各种领域的应用提供了巨大的机会,如通信、图像处理、音频处理、生物医学工程等。由于信号处理应用具有容错特性,因此在实际应用中通常无需追求绝对或唯一精确的结果。例如图像处理作为与人类感知相关的应用,其模型建构能够容忍其计算中出现的一定误差,使其最终结果如同人类自身不完善的感知一样,具有比较大容错性。而近似计算作为一种高性能的新型计算范式,能够以降低能耗并提高计算速度为目的,实现高效的信号处理。本文结合目前学术界与工业界近似计算技术在数字信号处理领域的最新研究,从电路层面、算法层面和应用层面等方面对近似计算芯片的发展、研究现状及未来趋势进行介绍和讨论。

2 近似计算在信号处理领域电路层面的研究进展

在电路层面,近似计算涉及的方法主要包括基于调节输入电压的CMOS技术和基于算术运算单元的逻辑近似计算。概率CMOS技术采用电压调节方式(Voltage OverScaling, VOS)^[3]来降低能耗和关键路径延迟,通过保持高位比特电路供电电压,适当

降低低位比特电路的供电电压来实现此目的。这种方式不需要改变原电路结构,操作简单。然而,这种VOS技术可能引发不可控的错误,给后续应用带来巨大挑战。目前,大部分硬件层面的近似计算主要基于算术运算单元和逻辑功能模块的近似精简设计。国内外已经进行了大量研究,提出了近似加法器、近似乘法器、近似除法器、近似乘累加等方法,以实现电路级的逻辑近似,并通过减少门电路的数量来简化逻辑输出。

2.1 近似加法器

最初应用于异步加法器的近似加法器最早出现在1996年,Nowick^[4]通过引入近似推理加法器的方法大幅降低了异步加法器的延迟,其性能提升超过30%。2004年,Intel公司的研究人员Lu^[5]提出第1个同步的推测近似加法器,通过用粗粒度的计算来近似精确逻辑功能,有效地提高了微处理器的时钟频率。随后,研究人员设计了一系列的推测近似加法器。研究发现,在实际场景中,针对随机分布的操作数输入,加法器的进位传播长度远远短于全进位链的长度,因此可以通过缩短进位链来获得更快速和更高性能的加法器。这包括非分段的推测近似加法器和分段的推测近似加法器近似方法的详细分类如表1所示。对于非分段的推测近似加法器,文献[6]提出一种新的基于Han-Carlson并行前缀拓扑的可变延迟推测加法器,并提出了一种新的错误检测网络,与以前的方法相比,此方法降低了错误概率。对于分段的推测近似加法器,文献[7]提出一种新的近似加法器方法,它只利用单个输入对逻辑门进行近似。该加法器的平均误差距离和平均相对误差距离明显优于文献中所考虑的其他



图1 近似计算技术及其应用

近似加法器。此外，晶体管级的近似全加器通过减少晶体管和基本门的数量，从而显著降低功耗。文献[10]提出4种低开销的近似全加器。根据误差距离将所提出的近似全加器和现有的近似全加器分为两类。仿真结果表明，与现有的近似全加器相比，两组近似加法器的功率-面积-延迟积、功耗、面积以及延迟均有大幅降低。

2.2 近似乘法器

相较于加法器，乘法器的电路结构更为复杂，设计难度也相应增加。乘法器可分为定点乘法器和浮点乘法器。通常情况下，定点乘法器的近似设计并不直接从晶体管级别入手，而是从乘法器的组成部分以及算法原理入手，即操作数、部分积生成、部分积压缩和最终求和。操作数的近似来源于Mitchell对数乘法器(Logarithmic Multiplier, LM)，其思想是将乘法转换为对数域的加法，这种乘法器具有极低的功耗^[13]。定点乘法器近似方法的详细分类如表2所示。但由于在紧凑电路中实现对数往往不可避免地会出现大量的精度损失，因此此方法只能用于一些对错误容忍度非常高的应用；针对部分积矩阵进行近似的常用方案是截断操作，由此设计的乘法器称为截断乘法器。文献[15]研究基于新型4×4乘法器块的近似递归乘法器。通过进位截断和误差补偿，设计出了3种误差精度权衡不同的近似4×4乘法器。利用这些基本块来设计8×8近似乘法器。所提出的电路在14 nm FinFET技术中实现，与最先进的电路相比，性能有所提高；针对部分积产生的近似方案主要是指 Booth算法。Booth算法作为乘法中最常用的有符号数算法，由于能够有效减少部分积个数而得到了广泛应用。乘法器的组成结构包括部分积压缩树，这由大量的加法器构成，并且占据了整个乘法器超过50% 的面积，因此对乘法器中的压缩器进行近似设计也是十分有必要的。

文献[20]提出一种新颖的4-2 近似压缩器，它与早期研究的其他压缩器互为补充，并在压缩器、常数近似和纠错与门的基础上构建了一个混合乘法器。与精确乘法器相比，所提出的混合近似乘法器具有出色的精度和性能折衷，功率-延迟-面积乘积降低了66%。

相对于定点数，浮点数在数据表示能力方面具有更广范围的优势。然而，浮点数运算，特别是浮点数乘法，却需要耗费大量的硬件资源，这使得对于近似浮点数计算的研究变得尤为紧迫。最早的近似浮点乘法器可以追溯到2000年，由Tong等人^[22]提出。他们通过截断尾数操作数来近似尾数乘法器，从而有效降低了尾数乘法器的能耗。然而，这种截断尾数操作数引起的误差呈指数级增长，而功耗下降的幅度却是线性的^[23]。因此，为了解决这个问题，文献[24]提出一种基于对数转换的方法，利用对数运算的特性，将尾数乘法转换为加法运算，从而降低了硬件资源的需求。这种方法在一定程度上解决了截断尾数操作引起的误差问题，并在能耗方面获得了一定的改善。除了对数转换方法，文献[25]提出另一种精度可调节的近似浮点乘法器。该乘法器采用近似尾数乘法器和舍入单元相结合的方式，通过使用更简单的电路结构来近似尾数乘法运算，从而减少了硬件资源的消耗，同时对乘法结果进行舍入，以满足特定的精度要求。这种近似浮点乘法器不仅能够一定程度上减少能耗，还具备精度可调节的特点，使得用户能够根据具体需求进行灵活的精度控制。

2.3 近似除法器

相比于近似乘法器，近似除法器的研究起步较晚。1960年代初Mitchell 提出了一种近似对数除法器，这种近似除法器将二进制操作数转换为对数操作数，从而引入了误差，除法运算被转换为减法^[13]。

表 1 加法器近似技术

近似方法	相关工作	概述
非分段推测近似	文献[6]	通过缩短进位链来获得更快速和更高性能的加法器。
分段推测近似	文献[7-9]	
晶体管级近似	文献[10-12]	

表 2 定点乘法器近似技术

近似方法	相关工作	概述
操作数近似	文献[14]	通过将二进制乘法转换为对数域的加法，具有极低的功耗。
阵列近似	文献[15]	通过对部分积矩阵的一部分低有效位直接舍去，以达到调整输出位宽和降低乘法器功耗面积的目的。
部分积近似	文献[16-18]	利用卡诺图对Booth编码结果进行优化，从而精简 Booth 算法的部分积表达式。
压缩器近似	文献[19-21]	通过切断压缩器同级之间进位链使得乘法器在功耗、延迟和晶体管数量方面都实现了显著降低。

这种运算以降低精度的方式显著降低设计复杂性并改善性能。但是,对数除法器引入了较大的误差,无法应用于需要高精度的应用。因此,国内外研究者已陆续提出了针对除法器的近似设计方法,其中主要包括阵列近似、操作数近似以及阵列和操作数混合近似除法器近似方法的详细分类如表3所示。对于阵列近似方法,文献[26]提出多个新的近似减法器,并利用所提出的减法器设计了恢复阵列除法器。与现有设计相比,所提出的近似除法器设计在面积、复杂度和功耗方面具有显著优势。对于操作数近似方法,文献[28]提出一种基于对数变换和分段常数近似的高效节能的近似除法器。在此设计中,首先将二进制和对数之间转换的范围从 $[0,1]$ 扩展到 $[-0.5,1]$,设计出一个启发式搜索算法,通过最小化统计误差,找到最精确的常数集,从而近似除数的倒数。与目前最先进的近似除法器相比,此设计的输出精度较高。对于阵列和操作数混合近似方法,文献[30]提出一种近似混合除法器。其中,精确恢复除法器单元用于生成商的最高有效位,以实现高精度,而其他商位则通过使用对数除法器来生成,从而降低功耗、面积和延迟。

2.4 近似乘法累加器

近年来,随着深度神经网络的深入研究,近似乘法累加器(Approximate Multiply-ACcumulate unit, AMAC)引起了广泛关注。在深度神经网络中,卷积运算占据了超过90%的计算量,而乘法累加运算(Multiply-Accumulate Unit, MAC)作为主要运算之一,消耗了大量能量。自2017年起,研究人员开始探索利用近似乘法器和近似加法器对MAC进行近似设计。针对乘法累加器的近似方法主要包括乘法器近似、加法器近似以及乘法加法阵列合并近似乘法累加器近似方法的详细分类如表4所示。文献[25]探讨了异步近似乘累加算子的使用,并研

究了如何在利用异步电路优势的同时,减轻此类电路固有的面积开销。通过分析3种具有不同错误率和面积权衡的近似MAC架构,对精确和近似、同步和异步MAC运算符进行了比较。实验表明,在不同的受控误差率下,通过重新使用近似乘法器,可以使得异步MAC的面积开销显著降低。文献[27]研究了近似加法器在乘法累加器最后阶段的应用,提出一种基于综合工具的设计流程。所应用的28 nm CMOS设计实例表明,此设计可以获得14%的功率增益,而图像质量下降幅度并不大。文献[28]提出一种新型近似乘法累加单元,该单元利用静态分割计算 $Y = A \times B + C$ 。所提出的架构采用独特的进位加法器,对 A 、 B 和 C 等3个操作数进行分段,以降低硬件成本。所提出的近似乘法累加单元性能优于现有技术,显著降低了功耗。

3 近似计算在信号处理领域算法层面的研究进展

近似计算在信号处理领域的算法研究主要集中在近似滤波和近似变换两个方向。这些研究旨在通过引入近似计算技术来满足特定应用需求,并同时降低计算复杂度和能耗。近似滤波是去噪、平滑、边缘检测等任务中广泛应用的重要研究方向,其目标是在保持滤波效果的前提下,减少计算资源和能量消耗。近似变换则在频域分析、压缩、特征提取等任务中扮演重要角色,其目标是通过引入近似计算技术降低计算复杂度,同时尽量保持变换结果的准确性。

3.1 近似滤波算法

近年来,由于近似滤波算法能够通过降低计算精度并简化计算过程,从而提升滤波速度,因此受到了广泛研究。针对近似FIR滤波器,研究人员在近似计算的推动下进行了一系列探索。文献[38]提

表 3 除法器近似技术

近似方法	相关工作	概述
阵列近似	文献[26, 27]	对传统阵列结构中的减法器进行近似设计,降低除法器阵列的复杂度。
操作数近似	文献[28, 29]	对操作数进行截断,或者从首位 1 开始截断,在较小精度损失下大大减小了运算延时和能量。
阵列和操作数混合近似	文献[30]	利用卡诺图对 Booth 编码结果进行优化,从而精简 Booth 算法的部分积表达式。

表 4 乘法累加器近似技术

近似方法	相关工作	概述
乘法器近似	文献[31, 32]	通过将乘法操作数进行分段并设计近似 MAC。
加法器近似	文献[33, 34]	通过将近似加法器运用到有符号 MAC 单元的最后一步进位传播加法器中,同时使用 VOS 调节输入电压,最终实现功耗降低。
乘法加法阵列合并近似	文献[35-37]	通过将累加插入到乘法部分积阵列中,设计近似MAC单元。

出一种采用近似分布算法的定点有限脉冲响应自适应滤波器,使用基-8 Booth算法来减少分布算法架构中的部分乘积的数量。此外,通过截断输入数据并进行误差补偿来近似生成部分积。为了进一步降低硬件成本,利用近似的华莱士树进行部分积的累加。因此,该设计显著降低了延迟、面积和功耗。文献[39]提出一个质量可扩展的近似最小均方(Least Mean Square, LMS)滤波器,其中可以通过作用于外部质量旋钮来改变运行时的近似水平。所提出的方法在算法层面引入近似,通过冻结某些系数的更新,该滤波器能够自动进入低功耗近似模式。文献[40]针对延迟最小均方(Delayed Least Mean Square, DLMS)滤波器提出了一种新的近似实现方法,利用误差信号的大小来更新滤波器系数。与原始的 DLMS 算法相比,所提出的滤波器功耗节省了53.7%。文献[41]探索了无乘法器多重常数乘法和近似计算技术在高斯滤波器上的结合方法,研究了3种不同内核大小对图像处理的影响。利用复制策略对加法器最低有效位的近似值在不同级别上的影响进行了评估,结果显示所评估的内核大小均能减少功耗和面积。

3.2 近似变换

近似变换主要包括近似快速傅里叶变换以及近似离散余弦变换。快速傅里叶变换是一种常用的频域变换方法,在信号处理中广泛应用于频谱分析、滤波、信号压缩等领域。离散余弦变换广泛应用于图像和音频压缩、信号特征提取等领域。通过在变换计算中引入适度的近似计算技术,从而实现高效信号处理的同时降低计算复杂度和资源消耗。

3.2.1 近似快速傅里叶变换

离散傅里叶变换(Discrete Fourier Transform, DFT)是数字信号处理中的重要计算之一,但由于其运算复杂度高和计算量大的限制,因此未能得到广泛应用。自从1965年提出按时间抽选的快速傅里叶变换(Fast Fourier Transform, FFT)算法以来,DFT算法的运算速度提高了近百倍,FFT算法得到了迅猛发展并备受学术界关注。随后, Bergland 在基于2点的FFT算法基础上提出了高基算法[42],如基-4、基-8等,以减少计算量。通常,FFT处理的大小使用2的幂来表示。然而,通用移动通信技术的长期演进系统(Long Term Evolution, LTE)的处理规模涉及1536点FFT计算,增加了硬件设计的难度。为此,文献[43]在对算法进行优化以减少乘法器数量的基础上,使用近似乘法器替换基-2蝶形单元的精确乘法器,使得FFT处理器的逻辑利用率和速度分别提高40%和33%。由于基本单元的

精度和FFT处理器的整体精度很难直接关联起来,因此基于基本单元的近似设计方案难以实现针对特定精度要求的设计,存在移植性差的问题。文献[44]使用8级基-2单径延迟反馈FFT和精度自适应调节架构,并采用多电压的近似乘法和加法,使得语音关键字识别的功耗下降了76%,同时精度能够保持持平。文献[45]提出针对特定精度FFT处理器的两种近似位宽选择算法,便于找出符合精度要求的资源最少或延时最低的FFT处理器的各级位宽组合,从而提高硬件性能。

3.2.2 近似离散余弦变换

计算传统的8点离散余弦变换(Discrete Cosine Transform, DCT)需要64次乘法和56次加法,因此,需要进行快速DCT变换算法的研究。目前针对快速DCT算法的研究大致可分为两类。一类是减少DCT中浮点乘法器和加法器的数量。1977年Chen等人[46]根据变换矩阵的对称性,第1次用稀疏矩阵分解法提出了DCT的快速算法,该算法计算8点DCT只需要16次乘法和26次加法。然而上述的快速算法仍然需要浮点乘法,该结构中乘法器的功耗占总功耗的40%,硬件复杂度占总体硬件复杂度的45%,这种结构在硬件和软件实现中速度很慢。

另一类针对快速DCT算法的研究,是利用一种无乘数的整数DCT快速算法来降低硬件开销。其中一种整数DCT快速算法是将DCT系数分解为一个稀疏矩阵(矩阵元素仅包含0, $\pm 1/2$, ± 1 或 ± 2)与一个对角矩阵相乘的形式,并且在图像压缩的条件下,对角矩阵可以简单地划分到图像压缩过程的量化步骤中[47,48]。因此,在这种情况下,DCT计算的复杂度与稀疏矩阵的复杂度相关。由于稀疏矩阵中的元素只包含 $\{0, \pm 1/2, \pm 1, \pm 2\}$ 等2的幂次,因此其计算过程是无乘法的。另一种整数DCT快速算法是基于常数乘法(Multiple Constant Multiplication, MCM)。这种方法将矩阵中的所有元素乘以一个大的数值,然后四舍五入到最接近的整数[49,50]。为了进一步降低运算复杂度,用移位和加的形式代替整数乘法器形式。

4 近似计算在信号处理领域的应用

近似计算广泛应用于信号处理领域,包括无线通信系统、视频图像处理和雷达信号处理等。在无线通信中,近似计算能够提高系统性能和效率,降低计算复杂度和功耗,例如在无线信号调制解调器中减少计算需求。视频图像处理方面,近似计算能够加快处理速度,降低资源消耗,适应各种平台和设备。在雷达信号处理中,近似计算可应用于功率

谱估计、目标识别和参数估计等任务,以降低计算复杂度、提高实时性和可扩展性,满足复杂环境下的需求。

4.1 近似计算在无线通信系统领域的应用

随着进入万物互联时代,设备之间的通信越来越频繁,数据量也不断增加,浮点运算单元变得极为重要。作为万物互联的基础,无线通信系统广泛应用了浮点运算单元,鉴于无线通信系统本身具备容错能力,越来越多的研究人员开始关注近似浮点运算单元的研究,并将其应用于无线通信系统,以在一定的误差允许范围内有效降低能源开销。在文献[51]中,作者提出一种用于多输入多输出正交频分复用(MIMO-OFDM)通信系统的块浮点增强型滤波器矩阵计算单元架构,与定点实现相比,在减少位宽而不降低误码率性能的情况下,块浮点格式可以显著减少电路总面积。无线通信系统通常涉及大规模复杂的矩阵求逆运算,而正交三角分解是矩阵求逆的一种常用解决方案。因此,另一篇文献[52]提出一种基于浮点运算的 4×4 矩阵设计,有效增加了正交三角分解过程中的数据吞吐量。在文献[53]中,研究人员提出在有损互连网络上使用近似浮点压缩来加速消息传递接口(Message Passing Interface, MPI)通信。通过设计应用级的快速近似压缩算法,同时提出在有损互连网络下给定误码率优化的关键位翻转恢复方案,在一定的误差范围内大幅提高了数据传输量。

4.2 近似计算在视频图像处理领域的应用

随着多媒体应用的广泛普及,对视频图像处理的需求日益迫切,这导致低功耗视频图像处理应用的硬件实现研究备受关注。由于图像和视频对一定程度的误差具有容忍度,因此许多研究者试图在视频图像输出质量和能耗之间寻求平衡,通过在一定程度上牺牲视频图像的精度来大幅提高能效。Park等人[54]针对DCT算法中64个DCT系数对误差敏感性的差异,提出一种可以动态调整DCT硬件结构中操作数位宽的算法。Snigdha等人[55]研究了基于Loemer算法的DCT内部基本操作单元(加法器/乘法器)的近似可行性。根据Loemer算法中不同计算阶段的加法器/乘法器引入的误差对最终输出结果的影响不同,提出了一种数学模型,可以在给定输出误差预算的情况下反向推导每个操作单元的适用位宽数,以最大程度地节省功耗。然而,这些方法仅对JPEG编码器硬件结构中的部分计算单元进行了近似,功耗降低的幅度有限。另一种有效降低功耗的方法是在JPEG编码器电路设计中引入低电压技术。文献[56]在65 nm CMOS工艺下设计了一

款能够采用0.4~1.2V宽电压的JPEG编码器。为了提高吞吐量,该编码器采用了4个并行的驱动模块和一个霍夫曼编码模块,其中每个驱动模块包含一对DCT和量化模块。驱动模块和霍夫曼模块在不同的电压和时钟频率下工作。在亚值区域,驱动模块可以以最低400 mV的电压和2.5 MHz的频率正常工作,而霍夫曼模块则在600 mV的工作电压下以10 MHz的频率运行。

4.3 近似计算在雷达信号处理领域的应用

常规的压缩感知雷达成像方法不仅能够实现场景成像,还能降低所需的数据量,即降低采样率。然而,这种方法的计算复杂度较高,对计算机内存的需求也更大,因此引入近似计算技术可以降低计算复杂度并减少内存消耗。文献[57]提出一种新的压缩感知合成孔径雷达(Compressed Sensing Synthetic Aperture Radar, CS-SAR)成像方法,该方法利用近似观测算子显著降低了计算复杂度和内存消耗,因此适用于大数据量或大场景的CS-SAR成像系统。基于近似观测的CS-SAR成像方法有时也被称为距离方位向解耦的CS-SAR成像方法[58]。相较于传统的CS-SAR成像方法,基于近似观测的CS-SAR成像方法可以显著降低内存消耗及迭代中的单步计算复杂度。而由于SAR图像的相位角总是随机的,这给处理复杂值的SAR图像带来了困难。文献[59]提出一种基于近似观测的CS-SAR成像的幅相分离方法。与现有方法相比,该方法仅对光滑分量的大小施加稀疏约束,相角仍然是随机的,因此具有更好的重构能力。此外,由于近似观测固有的低内存需求,所提出的方法所需要的内存开销更小。在相位误差存在的情况下,合成孔径雷达重建图像会出现离焦现象。文献[60]提出一种基于近似观测的压缩感知雷达成像相位误差校正方法。与传统方法相比,该方法具有更好的图像聚焦能力和更少的内存开销。

5 思考与展望

目前,近似计算技术在信号处理领域持续发展,为处理大规模信号数据提供高效可扩展的解决方案。随着移动设备和物联网的普及,对低功耗高效的信号处理硬件需求增加。未来,近似计算技术将专注于开发适用于资源受限环境的高性能信号处理硬件平台。同时,机器学习在信号处理中的重要性不断提升,未来将更加注重将近似计算技术与机器学习相结合,实现更快速准确的信号处理任务。随着边缘计算和物联网的快速发展,信号处理任务不再局限于中央服务器或云端,而分布在多个边缘

设备上。未来的近似计算技术将注重分布式和协同处理，使多个设备联合工作，共同完成信号处理任务，提高响应速度和系统的容错性。

然而，对于信号处理领域的近似计算技术，其更大规模的应用和部署仍然面临一些显著的挑战。这些挑战主要涉及近似设计的错误分析理论问题、设计通用性问题以及系统性设计方法问题。

(1) 近似设计的错误分析理论问题。鉴于近似设计必然带来误差，从理论上分析这些误差可以在一定程度上减少误差，并且能够更便捷地选择所需的近似程度。然而，由于不同的近似模块对于误差的敏感程度不同，如何考虑不同模块的误差对系统整体精度的影响，以及如何划分不同模块的错误相对于系统误差的权重仍然是现阶段近似计算需要研究的课题。目前，已有对近似对数乘法器的最大误差的分析理论，同时还有相关研究通过概率分析来弥补截断引起的误差。然而，这些错误分析尚未形成系统级的理论模型。因此，建立一个针对不同模块系统错误模型将有助于在不同应用场景下选择不同近似程度的算术运算单元。

(2) 近似计算设计通用性问题。当前近似计算的设计优化主要集中在单一设计层次，例如在特定应用中引入近似计算的思想。这种方法在特定应用中表现出良好效果，但适用范围有限，缺乏通用性。此外，近似计算的算法研究更偏向于专用算法的设计，以满足特定任务或领域需求。这种方法可以获得高性能和效率，但通用性设计存在一定局限性。为了解决这些问题，需要进一步研究通用性设计方法。这包括整合多个层次的近似计算技术，进行软硬件协同设计。其中，需要在算法层面设计通用的近似计算方法，并在体系结构和硬件设计层面实现相应的支持和优化。通过软硬件协同设计，可以更好地发掘近似计算的能效潜力，并在各个领域实现高效、可扩展和通用的近似计算解决方案。

(3) 近似计算系统性设计方法问题。由于近似计算技术可以广泛应用于计算系统的不同层面，包括硬件层、软件层、架构层等，而不同层面的近似计算所需要的衡量指标并不一致，例如针对硬件层面的错误指标并不适用于上层应用的误差衡量，目前缺少对于近似计算系统性的指导设计方法。因此在后续的研究中，需要针对多个层次的近似计算进行系统性的设计与评估，并提出相关的系统性近似计算技术的衡量指标。同时，在进行近似计算系统性设计时，可以采用系统级优化方法。这包括基于模型的设计空间探索和优化，以找到最佳的近似计

算配置和参数设置，同时满足性能、功耗和精度等要求。

6 结束语

本文对面向信号处理的近似计算技术进行了综述，全面总结了近年来该领域的研究进展和应用。通过采用近似计算技术，可以有效提高信号处理系统的效率和性能。未来的研究方向包括进一步优化近似计算方法、完善近似误差分析等。这些研究成果将为信号处理领域的研究和应用提供重要的参考。

参 考 文 献

- [1] LIU Weiqiang and LOMBARDI F. Approximate Computing[M]. Cham: Springer, 2022: 365–368. doi: [10.1007/978-3-030-98347-5](https://doi.org/10.1007/978-3-030-98347-5).
- [2] LIU Weiqiang, LOMBARDI F, and SCHULTE M. Approximate computing: From circuits to applications[J]. *Proceedings of the IEEE*, 2020, 108(12): 2103–2107. doi: [10.1109/JPROC.2020.3033361](https://doi.org/10.1109/JPROC.2020.3033361).
- [3] CHIPPA V K, MOHAPATRA D, ROY K, *et al.* Scalable effort hardware design[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2014, 22(9): 2004–2016. doi: [10.1109/TVLSI.2013.2276759](https://doi.org/10.1109/TVLSI.2013.2276759).
- [4] NOWICK S M. Design of a low-latency asynchronous adder using speculative completion[J]. *IEEE Proceedings - Computers and Digital Techniques*, 1996, 143(5): 301–307. doi: [10.1049/ip-cdt:19960704](https://doi.org/10.1049/ip-cdt:19960704).
- [5] LU S L. Speeding up processing with approximation circuits[J]. *Computer*, 2004, 37(3): 67–73. doi: [10.1109/MC.2004.1274006](https://doi.org/10.1109/MC.2004.1274006).
- [6] ESPOSITO D, DE CARO D, NAPOLI E, *et al.* Variable latency speculative Han-Carlson adder[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2015, 62(5): 1353–1361. doi: [10.1109/TCSI.2015.2403036](https://doi.org/10.1109/TCSI.2015.2403036).
- [7] SEOK H, SEO H, LEE J, *et al.* A novel efficient approximate adder design using single input pair based computation[C]. 2022 19th International SoC Design Conference (ISOCC), Gangneung-si, Korea, 2022: 57–58. doi: [10.1109/ISOCC56007.2022.10031341](https://doi.org/10.1109/ISOCC56007.2022.10031341).
- [8] SEO H and KIM Y. A low latency approximate adder design based on dual sub-adders with error recovery[J]. *IEEE Transactions on Emerging Topics in Computing*, 2023, 11(3): 811–816. doi: [10.1109/TETC.2023.3270963](https://doi.org/10.1109/TETC.2023.3270963).
- [9] MANOHAR P S, ROHAN B, RAMANA P V S, *et al.* Implementation of carry look Ahead adder with 2-bit approximate adder[C]. 2023 2nd International Conference on Applied Artificial Intelligence and Computing (ICAAIC), Salem, India, 2023: 1543–1547. doi: [10.1109/ICAAIC56838.2023.10140683](https://doi.org/10.1109/ICAAIC56838.2023.10140683).

- [10] YAN Aibin, WEI Shaojie, LI Zhixing, *et al.* Design of low-cost approximate CMOS full adders[C]. 2023 IEEE International Symposium on Circuits and Systems (ISCAS), Monterey, USA, 2023: 1–5. doi: [10.1109/ISCAS46773.2023.10181531](https://doi.org/10.1109/ISCAS46773.2023.10181531).
- [11] LAGIDI P, ISWARYA A, RAJESH G, *et al.* Design of 16-bit and 32-bit approximate full adder using majority logic[C]. 2021 2nd Global Conference for Advancement in Technology (GCAT), Bangalore, India, 2021: 1–5. doi: [10.1109/GCAT52182.2021.9587782](https://doi.org/10.1109/GCAT52182.2021.9587782).
- [12] LIU Bo, XUE Anfeng, WANG Ziyu, *et al.* A reconfigurable approximate computing architecture with dual-VDD for low-power Binarized weight network deployment[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2023, 70(1): 291–295. doi: [10.1109/TCSII.2022.3196045](https://doi.org/10.1109/TCSII.2022.3196045).
- [13] MITCHELL J N. Computer multiplication and division using binary logarithms[J]. *IRE Transactions on Electronic Computers*, 1962, EC-11(4): 512–517. doi: [10.1109/TEC.1962.5219391](https://doi.org/10.1109/TEC.1962.5219391).
- [14] KIM M S, DEL BARRIO A A, OLIVEIRA L T, *et al.* Efficient Mitchell's approximate log multipliers for convolutional neural networks[J]. *IEEE Transactions on Computers*, 2019, 68(5): 660–675. doi: [10.1109/TC.2018.2880742](https://doi.org/10.1109/TC.2018.2880742).
- [15] NUNZIATA I, ZACHARELOS E, SAGGESE G, *et al.* Approximate recursive multipliers using carry truncation and error compensation[C]. 2022 17th Conference on Ph. D. Research in Microelectronics and Electronics (PRIME), Villasimius, Italy, 2022: 137–140. doi: [10.1109/PRIME55000.2022.9816787](https://doi.org/10.1109/PRIME55000.2022.9816787).
- [16] WARIS H, WANG Chenghua, LIU Weiqiang, *et al.* Hybrid partial product-based high-performance approximate recursive multipliers[J]. *IEEE Transactions on Emerging Topics in Computing*, 2022, 10(1): 507–513. doi: [10.1109/TETC.2020.3013977](https://doi.org/10.1109/TETC.2020.3013977).
- [17] SHANKAR R G and ANANTHI D R. Approximate booth multipliers using compressors and counter[C]. 2023 International Conference on Inventive Computation Technologies (ICICT), Lalitpur, Nepal, 2023: 1658–1662. doi: [10.1109/ICICT57646.2023.10134198](https://doi.org/10.1109/ICICT57646.2023.10134198).
- [18] LIU Bo, CAI Hao, ZHANG Zilong, *et al.* Multiplication circuit architecture for error-tolerant CNN-based keywords speech recognition[J]. *IEEE Design & Test*, 2023, 40(3): 26–35. doi: [10.1109/MDAT.2021.3135346](https://doi.org/10.1109/MDAT.2021.3135346).
- [19] SAYADI L, TIMARCHI S, and SHEIKH-AKBARI A. Two efficient approximate unsigned multipliers by developing new configuration for approximate 4: 2 compressors[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2023, 70(4): 1649–1659. doi: [10.1109/TCSI.2023.3242558](https://doi.org/10.1109/TCSI.2023.3242558).
- [20] ZHANG Mingtao, NISHIZAWA S, and KIMURA S. Area efficient approximate 4-2 compressor and probability-based error adjustment for approximate multiplier[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2023, 70(5): 1714–1718. doi: [10.1109/TCSII.2023.3257852](https://doi.org/10.1109/TCSII.2023.3257852).
- [21] XIE Na, ZHANG Renyuan, YAN Han, *et al.* Compressors evolution based high speed and energy efficient approximate signed multiplier[C]. 2022 IEEE 16th International Conference on Solid-State & Integrated Circuit Technology (ICSICT), Nanjing, China, 2022: 1–3. doi: [10.1109/ICSICT55466.2022.9963435](https://doi.org/10.1109/ICSICT55466.2022.9963435).
- [22] TONG J Y F, NAGLE D, and RUTENBAR R A. Reducing power by optimizing the necessary precision/range of floating-point arithmetic[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2000, 8(3): 273–286. doi: [10.1109/92.845894](https://doi.org/10.1109/92.845894).
- [23] EILERT J, EHLLIAR A, and LIU Dake. Using low precision floating point numbers to reduce memory cost for MP3 decoding[C]. 2004 IEEE 6th Workshop on Multimedia Signal Processing, Siena, Italy, 2004: 119–122. doi: [10.1109/MMSP.2004.1436435](https://doi.org/10.1109/MMSP.2004.1436435).
- [24] ZHANG Hang, PUTIC M, and LACH J. Low power GPGPU computation with imprecise hardware[C]. 51st ACM/EDAC/IEEE Design Automation Conference (DAC), San Francisco, USA, 2014: 1–6. doi: [10.1109/dac.2014.6881426](https://doi.org/10.1109/dac.2014.6881426).
- [25] YIN Peipei, WANG Chenghua, LIU Weiqiang, *et al.* Design and performance evaluation of approximate floating-point multipliers[C]. 2016 IEEE Computer Society Annual Symposium on VLSI (ISVLSI), Pittsburgh, USA, 2016: 296–301. doi: [10.1109/ISVLSI.2016.15](https://doi.org/10.1109/ISVLSI.2016.15).
- [26] SAVIO M M D, DEEPA T, DHARSHINI P D, *et al.* Design and implementation of approximate divider for error-resilient image processing applications[C]. 2023 Second International Conference on Electrical, Electronics, Information and Communication Technologies (ICEEICT), Trichirappalli, India, 2023: 1–5. doi: [10.1109/ICEEICT56924.2023.10157050](https://doi.org/10.1109/ICEEICT56924.2023.10157050).
- [27] SHRIRAM A, TIWARI A, ANIL KUMAR U, *et al.* Power efficient approximate divider architecture for error resilient applications[C]. 2022 IEEE 6th Conference on Information and Communication Technology (CICT), Gwalior, India, 2022: 1–6. doi: [10.1109/CICT56698.2022.9997960](https://doi.org/10.1109/CICT56698.2022.9997960).
- [28] WU Yong, JIANG Honglan, MA Zining, *et al.* An energy-efficient approximate divider based on logarithmic conversion and piecewise constant approximation[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2022, 69(7): 2655–2668. doi: [10.1109/TCSI.2022.3167894](https://doi.org/10.1109/TCSI.2022.3167894).

- [29] SAADAT H, JAVAID H, and PARAMESWARAN S. Approximate integer and floating-point dividers with near-zero error bias[C]. 2019 56th ACM/IEEE Design Automation Conference (DAC), Las Vegas, USA, 2019: 1–6. doi: [10.1145/3316781.3317773](https://doi.org/10.1145/3316781.3317773).
- [30] LIU Weiqiang, XU Tao, LI Jing, *et al.* Design of unsigned approximate hybrid dividers based on restoring array and logarithmic dividers[J]. *IEEE Transactions on Emerging Topics in Computing*, 2022, 10(1): 339–350. doi: [10.1109/TETC.2020.3022290](https://doi.org/10.1109/TETC.2020.3022290).
- [31] WUERDIG R N, SARTORI M L L, ABREU B A, *et al.* Mitigating asynchronous QDI drawbacks on MAC operators with approximate multipliers[C]. 2022 IEEE International Symposium on Circuits and Systems (ISCAS), Austin, USA, 2022: 1269–1273. doi: [10.1109/ISCAS48785.2022.9937420](https://doi.org/10.1109/ISCAS48785.2022.9937420).
- [32] MISHRA V, PANDEY D, SINGH S, *et al.* ART-MAC: Approximate rounding and truncation based MAC unit for fault-tolerant applications[C]. 2022 IEEE International Symposium on Circuits and Systems (ISCAS), Austin, USA, 2022: 1640–1644. doi: [10.1109/ISCAS48785.2022.9937437](https://doi.org/10.1109/ISCAS48785.2022.9937437).
- [33] ESPOSITO D, DE CARO D, NAPOLI E, *et al.* On the use of approximate adders in carry-save multiplier-accumulators[C]. 2017 IEEE International Symposium on Circuits and Systems (ISCAS), Baltimore, USA, 2017: 1–4. doi: [10.1109/ISCAS.2017.8050437](https://doi.org/10.1109/ISCAS.2017.8050437).
- [34] WANG Ziyu, WEI Qingwen, XUE Anfeng, *et al.* Low-power computing unit based on heterogeneous approximate structure for binary convolutional neural network[C]. 2022 IEEE 16th International Conference on Solid-State & Integrated Circuit Technology (ICSICT), Nanjing, China, 2022: 1–3. doi: [10.1109/ICSICT55466.2022.9963452](https://doi.org/10.1109/ICSICT55466.2022.9963452).
- [35] MEO G D, SAGGESE G, STROLLO A G M, *et al.* Approximate MAC unit using static segmentation[J]. *IEEE Transactions on Emerging Topics in Computing*, 2023. doi: [10.1109/TETC.2023.3315301](https://doi.org/10.1109/TETC.2023.3315301).
- [36] LIU Bo, ZHANG Zilong, CAI Hao, *et al.* Self-compensation tensor multiplication unit for adaptive approximate computing in low-power CNN processing[J]. *Science China Information Sciences*, 2022, 65(4): 149403. doi: [10.1007/s11432-021-3242-6](https://doi.org/10.1007/s11432-021-3242-6).
- [37] LIU Bo, ZHANG Renyuan, SHEN Qiao, *et al.* W-AMA: Weight-aware approximate multiplication architecture for neural processing[J]. *Computers and Electrical Engineering*, 2023, 111: 108921. doi: [10.1016/j.compeleceng.2023.108921](https://doi.org/10.1016/j.compeleceng.2023.108921).
- [38] JIANG Honglan, LIU Leibo, JONKER P P, *et al.* A high-performance and energy-efficient FIR adaptive filter using approximate distributed arithmetic circuits[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2019, 66(1): 313–326. doi: [10.1109/TCSI.2018.2856513](https://doi.org/10.1109/TCSI.2018.2856513).
- [39] ESPOSITO D, DI MEO G, DE CARO D, *et al.* Quality-scalable approximate LMS filter[C]. 2018 25th IEEE International Conference on Electronics, Circuits and Systems (ICECS), Bordeaux, France, 2018: 849–852. doi: [10.1109/ICECS.2018.8617858](https://doi.org/10.1109/ICECS.2018.8617858).
- [40] DI MEO G, DE CARO D, PETRA N, *et al.* A novel low-power DLMS adaptive filter with sign-magnitude learning and approximated FIR section[C]. 2022 17th Conference on Ph. D. Research in Microelectronics and Electronics (PRIME), Villasimius, Italy, 2022: 217–220. doi: [10.1109/PRIME55000.2022.9816770](https://doi.org/10.1109/PRIME55000.2022.9816770).
- [41] MONTEIRO M, SEIDEL I, GRELLERT M, *et al.* Exploring the impacts of multiple kernel sizes of Gaussian filters combined to approximate computing in canny edge detection[C]. 2022 IEEE 13th Latin America Symposium on Circuits and System (LASCAS), Puerto Varas, Chile, 2022: 1–4. doi: [10.1109/LASCAS53948.2022.9789080](https://doi.org/10.1109/LASCAS53948.2022.9789080).
- [42] BERGLAND G. Fast Fourier transform hardware implementations-An overview[J]. *IEEE Transactions on Audio and Electroacoustics*, 1969, 17(2): 104–108. doi: [10.1109/TAU.1969.1162041](https://doi.org/10.1109/TAU.1969.1162041).
- [43] ELANGO K and MUNIANDI K. VLSI implementation of an area and energy efficient FFT/IFFT core for MIMO-OFDM applications[J]. *Annals of Telecommunications*, 2020, 75(5/6): 215–227. doi: [10.1007/s12243-019-00742-6](https://doi.org/10.1007/s12243-019-00742-6).
- [44] LIU Bo, DING Xiaoling, CAI Hao, *et al.* Precision adaptive MFCC based on R2SDF-FFT and approximate computing for low-power speech keywords recognition[J]. *IEEE Circuits and Systems Magazine*, 2021, 21(4): 24–39. doi: [10.1109/MCAS.2021.3118175](https://doi.org/10.1109/MCAS.2021.3118175).
- [45] LIU Weiqiang, LIAO Qicong, QIAO Fei, *et al.* Approximate designs for Fast Fourier Transform (FFT) with application to speech recognition[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2019, 66(12): 4727–4739. doi: [10.1109/TCSI.2019.2933321](https://doi.org/10.1109/TCSI.2019.2933321).
- [46] CHEN W H, SMITH C, and FRALICK S. A fast computational algorithm for the discrete cosine transform[J]. *IEEE Transactions on Communications*, 1977, 25(9): 1004–1009. doi: [10.1109/TCOM.1977.1093941](https://doi.org/10.1109/TCOM.1977.1093941).
- [47] POTLURI U S, MADANAYAKE A, CINTRA R J, *et al.* Improved 8-point approximate DCT for image and video compression requiring only 14 additions[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2014, 61(6): 1727–1740. doi: [10.1109/TCSI.2013.2295022](https://doi.org/10.1109/TCSI.2013.2295022).
- [48] DA SILVEIRA T L T, CANTERLE D R, COELHO D F G, *et al.* A class of low-complexity DCT-like transforms for image and video coding[J]. *IEEE Transactions on Circuits and Systems for Video Technology*, 2022, 32(7): 4364–4375. doi: [10.1109/TCSVT.2021.3134054](https://doi.org/10.1109/TCSVT.2021.3134054).

- [49] XING Yan, ZHANG Ziji, QIAN Yiduan, *et al.* An energy-efficient approximate DCT for wireless capsule endoscopy application[C]. 2018 IEEE International Symposium on Circuits and Systems (ISCAS), Florence, Italy, 2018: 1–4. doi: [10.1109/ISCAS.2018.8351769](https://doi.org/10.1109/ISCAS.2018.8351769).
- [50] CAI Lulin, QIAN Yiduan, HE Yajuan, *et al.* Design of approximate multiplierless DCT with CSD encoding for image processing[C]. 2021 IEEE International Symposium on Circuits and Systems (ISCAS), Daegu, Korea, 2021: 1–4. doi: [10.1109/ISCAS51556.2021.9401200](https://doi.org/10.1109/ISCAS51556.2021.9401200).
- [51] JANHUNEN J, PITKANEN T, SILVEN O, *et al.* Fixed- and floating-point processor comparison for MIMO-OFDM detector[J]. *IEEE Journal of Selected Topics in Signal Processing*, 2011, 5(8): 1588–1598. doi: [10.1109/JSTSP.2011.2165830](https://doi.org/10.1109/JSTSP.2011.2165830).
- [52] AMIN-NEJAD S, BASHARKHAH K, and GASHTEROODKHANI T A. Floating point versus fixed point tradeoffs in FPGA implementations of QR decomposition algorithm[J]. *European Journal of Electrical Engineering and Computer Science*, 2019, 3(5). doi: [10.24018/EJECE.2019.3.5.127](https://doi.org/10.24018/EJECE.2019.3.5.127).
- [53] HU Yao and KOIBUCHI M. Accelerating MPI communication using floating-point compression on lossy interconnection networks[C]. 2021 IEEE 46th Conference on Local Computer Networks (LCN), Edmonton, Canada, 2021: 355–358. doi: [10.1109/LCN52139.2021.9524942](https://doi.org/10.1109/LCN52139.2021.9524942).
- [54] PARK J, CHOI J H, and ROY K. Dynamic bit-width adaptation in DCT: An approach to trade off image quality and computation energy[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2010, 18(5): 787–793. doi: [10.1109/TVLSI.2009.2016839](https://doi.org/10.1109/TVLSI.2009.2016839).
- [55] SNIGDHA F S, SENGUPTA D, HU Jiang, *et al.* Optimal design of JPEG hardware under the approximate computing paradigm[C]. 2016 53rd ACM/EDAC/IEEE Design Automation Conference (DAC), Austin, USA, 2016: 1–6. doi: [10.1145/2897937.2898057](https://doi.org/10.1145/2897937.2898057).
- [56] PU Yu, DE GYVEZ J P, CORPORAAL H, *et al.* An ultra-low-energy multi-standard JPEG co-processor in 65 nm CMOS with sub/near threshold supply voltage[J]. *IEEE Journal of Solid-State Circuits*, 2010, 45(3): 668–680. doi: [10.1109/JSSC.2009.2039684](https://doi.org/10.1109/JSSC.2009.2039684).
- [57] FANG Jian, XU Zongben, ZHANG Bingchen, *et al.* Fast compressed sensing SAR imaging based on approximated observation[J]. *IEEE Journal of Selected Topics in Applied Earth Observations and Remote Sensing*, 2014, 7(1): 352–363. doi: [10.1109/JSTARS.2013.2263309](https://doi.org/10.1109/JSTARS.2013.2263309).
- [58] JIANG Chenglong, ZHANG Bingchen, FANG Jian, *et al.* Efficient ℓ_q regularisation algorithm with range-azimuth decoupled for SAR imaging[J]. *Electronics Letters*, 2014, 50(3): 204–205. doi: [10.1049/el.2013.1989](https://doi.org/10.1049/el.2013.1989).
- [59] LI Bo, LIU Falin, ZHOU Chongbin, *et al.* Mixed sparse representation for approximated observation-based compressed sensing radar imaging[J]. *Journal of Applied Remote Sensing*, 2018, 12(3): 035015. doi: [10.1117/1.JRS.12.035015](https://doi.org/10.1117/1.JRS.12.035015).
- [60] LI Bo, LIU Falin, ZHOU Chongbin, *et al.* Phase error correction for approximated observation-based compressed sensing radar imaging[J]. *Sensors*, 2017, 17(3): 613. doi: [10.3390/s17030613](https://doi.org/10.3390/s17030613).
- 王 旭: 女, 博士生, 研究方向为近似计算.
- 陈 珂: 男, 副研究员, 研究方向为近似计算电路设计.
- 闫成刚: 男, 副研究员, 研究方向为混合信号集成电路设计.
- 王成华: 男, 教授, 研究方向为集成电路设计、验证与测试.
- 刘伟强: 男, 教授, 研究方向为高效安全新兴计算集成电路与系统.

责任编辑: 马秀强