#### A 辑

# 一种基于三值电路的 FT-TSC-FS 二值数字系统

胡 谋

(上海铁道学院电信系)

#### 甁 要

本文提出构成 FT (容错)—TSC (完全自校验)—FS (失效保险)数字系统的一种新方案。这种系统是二值的,但由一类特殊的三值电路——三中取二值电路构成。电路中的所有单故障可以分为三类,分别称为掩蔽型故障、自校验型故障及安全型故障。对掩蔽型故障,本系统是容错的;对自校验型故障,本系统是完全自校验的;而对安全型故障,本系统是失效保险的。构成本系统的技术可称之为逻辑值冗余技术。作者认为这种技术将是达到可靠计算的一种有希望的途径。

## 一、引言

可靠性、可用性及可维护性考虑对当代的数字系统是十分重要的。为了提高可靠性、可用性及可维护性,可以选用各种设计容错数字系统的技术,如故障掩蔽及待命冗余等<sup>[11]</sup>。可是完全容错成本较高,只有极关键场合(如空间技术、军事设备及电话交换等)的数字系统才有可能

表 1 非算子的真值表

X	X
U	1
$\frac{1}{2}$	$\frac{1}{2}$
1	0

表 2 与非算子的真值表

X	Y	$\overline{X \cdot Y}$
0	()	l l
U	1 1	ı
U	1	1
1/2	0	1
$\frac{1}{2}$	1/2	1/2
$0$ $\frac{1}{2}$ $\frac{1}{2}$ $\frac{1}{2}$	1	$\frac{1}{2}$ $\frac{1}{2}$ $\frac{1}{2}$ $0$
1	0	1
1	$\frac{0}{2}$	$\frac{1}{2}$
1	1	0

本文 1984年 10 月 24 日收到, 1985年 3 月 25 日收到修改稿。

采用。一般情况则宜采用成本较低的自校验系统[2]或失效保险系统[3]。

在文献[4,5]中作者曾提出一类特殊的三值电路——三中取二值电路,并用这类电路构成完全自校验的二值数字系统。

本文则提出一种新的三中取二值电路。与文献[4,5]中的电路相比,这种新电路的优点是:每个故障都被容错、完全自校验及失效保险三种性质之一所覆盖,从而使整个数字系统成为一个FT(容错)一TSC(完全自校验)一FS(失效保险)的系统。本文分析了这种新电路中所有的单故障,并将它们分为三类:掩蔽型故障、自校验型故障及安全型故障。可以证明,对掩蔽型故障,该系统是容错的;对自校验型故障,该系统是完全自校验的;而对安全型故障,该系统是失效保险的。

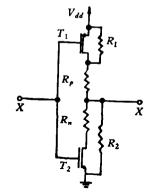


图 1 实现非算子的 CMOS 三中取二值反相器

## 二、三中取二值逻辑算子及电路

三中取二值电路是工作于二值状态的特殊三值电路。这类电路 三中取二值反相器 虽然具有三个逻辑值,但在正常工作时仅用到其中的二个。其冗余的第三个逻辑值可作自校 验及测试之用。本节将介绍三中取二值逻辑算子并提出一种新的三中取二值电路。

为了与二值逻辑代数兼容,三中取二值逻辑算子是从 B—三值逻辑[6]中引出的。

在下述定义中,变量  $X,Y \in Q$ , 而

$$Q = \{0, 1/2, 1\}.$$

定义 1. 非算子定义为

$$\bar{X} = 1 - X$$

非算子的真值表如表 1 所示。

定义 2. 与非算子定义为

$$\overline{X \cdot Y} = 1 - \min(X, Y)$$

与非算子的真值表如表 2 所示。

CMOS 器件由于其内在的对称性,能很方便地应用于三值逻辑电路的设计<sup>[7]</sup>。作者在文献 [7] 电路的基础上提出了第一种三中取二值电路<sup>[4]</sup>,并用以构成完全自校验二值数字系统。文献 [5] 中作者又提出了另一种三中取二值电路,其突出优点是功耗低。但文献 [4,5] 中的电路具有一个共同的缺点,即存在一类无中型故障,这类故障不能被自校验而需要脱机测试。为了克服这个缺点,本节将提出一种新的 CMOS 三中取二值电路的实现方案。

下面提出的电路包括0型反相器、1型反相器、0型与非门及1型与非门四种。

图 1 是实现非算子的 CMOS 三中取二值反相器。这种反相器被称为 0 型反相器,因为在这个电路中,某几个故障之一单独出现时,可能使输出值由 1 变至 0,但任何一个故障均不可能使输出值由 0 变至 1.

在该电路中,逻辑值 1 相应于  $V_{ad}$ ,逻辑值 1/2 相应于  $1/2V_{ad}$ ,而逻辑值 0 相应于 0V。电路中各电阻值应满足下述关系:

$$R_p = R_n, R_1 \ge 20R_p, R_2 = R_1 + R_p$$

顺便指出,在制造集成电路时,这些电阻均可用 MOS 来管实现。

为了分析电路的故障特性,需要一个故障模型.考虑到固定型故障模型是实际故障的一个不完全的模型,本研究中采用了更接近电路实际的"元件开路一短路"模型。在该模型中,一个故障是指电路中某一元件的开路或短路,即或者是一个电阻的开路或短路,或者是一个 MOS 管漏源极间的开路或短路。由于多故障的情况比较复杂,本文仅考虑单故障情况。本文以下得到的结果对某些多故障仍然适用,但对另一些多故障则不适用。

采用上述故障模型,0型反相器电路中所有可能出现的单故障列于表 3。表中下标"s"表示短路故障,而"o"表示开路故障。

表 3 中所有单故障可分成三类。掩蔽型、自校验型及安全型、下面将给出它们的定义。

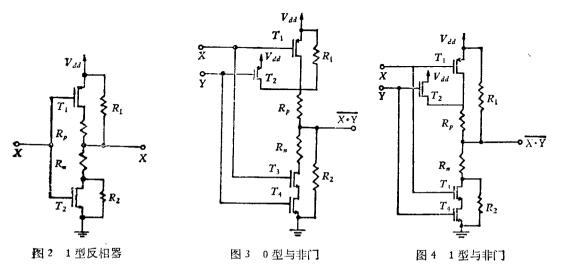
先将Q分成两个互不相交的子集:  $N = \{0,1\}$  及  $E = \{1/2\}$ 。并设电路G的输入端数为 m。电路G在输入矢量为 X,且含有故障 f 时的输出记为 G(X,f)。相应地电路G在输入矢量为 X,且无故障时的输出记为  $G(X,\phi)$ 。

定义3. 故障 / 是掩蔽型故障,若

$$\forall X \in N^m \ G(X, f) = G(X, \phi).$$

表 3	0型反相器电路中所有可能出现的单故障	音
1X "		771

输入						输		出					
	无故障		掩蔽:	型故障			安全型故障						
X	$\overline{X}$	R <sub>10</sub>	R <sub>20</sub>	$\mathcal{R}_{ps}$	$R_{ns}$	$T_{ts}$	T 25	T 10	T 20	$R_{1s}$	Rno	$R_{2s}$	$R_{po}$
0	1	1	1	1	1	1	1/2	1/2	1	1	1	U	0
1 2	$\frac{1}{2}$	$\frac{1}{2}$	$\frac{1}{2}$	1	0	$\frac{1}{2}$	$\frac{1}{2}$	0	1	$\frac{1}{2}$	1	0	0
1	υ	0	0	0	0	$\frac{1}{2}$	0	Û	$\frac{1}{2}$	1/2	1/2	0	o



定义 4. 故障 f 是自校验型故障,若

 $\{\exists X \in N^m G(X, f) \in E\} \land \{\forall X \in N^m [G(X, f) \in E] \lor [G(X, f) = G(X, \phi)]\}.$ 

定义5. 故障 / 是 0 型安全故障,若

$$\forall X \in N^m[G(X, t) = G(X, \phi) \lor G(X, t) = 0].$$

故障 f 是 1 型安全故障、若

$$\forall X \in N^m[G(X, f) = G(X, \phi) \lor G(X, f) = 1].$$

图 2 是 1 型反相器,在该电路中某几个故障之一单独出现时可能使输出值由 0 变至 1,但任何一个故障均不可能使输出值由 1 变至 0。 电阻值之关系应满足:  $R_p = R_n$ ,  $R_2 \ge 20R_p$ ,  $R_1 = R_2 + R_n$ 。该电路的故障表列于表 4.

图 3 是 0 型与非门。电路中电阻值与 0 型反相器相同。表 5 是该电路的故障表。

图 4 是 1 型与非门。电路中电阻值与 1 型反相器相同。其故障表如表 6 所示。

## 三、三中取二值系统分析

本节将分析用上节提出的电路所构成的三中取二值系统的故障特性。首先给出一**些与可** 靠的三中取二值系统有关的定义。

设系统G有m个输入端和n个输出端。F 为所考虑的故障集。

定义 6. 逻辑系统 G 对 F 容错, 若

$$\forall f \in F \ \forall X \in N^m \ G(X, f) = G(X, \phi).$$

定义 7. 逻辑系统 G 对 F 自检, 若

 $\forall f \in F \exists X \in N''' \ G(X, f) \in N''$ .

定义 8. 逻辑系统 G 对 F 故障安全, 若

$$\forall t \in F \ \forall X \in \mathbb{N}^m \ [G(X, t) = G(X, \phi)] \lor [G(X, t) \notin \mathbb{N}^n]$$

定义 9. 逻辑系统 G 对 F 完全自校验, 若

- 1) G对F自检,目
- 2) G对F故障安全.

在下述定义中,为了表示电路的出错情况,用Z表示某一信号应为1而错为0;用Z表示某一信号应为0而错为1。对于未出错的0或1仍用集合X表示。

定义 10. 逻辑系统 G 对 F 为 0 型失效保险, 若

$$\forall t \in F \ \forall X \in N^m[G(X, t) = G(X, \phi)] \lor [G(X, t) \in N^{n-z} \cdot Z^z],$$

其中 z 为输出矢量中 1 错为 0 的个数,  $n \ge z > 0$ .

逻辑系统G对F为1型失效保险,若

$$\forall f \in F \ \forall X \in N^m[G(X, f) = G(X, \phi)] \lor [G(X, f) \in N^{n-r} \cdot l^r],$$

其中i为输出矢量中 0 错为 1 的个数,  $n \ge i > 0$ .

有了这些定义就可以对每类故障进行系统分析。其结果可总结成下述三个定理。

定理 1. 对任一掩蔽型故障,该三中取二值系统是容错的。

证. 对于一级网络本定理是定义 3 与定义 6 的直接结果. 对于N 级网络,由于存在**掩蔽**型故障的那级电路的输出仍为正确,整个系统的输出当然仍为正确,因此本定理成立.

定理 2. 对任一自校验型故障,该三中取二值无冗余组合系统是完全自校验的。

证. 对于一级网络,本定理是定义4、定义7、定义8及定义9的直接结果。

对于 N 级网络,需要考虑 1/2 信号的传递,可用数学归纳法证明之。由于本文中的自校验

1985 年

表 4 (	0型反相器电路中所有可能出现的单故障
-------	--------------------

输入		输 出														
100 / \	无故障	故障 拖蔽型故障						自校验型故障								
X	$\bar{X}$	Rio	R 20	$R_{ps}$	K <sub>ms</sub>	Tis	Tes	$T_{2s}$ $T_{10}$ $T_{20}$ $R_{2s}$		Rzs	`R <sub>po</sub>	Ris	$R_{\pi}$			
0	1	1	1	1	1	1	1/2	$\frac{1}{2}$	1	1/2	1/2	1	1			
$\frac{1}{2}$	$\frac{1}{2}$	1/2	1/2	1	0	$\frac{1}{2}$	1 2	0	1	1/2	0	1	1			
1	0	0	0	0	0	$\frac{1}{2}$	0	0	$\frac{1}{2}$	0	0	1	1			

表 5 0型反相器电路中所有可能出现的单故障

输							ļ	输		出							-		
-100		无故障	掩蔽型故障					自 校 验 型 故 障										安全型故障	
X	Y	$X \cdot Y$	Rio	R <sub>20</sub>	$R_{ps}$	R <sub>*s</sub>	T 15	Tzs	T 35	T 45	Ris	T 10	T 20	T 30	T 40	Rno	$R_{2s}$	Rpo	
0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	
0	$\frac{1}{2}$	1	1	1	1	1	1	1	$\frac{1}{2}$	1	1	1	1	1	1	1	0	0	
0	1	1	1	1	1	1	1	1	$\frac{1}{2}$	1	1	$\frac{1}{2}$	1	1	1	1	0	0	
1/2	0	1	1	1	1	1	1	1	1	$\frac{1}{2}$	1	1	1	1	1,	1	0	0	
$\frac{1}{2}$	$\frac{1}{2}$	$\frac{1}{2}$	$\frac{1}{2}$	$\frac{1}{2}$	1	0	1/2	1/2	$\frac{1}{2}$	$\frac{1}{2}$	$\frac{1}{2}$	1/2	$\frac{1}{2}$	1	1	1	0	0	
$\frac{1}{2}$	1	$\frac{1}{2}$	$\frac{1}{2}$	$\frac{1}{2}$	1	0	$\frac{1}{2}$	$\frac{1}{2}$	$\frac{1}{2}$	$\frac{1}{2}$	$\frac{1}{2}$	0	$\frac{1}{2}$	1	1	1	0	0	
1	0	1	1	1	1	1	1	1	1	1/2	1	1	$\frac{1}{2}$	1	1	1	0	0	
1	$\frac{1}{2}$	$\frac{1}{2}$	$\frac{1}{2}$	$\frac{1}{2}$	1	0	$\frac{1}{2}$	$\frac{1}{2}$	$\frac{1}{2}$	$\frac{1}{2}$	1/2	$\frac{1}{2}$	0	1	1	1	0.	0	
1	1	0	0	0	0	0	$\frac{1}{2}$	$\frac{1}{2}$	0	0	1/2	0	0	$\frac{1}{2}$	$\frac{1}{2}$	$\frac{1}{2}$	0	0	

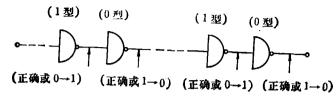
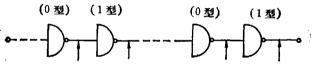


图 5 0 型失效保险系统



(正确或  $1\rightarrow 0$ ) (正确或  $0\rightarrow 1$ ) (正确或  $1\rightarrow 0$ ) (正确或  $0\rightarrow 1$ )

图 6 1 型失效保险系统

输	—————————————————————————————————————							输		出									
409		无故障		掩蔽型故障				自校验型故障										安全型故障	
X	Y	$\overline{X \cdot Y}$	Rio	R20	Rps	Rns	Tis	T 25	$T_{3s}$	T 45	R	T 10	T 20	T 30	T 40	Rpo	Ris	Rno	
0	0	. 1	1	1	1	1	1	1	1	!	$\frac{1}{2}$	1	1	1	1	$\frac{1}{2}$	1	1	
0	$\frac{1}{2}$	1	1	1	1	1	1	1	$\frac{1}{2}$	1	$\frac{1}{2}$	1	1	1	1	$\frac{1}{2}$	1	1	
0	1	1	1	1	1	1	1	1	$\frac{1}{2}$	1	1/2	1/2	1	1	1	$\frac{1}{2}$	1	1	
$\frac{1}{2}$	0	1	1	1	1,	1	1	1	1	1 2	$\frac{1}{2}$	1	1	1	1	$\frac{1}{2}$	1	1	
$\frac{1}{2}$	$\frac{1}{2}$	$\frac{1}{2}$	$\frac{1}{2}$	$\frac{1}{2}$	1	0	$\frac{1}{2}$	1	1	0	1	1.							
$\frac{1}{2}$	1	$\frac{1}{2}$	1/2	$\frac{1}{2}$	1	0	$\frac{1}{2}$	$\frac{1}{2}$	$\frac{1}{2}$	$\frac{1}{2}$	$\frac{1}{2}$	0	$\frac{1}{2}$	1 .	1	0	1	1	
ι	0	1	1	1	1	1	1	1	1	$\frac{1}{2}$	$\frac{1}{2}$	1	1.	1	1	$\frac{1}{2}$	1	1	
1	$\frac{1}{2}$	1/2	1/2	1/2	1	0	$\frac{1}{2}$	$\frac{1}{2}$	-1-2	$\frac{1}{2}$	$\frac{1}{2}$	$\frac{1}{2}$	0	1	1	0	1	1	
1	1	0	0	0	0	0	$\frac{1}{2}$	1/2	0	0	0	0	0	$\frac{1}{2}$	$\frac{1}{2}$	0	1	1	

表 6 0型反相器电路中所有可能出现的单故障

型故障与文献[4]中的向中型故障特性一致,因此本定理的详细证明可参阅文献[4]中定理 3的证明,此处从略。

**定理 3.** 若在该三中取二值组合系统中各级依次交替采用 0 型及 1 型门电路,则该系统对任一安全型故障是失效保险的。

证。对于一级网络,本定理是定义5及定义10的直接结果。

对干N级网络,本定理可证明如下:

图 5 所示的系统中各级依次交替采用 0 型及 1 型门电路,且最后一级采用 0 型门电路。若任一级的任一门电路含有一个安全型故障,则系统的每个输出将要么仍然正确要么为 0 状态。按定义 10, 该系统为 0 型失效保险系统。

同理可证图 6 所示的系统为 1 型失效保险系统。

应当指出,本定理的前提条件"系统中各级依次交替采用0型及1型门电路"对于存在反相次数奇偶不同的重会聚支路的系统是不能满足的。因此本定理仅适用于不存在反相次数奇偶不同的重会聚支路的组合系统。

### 四、结 论

由上述分析可见本文所提出的三中取二值系统是一个 FT—TSC—FS 系统。对任一掩蔽型故障,该系统是容错的。若假定电阻开路、短路,P型 MOS 管及N型 MOS 管漏源极间开路、短路故障的发生概率相同,则可得到掩蔽型故障的复盖率  $C_{II}$  对反相器为 0.33,对与非门为 0.25。对任一自校验型故障,该系统是完全自校验的。自校验型故障的复盖率  $C_{III}$  对反相

器为 0.5,对与非门为 0.625。对任一安全型故障,该系统是失效保险的。安全型故障的复盖率  $C_H$  对反相器为 0.17,对与非门为 0.125。这三类故障的复盖率之和对反相器及与非门均为 1。这说明系统中的每一个故障都为下述三个性质之一复盖。容错、完全自校验或失效保险。比起文献 [4,5] 中的系统有明显的优点。

这种用于设计可靠的三中取二值系统的技术可称之为逻辑值冗余。与故障掩蔽、待命冗余及纠错校错编码等传统技术比较,逻辑值冗余技术具有节省冗余硬件、节省校验位及节省连接线的优点。其代价是门电路稍为复杂一些。 随着大规模及超大规模集成电路的迅速发展,节省连接线往往比节省电路元件更为重要。因此作者认为这项技术将是达到可靠计算的一条有希望的途径。

#### 参考文献

- [1] Avizienis, A., Fault-tolerance: the survival attribute of digital systems, *Proc. of the IEEE*, **66**(1978), 1101—1125.
- [2] Wakerly, J., Error detecting codes, self-checking circuits and applications Elsevier, North-Holland Inc., 1978.
- [3] Breuer, M. and Friedan A., Diagnosis and reliable design of digital systems, Computer science press, Inc., 1976.
- [4] 胡谋、Smith、K. C., 用 CMOS 三值门电路构成的一种自校验二值逻辑系统、计算机学报、4(1981)、440-449.
- [5] 胡谋,低功耗 CMOS 二值工作三值检测门电路,计算机学报, 6(1983), 231-235.
- [6] Mukaidono, M., On the B-ternary logical function, Trans. I. E. C. E., 55D (1972), 335.
- [7] Mouftah, H. T. and Jordan, I. B., Imperentation of threevalued logic with COS/MOS integrated circuits. *Electronics Letters*, 10(1974), 441-142.