

采用交流能源的低功耗 DCVSL 电路研究*

吴训威**

杭国强

(宁波大学电路与系统研究所, 宁波 315211)

(浙江大学信息与电子工程学系, 杭州 310027)

M. Pedram

(Department of Electrical and Engineering, University of Southern California, Los Angeles, CA90089, USA)

摘要 从改变 CMOS 电路中能量转换模式的观点出发, 研究利用渐变功率时钟的低功耗 CMOS 电路设计. 首先讨论钟控功率信号的代数表示及有关性质, 然后归纳采用直流能源的互补 CMOS 逻辑门转化为采用交流能源的钟控 CMOS 门电路的设计过程. 在此基础上进一步提出采用交流能源的 DCVSL 电路设计. 采用正弦功率时钟的 PSPICE 模拟证实了钟控 DCVSL 电路具有正确的逻辑功能及低功耗工作的特点. 最后提出了一种将钟控信号转换为标准 CMOS 逻辑电平的接口电路并用计算机模拟验证了它的有效性.

关键词 VLSI 设计 低功耗技术 交流能源 钟控 DCVSL 电路

随着 CMOS 电路集成技术的发展, 在一块芯片上所能集成的电路规模越来越大, 且速度也越来越快. 这两方面的发展同时导致集成电路的功耗越来越大, 例如, Intel 的奔腾芯片为 16 W, 而 DEC 公司的阿尔法 21064 芯片功耗为 30 W, 21164 芯片功耗为 50 W. 低功耗设计已成为当今超大规模集成电路设计中的一个重要研究课题.

在 CMOS 电路中, 功耗与电路中的能量转换方式有关. 在静态 CMOS 电路中采用直流电源, 信号值的变化是由电源通过对结点电容的充、放电来实现的. 在这一过程中从电源 V_{dd} 端汲取的电荷传至结点电容, 然后返回至地端, 这是一个电能至热能的不可逆转换过程. 对结点电容的每一次充电(或放电)将导致 $(CV_{dd}^2)/2$ 的能量损耗^[1], 因此, 减少电路中的开关活动就相当于减少了电路的能量损耗. 近年来, 以减小开关活动性为目标的低功耗设计已取得了重要进展^[2], 然而, 所获得的功耗节省的幅度仍是有限的.

信号值的变化必定代表着能量的转换, 如果能量只以电场能一种形式存在, 则就惟有一种由电能向热能的不可逆的能量转换形式. 为了突破这一单一的转换模式, 可以将另一种能量形式——磁场能引入到数字电路中. 如果我们把信号的变化与电能向磁能的转换联系起来, 则可以实现所谓“能量恢复”, 并可能以此减少或避免因耗能元件电阻引起的由电能转换为热能这一不可逆过程中的能量损耗.

2001-05-09 收稿, 2001-12-24 收修改稿

* 中国国家自然科学基金(批准号: 69973039)和美国国家自然科学基金(9988441)资助项目

** E-mail: xunweiwu@mail.hz.zj.cn

电场与磁场能量的相互转换暗示着电路将采用交流电源,在此情况下,电路中的信号也应是交变量.对于后者,已广泛应用于动态 CMOS 逻辑、钟控 CMOS 逻辑及各种 Domino 逻辑中^[1].然而,这些电路继续采用直流电源,能量转换仍为电能至热能的转换.因此,我们应该进一步研究这些电路采用交流电源的情况.由于交流电源控制着电路的工作节奏,同时起到时钟的作用,因此称之为功率时钟.研究已经表明,当使用的功率时钟在上升或下降中具有渐变过程时,它通过导通的 MOS 管对结点充放电几乎不消耗能量,从而形成所谓“绝热”的开关工作.这一特点为低功耗 CMOS 电路的研究提供了一条全新的途径^[3~11].

文献[12]中介绍了传统的 CMOS 互补逻辑门在采用交流电源后能获得具有能量恢复特性的门电路与触发器设计,而文献[13]把该项研究推广到低功耗电路的设计.本文则进一步讨论采用钟控 CMOS 传输门设计组合电路的一般规则及电路设计,并研究差动级联电压开关逻辑电路(DCVSL)采用交流能源的情况,以进一步充实采用交流能源的 CMOS 电路的类型.所设计的电路经 PSPICE 模拟验证了它们具有正确的逻辑功能与明显的低功耗特性.文章最后提出了一种将钟控信号转换为标准 CMOS 逻辑电平接口电路并用计算机模拟验证了它的有效性.

1 钟控信号的代数理论

为简单计,我们首先假定时钟为对称的方波.当 $clk = 1$ 时,钟控信号代表信号真正的逻辑值;当 $clk = 0$ 时,钟控信号将被强制置为“基”值:0 或 1.例如,对于预充电电路,该基值为 1,而对于预放电电路,基值为 0.因此,在每个时钟周期中,钟控信号被划分为两个阶段:当 $clk = 0$ 时为“置基”(B),当 $clk = 1$ 时为“赋值”(E).

图 1 中给出了一对互补信号 $x/\bar{x}$ 及与之对应的钟控信号.图中信号的取值为(101101)/(010010),它们可看做是下降沿触发的触发器的同步输出.图中 $x/\bar{x}$ 并非为钟控信号,但 $x \cdot clk$, $\bar{x} \cdot clk$, $x + \overline{clk}$, $\bar{x} + \overline{clk}$ 是由 $x/\bar{x}$ 衍生出来的 4 种钟控信号.注意到指数表示式 $x^i (i \in \{ \cdot clk, + \overline{clk} \})$ 中的上标 i 表示了原始信号 $x/\bar{x}$ 与时钟 $clk/\overline{clk}$ 之间的逻辑关系,如 $x \cdot clk$ 即为 $x \cdot clk$, $x + \overline{clk}$ 则为 $x + \overline{clk}$ 等等.显然, $(\cdot clk)$ 与 $(+ \overline{clk})$ 的作用是在置基阶段($clk = 0$)分别置钟控信号为 0 基和 1 基.从图 1 中我们看到一般的电平信号与钟控信号在表示逻辑值上的不同:前者是以电平的“高”、“低”来表示逻辑值 1 与 0,而后者则是以脉冲的“有”、“无”来表示逻辑值 1 与 0.

对照图 1 可以发现 4 种钟控信号之间存在如下的反相关系:

1) 逻辑值反相(基相同),如

$$x \cdot clk \text{ 与 } \bar{x} \cdot clk, x + \overline{clk} \text{ 与 } \bar{x} + \overline{clk};$$

2) 基反相(逻辑值相同),如

$$x \cdot clk \text{ 与 } x + \overline{clk}, \bar{x} \cdot clk \text{ 与 } \bar{x} + \overline{clk};$$

3) 完全反相(或物理反相),如

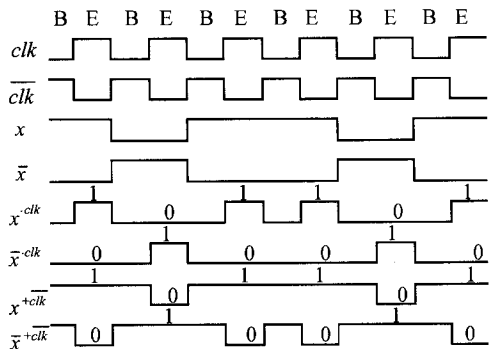


图 1 时钟及钟控信号

$$x \cdot clk \text{ 与 } \bar{x} + \overline{clk}, \bar{x} \cdot clk \text{ 与 } x + \overline{clk}.$$

图 1 同时表明:

$$\overline{x \cdot clk} = \bar{x} + \overline{clk}, \quad \overline{\bar{x} \cdot clk} = x + \overline{clk}. \quad (1)$$

根据上述指数表示式,电路中的电源 $V_{dd}(1)$,地(0)及时钟($clk/\overline{clk}$)也符合如下钟控表示形式:

$$1 = 1 + \overline{clk}, \quad 0 = 0 \cdot clk, \quad (2)$$

$$clk = 1 \cdot clk, \quad \overline{clk} = 0 + \overline{clk}. \quad (3)$$

如果我们把指数运算当作 Boole 运算,则不难证明(2)和(3)式.此外,我们还可证明如下关系式:

$$(x \cdot y) \cdot clk = x \cdot clk \cdot y \cdot clk, \quad (x \cdot y) + \overline{clk} = x + \overline{clk} \cdot y + \overline{clk}; \quad (4)$$

$$(x + y) \cdot clk = x \cdot clk + y \cdot clk, \quad (x + y) + \overline{clk} = x + \overline{clk} + y + \overline{clk}. \quad (5)$$

(1)~(5)式的物理意义可作如下解释:

(i) (1)式表示为 Morgan 定理,它表明物理反相器对钟控信号的作用为将产生与原始钟控信号完全反相的信号(即逻辑值与基全部反相).

(ii) (2)式表明 $V_{dd}(1)$ 和地(0)可分别在基 1 与基 0 的钟控电路中继续使用.

(iii) (3)式显示了 clk 在基 0 的钟控电路中具有了电源的地位,而 $\overline{clk}$ 在基 1 的电路中则充当了地的作用.

(iv) (4)和(5)式表明参加与、或运算的钟控信号应具有相同的基,而且其结果等于原始信号直接相与、或后再加以同基的钟控后的值.此外,根据(1)式可知,与非、或非运算的结果将使基反相.

2 采用交流能源的 CMOS 互补逻辑电路

按照钟控 CMOS 电路的基本单元也是门电路的认识,我们首先要研究钟控门电路的结构与工作原理.类似于传统的 CMOS 门电路,钟控 CMOS 门电路应具有整形输出的功能.传统 CMOS 门电路在工作中,或是通过 pMOS 开关接通电源输出高电平,或是通过 nMOS 开关接通地输出低电平^[14],由此来获得整形的输出.这样,我们认为钟控 CMOS 门电路在工作中也应由 MOS 开关接通功率时钟源来获得整形的输出.由于功率时钟源的交变特性,这个 MOS 开关应是由一对互补 MOS 管组成的 CMOS 传输门.

从图 1 中 4 个钟控信号之间的关系可以发现:一对完全反相的钟控信号 $x \cdot clk$, $\bar{x} + \overline{clk}$ 可以分别控制传输门的 pMOS 管与 nMOS 管,由功率时钟 clk 获得另一对完全反相的钟控信号 $\bar{x} \cdot clk$, $x + \overline{clk}$; 另一方面,后一对钟控信号也可用来控制功率时钟 $\overline{clk}$ 的传输而获得前一对钟控信号.由如上述分析我们可得到如图 2(a)所示的电路.该电路中输入、输出等关系可总结如下:

1) 控制传输门的一对钟控信号应是物理互补的,其中基 0 信号控制 pMOS 管,基 1 信号控制 nMOS 管;

2) 由功率时钟 clk 所得的输出为基 0 信号,它与控制 pMOS 管的输入基 0 信号有逻辑反相的关系,而由功率时钟 $\overline{clk}$ 所得的输出为基 1 信号,它与控制 pMOS 管的输入基 1 信号有逻辑反相的关系;

3) 某信号的 4 种钟控信号形式可以通过 2 个传输门对功率时钟 clk 与 $\overline{clk}$ 的传输控制来获

得自身的整形输出。

对图 2(a)所示的电路在使用梯形功率时钟的情况下,我们用 2μ CMOS 参数进行 PSPICE 模拟,其结果如图 2(b)所示。从图中可以发现,当传输门关闭时输出结点没有保持平坦的高、低电平。以 x^{+clk} 为例,其原因是当 x^{+clk} 下降时 clk 没有立刻跳至高电平,此时,传输门中的 nMOS 管仍然导通,因此输出将跟随 clk 上升,直到 nMOS 管完全截止。但是模拟结果表明这一现象并不会影响该信号对后级的作用。图 2(c)绘出了当输入序列为 (01010)/(10101) 时,使用梯形功率时钟源的能耗曲线。曲线的下降行为反映了工作中的能量恢复效应。为了比较,我们同时给出了在相同晶体管参数与输入序列的条件下采用直流能源的传统 CMOS 二级反相器的能耗曲线,比较表明钟控电路可比传统电路节省大约 86% 的能耗,功耗节省是显著的。

以下我们以反相器为例来归纳 CMOS 互补逻辑门从传统使用直流能源转化为使用交流能源的过程,如图 3 所示。在图 3(b)和(c)中我们已把图 2(a)中的 CMOS 传输门改画成与图 3(a)中的反相器具有相似的结构形式,以利于直观说明。它们从一般反相器出发的变换规则是:

1) 原来反相器的电源端与接地端现予以合并而接至同一个功率时钟 clk (或 $\overline{clk}$);

2) pMOS 管与 nMOS 管的栅极已不再接同一个电平输入信号而分别接至二个物理互补的钟控信号,其中 pMOS 管需接基 0 信号而 nMOS 管需接基 1 信号;

3) 对于输出信号,当采用功率时钟 clk 时为 pMOS 管输入基 0 信号之逻辑补,而当采用功率时钟 $\overline{clk}$ 时为 nMOS 管输入基 1 信号之逻辑补。

应该指出,图 3 讨论的仅是最简单的钟控 CMOS 反相器,事实上,我们可以按照上面的规则用开关的串、并联来实现与、或功能,从而可构成具有较复杂逻辑功能的钟控 CMOS 电路^[12,13]。

最后我们也注意到,使用交流能源后虽然显著降低了电路功耗,但是电路中的信号形式及结构却成倍增加。例如,原来的电平信号仅有 2 个极性(x , $\bar{x}$),但现在的钟控信号具有 4 个极性(x^{+clk} , $\bar{x}^{+clk}$, x^{+clk} , $\bar{x}^{+clk}$),

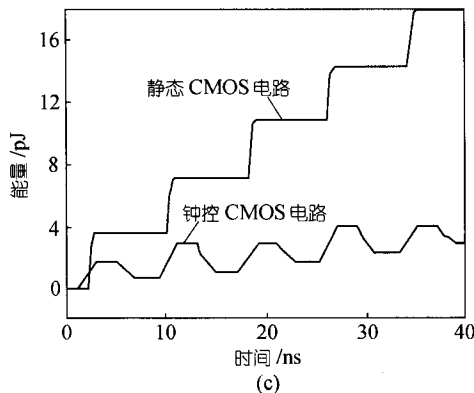
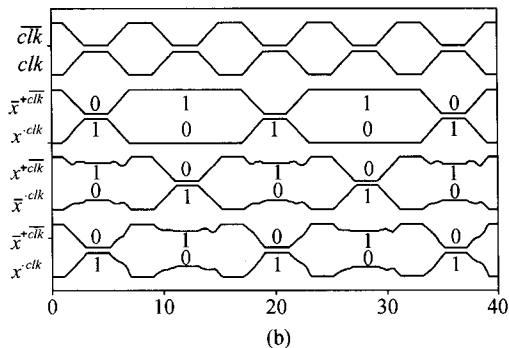
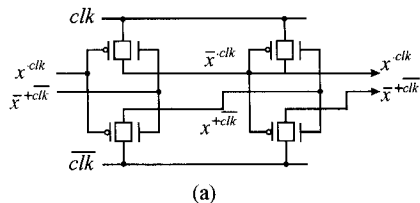


图 2 采用梯形功率时钟的钟控 CMOS 门电路
(a) 电路, (b) 采用梯形功率时钟的 PSPICE 模拟结果, (c) 能耗曲线

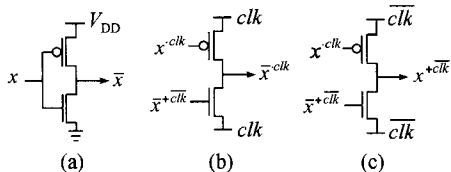


图 3 从传统反相器至钟控反相器的变换
(a) 传统使用直流能源的反相器电路, (b) 输出基 0 信号的钟控反相器电路, (c) 输出基 1 信号的钟控反相器电路

它使得在电路综合中需要四轨输入(或输出),而不仅仅是双轨输入(或输出),这将增加电路的复杂性.

3 采用交流能源的 DCVSL 电路

由上节的讨论看到,交流 CMOS 互补逻辑电路的主要缺点为电路结构的倍增,但是有一类使用直流能源的 CMOS 差动级联电压开关逻辑电路(DCVSL)却本身就具有互补结构^[15,16],这就为使用交流能源而又不增加电路复杂性提供了可能.

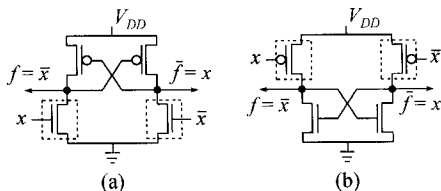


图 4 使用直流能源的 DCVSL 电路

(a) N 型逻辑, (b) P 型逻辑

以往提出的使用直流能源的 DCVSL 反相器如图 4(a)所示. 从形式上看它与图 3(a)中的互补逻辑反相器相比并无优点,但如要实现复杂功能的逻辑门,则图 3(a)中反相器的 pMOS 管与 nMOS 管需要替代为 P 型逻辑块与 N 型逻辑块,而图 4(a)中反相器只需将 nMOS 管

替代为相应的 N 型逻辑块即可,因此结构上就较为简单. 此外,它提供的逻辑互补输出是“同时”的,而不存在一个反相器的延迟. 尽管文献^[15,16]中未提及,但是对应于图 4(a)所示使用 N 型逻辑块实现逻辑功能外,还等地存在另一种使用 P 型逻辑块实现逻辑功能的设计,如图 4(b)所示.

根据上节归纳的转换规则,我们可以在图 4 的基础上通过变换得到使用交流能源的 DCVSL 反相器的设计,如图 5 所示. 如果把两端的功率时钟合并在一起,则可得使用 CMOS 传输门组合的相应结构形式,它们的图形符号也同时表示在图 5 中. 在该图形符号中的小圈表示为基 0 信号的输入或输出,不带小圈表示为基 1 信号的输入或输出. 此外,小圈也用于表示输入至输出经过了物理反相.

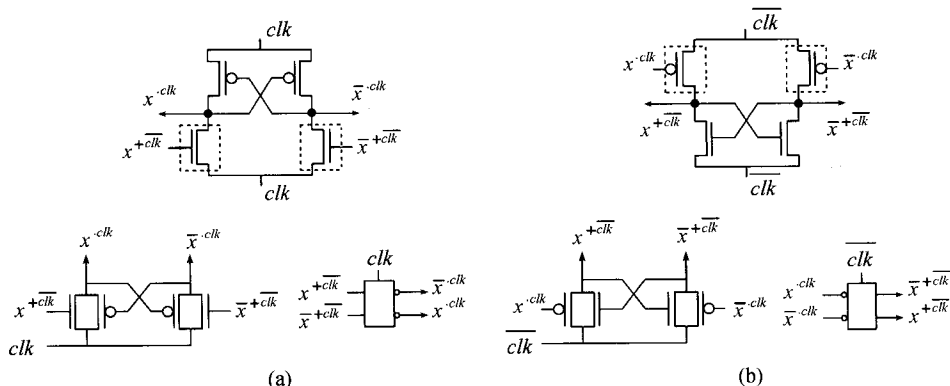


图 5 使用交流能源的 DCVSL 电路

(a) N 型逻辑, (b) P 型逻辑

我们注意到,图 5(a)所示电路的逻辑互补输入是基 1 信号,而它的逻辑互补输出均为基 0 信号,而图 5(b)所示电路的情况正好相反. 由于在许多文献的讨论中习惯使用基 0 信号,因此我们就可把图 5(b)所示电路作为逻辑电路的主体,而在其输出端加接图 5(a)所示的反相

器,以把基 1 输出信号又转换为基 0 信号,如图 6(a)所示。图 5 中虚线框内的 pMOS 管如果代以 P 型逻辑块,便能实现复杂的逻辑功能。例如,图 6(b)和(c)分别为钟控 DCVSL 与门/与非门及或门/或非门。下面进一步以全加器为例,讨论输入、输出均为基 0 信号的钟控 DCVSL 电路设计。

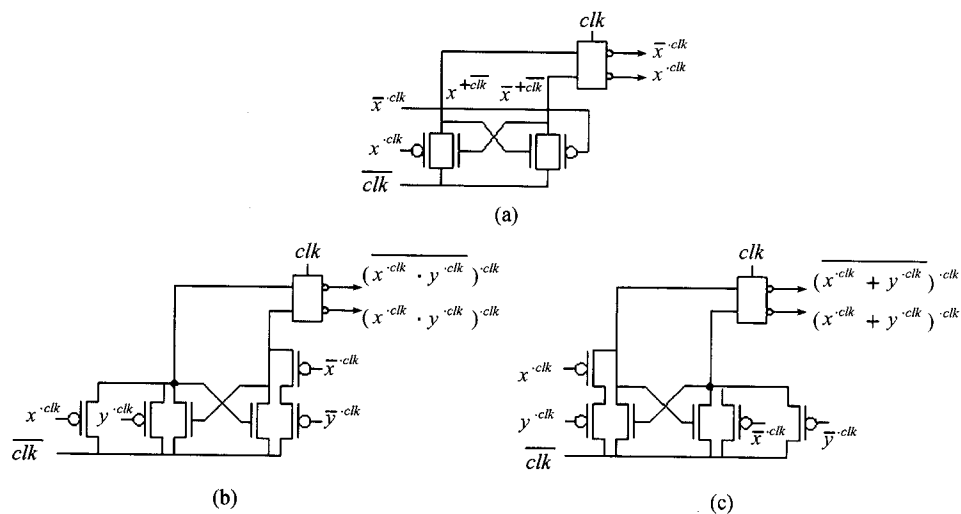


图 6 输入和输出均为基 0 信号的钟控 DCVSL 基本门电路

(a) 反相器/缓冲器, (b) 与门/与非门, (c) 或门/或非门

文献[16]提出了使用直流电源的 DCVSL 全加器设计,如图 7(a)所示。按照上面提出的设

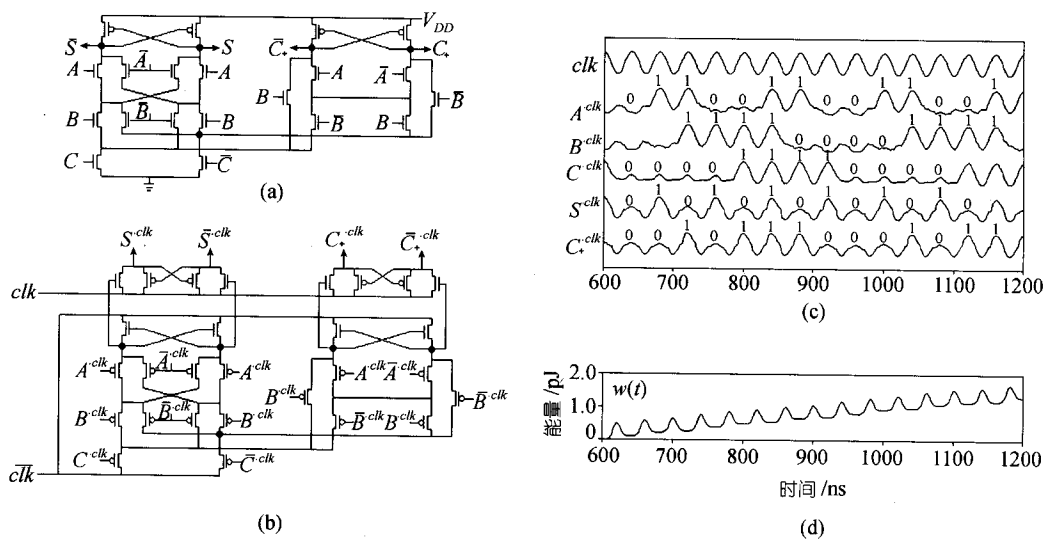


图 7 DCVSL 全加器

(a) 使用直流电源的 DCVSL 全加器设计, (b) 使用交流电源的 DCVSL 全加器设计, (c) 使用梯形时钟的 PSPICE 模拟, (d) 钟控 DCVSL 全加器的能耗曲线

计方法,我们可以变换得到相应的使用交流能源的 DCVSL 全加器设计,如图 7(b)所示. 与图 7(a)相比,该电路仅多用了二个输出“换基缓冲器”. 在使用正弦功率时钟与 Gray 码编码的输入后,PSpice 模拟的结果如图 7(c)所示. 图 7(d)为相应的瞬态能耗曲线. 模拟结果表明了该电路具有正确的逻辑功能和非常明显的能量恢复功能及低功耗特征. 与图 7(a)中使用直流电源的 DCVSL 全加器设计相比,节省的功耗已超过 95%.

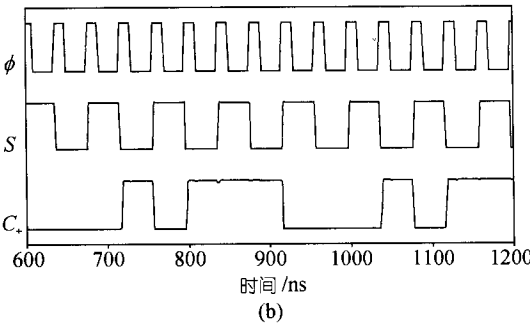
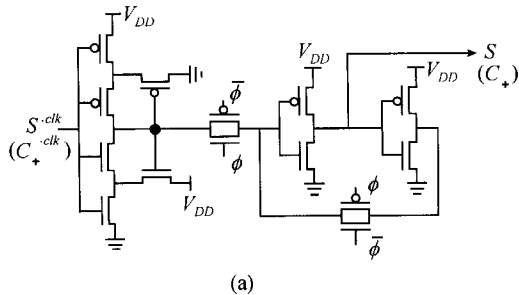


图 8 钟控 CMOS 与静态 CMOS 逻辑接口电路(a) 和转换后的全加器静态逻辑电平(b)

在图 1 的讨论中我们暗示了一般的电平信号可以通过逻辑运算转换成钟控信号. 以下我们将研究把形似复杂的钟控信号转换成规整的电平信号的方法. 图 8(a)给出了实现二者接口的一种设计方案,该电路由一个 CMOS Schmitt 反相器和一级 CMOS 锁存器构成. Schmitt 电路用于实现将缓慢变化的钟控信号转换为快速变化的钟控信号,以减少与静态 CMOS 电路相接时所造成的 pMOS 与 nMOS 同时导通的时间(即降低瞬时短路功耗);另一方面,由于 Schmitt 电路具有较高(V_{T+})和较低(V_{T-})二种阈值,因此使用它可以有效克服采用交流能源时输出低电平信号被抬高的缺点,从而提高电路的抗干扰能力. 在基 0 钟控电路中,功率时钟为低电平时表示电路的基态,因此钟控信号中只有在功率时钟为高

电平时才代表真正的逻辑值. 对于基 1 电路则反之. 因此可以通过锁存器将钟控信号中真正代表逻辑值的信号进行采样并将其锁存,从而实现标准的逻辑输出. 锁存器的时钟信号采用与功率时钟具有相同频率的脉冲信号(ϕ). 对于基 0 钟控信号,时钟信号的高电平用于取样,低电平用于锁存. 对于基 1 钟控信号则反之. 以所提出的钟控 DCVSL 全加器为例,该电路的钟控基 0 求和输出信号(S^{clk})及进位输出信号(C_+^{clk})如图 7(b)所示. 将它们输入至图 8(a)所示的接口电路,经 PSpice 模拟后得到的规整的 CMOS 逻辑电平(求和信号 S 及进位信号 C_+)如图 8(b)所示. 该结果表明了所提出的采用交流能源的 DCVSL 全加器可以通过接口电路驱动一般的静态 CMOS 逻辑电路,从而从另一方面证明了它的实用性.

4 结论

使用渐升或渐降的功率时钟的钟控 CMOS 电路导致可观的能量节省. 然而,输出信号应跟随功率时钟逐渐上升、下降完成充电、放电过程的特殊工作要求却显著增加了电路设计的困难. 现有的研究或在设计中采用的逐级收缩的功率时钟、可逆计算或采用多相功率时钟的存储器形式^[17,18],使得所设计的电路实用性受到很大限制. 我们认为其中对钟控信号代数表示的研究与钟控门电路的设计是二项关键性的研究,因此,本文采用合适的代数表示对钟控信号

进行系统研究,全面开发利用了4种钟控信号的形式.在此基础上,本文进一步提出了基于传输门的钟控 CMOS 门电路.在把该设计与传统的 CMOS 互补逻辑电路作对比后归纳了从使用直流电源转换为相应的使用交流能源的 CMOS 逻辑电路的一般规则.使用这些规则,进一步提出了使用交流能源的 DCVSL 电路的设计.该电路具有不太复杂的结构与习惯用的基0输入与输出.以钟控 DCVSL 全加器的设计为例,采用正弦功率时钟的 PSPICE 模拟证实了它具有正确的逻辑功能与可观的能量节省.为充分利用采用交流能源的 CMOS 电路的极低能耗的优点及传统 CMOS 电路具有的高速和抗干扰强等特点,本文还提出了一种将钟控信号转换为标准 CMOS 逻辑电平的接口电路,计算机模拟验证了它的有效性,同时进一步证明了所提出的采用交流能源的 DCVSL 全加器完全可用于低功耗 VLSI 电路与系统的设计中.

最后应该指出,采用交流能源的 CMOS 电路以实现低功耗为主要目标,它的工作频率完全由采用的功率时钟所限制,因此,如需提高工作频率,就需要提高功率时钟的频率.此外,采用交流能源的 CMOS 电路与采用直流能源的 CMOS 电路一样均有对结点电容的充放电过程,但并不如直流能源一样始终以最高、最低的电平去实现充放电,因此,极高速的采用交流能源的 CMOS 电路中可能需要在工艺上配合使用较小的结点电容以保证在一个周期内完成对结点电容的充放电过程.

参 考 文 献

- 1 Weste N, Eshraghian K. Principles of CMOS VLSI Design: A Systems Perspective. 2nd ed. New York: Addison-Wesley, 1993
- 2 Pedram M. Power minimization in IC design: Principles and applications. ACM Transactions on Design Automaton, 1996, 1(1): 3 ~ 56
- 3 Athas W C, Svensson L J, Koller J G, et al. Low-power digital systems based on adiabatic-switching principles. IEEE Trans on VLSI Systems, 1994, 2(4): 398 ~ 407
- 4 Denker J S. A review of adiabatic computing. In: Proc of the Symposium on Low Power Electronics. San Diego: IEEE, 1994. 94 ~ 97
- 5 Denker J S, Avery S C, Dickinson A G, et al. Adiabatic computing with the 2N-2N2D logic family. In: Proc of the Int Workshop on Low Power Design. Napa Valley, 1994. 183 ~ 187
- 6 Dickinson A G, Denker J S. Adiabatic dynamic logic. IEEE J of Solid-State Circuits, 1995, 30(3): 311 ~ 315
- 7 Kamer A, Denker J S, Flower B, et al. 2nd order adiabatic computation with 2N-2P and 2N-2N2P logic circuits. In: Proc of the Int Symposium on Low Power Design. Monterey, 1995. 191 ~ 196
- 8 Maksimovic D, Oklobdzija V C, Nikolic B, et al. Clocked CMOS adiabatic logic with integrated single-phase power-clock supply: Experimental results. In: Proc of the Int Symposium on Low-Power Electronics and Design. Monterey, 1997. 323 ~ 327
- 9 Oklobdzija V C, Maksimovic D, Lin F. Pass-transistor adiabatic logic using single-clock supply. IEEE Trans on Circuits and Systems-II: Analog and Digital Signal Processing, 1997, 44(10): 842 ~ 846
- 10 Moon Y, Jeong D K. An efficient charge recovery logic circuit. IEEE J of Solid-State Circuits, 1996, SC-31(4): 514 ~ 522
- 11 Kim S, Papaefthymiou M C. True single-phase-recovering logic for low-power, high-speed VLSI. In: Proc of the Int Symposium on Low-Power Electronics and Design. Monterey, 1998. 167 ~ 172
- 12 吴训威, Pedram M. 采用交流能源的低功耗 CMOS 集成电路. 见: 中国第十一届集成电路和硅材料学术会议论文集. 大连, 1999. 688 ~ 691
- 13 Pedram M, Wu X W. Analysis of clocked power CMOS gates with application to the design of energy-recovery circuits. In: Proc of

- ASP-DAC. Pacifico Yokohama, 2000. 339 ~ 344
- 14 Wu X W. Theory of transmission switches and its application to design of CMOS digital circuits. *International J of Circuit Theory and Application*, 1992, 20(4): 349 ~ 356
 - 15 Heller L G, Griffin W R, Davis J W, et al. Cascode voltage switch logic: A differential CMOS logic family. In: *Proc Int Conf on Solid-State Circuits*. San Francisco: 1984. 16 ~ 17
 - 16 Chu K M, Pulfrey D L. A comparison of CMOS circuit technique: Differential cascode voltage switch logic versus conventional logic. *IEEE J of Solid-State Circuits*, 1987, SC-24: 779 ~ 786
 - 17 吴训威, 杭国强. 绝热计算原理与能量恢复型 CMOS 电路. *计算机学报*, 2000, 23(7): 779 ~ 785
 - 18 吴训威, 杭国强. 具有交叉耦合结构的能量恢复型 CMOS 电路. *电路与系统学报*, 2000, 5(2): 1 ~ 8