

基于 FPGA 的 NMR 谱仪室温匀场电源 核心控制系统的设计

李 洁¹, 陈海波¹, 谈 军², 郑振耀^{1*}, 陈 忠¹

(1. 厦门大学物理与机电工程学; 2. 厦门大学信息科学与技术学院, 福建 厦门 361005)

摘要: 论述了基于 FPGA 的室温匀场电源控制系统. 该系统从 6 个子模块描述系统的构成, 采用 SPI 的通讯方式, 由 FPGA 控制译码横向与径向的 D/A 通道, 从而间接控制匀场恒流源的电流输出. 该设计采用 VHDL 设计语言, 硬件采用 Altera Cyclone II FPGA 芯片, 相比于现有控制系统, 本设计大大提高了每组(14~40 路)匀场电流数据传输与控制速度, 同时降低了电路的复杂程度, 并且具有功能可扩展性. 最后给出了相应的测试过程以及测试数据验证本设计的可行性以及稳定性.

关键词: 匀场电源; DAC7734; SPI 协议; FPGA

中图分类号: TP 333

文献标识码: A

文章编号: 0438-0479(2010)03-0319-05

在核磁共振(NMR)谱仪中,对超导磁场的均匀度要求非常高,一般要求不低于 10^{-9} T 的磁场均匀度. 超导主螺管产生的磁场均匀度为 $10^{-3} \sim 10^{-4}$ T,加端效应补偿线圈后可提高到 $10^{-5} \sim 10^{-6}$ T,加入超导匀场后,其均匀度可达到 $10^{-7} \sim 10^{-8}$ T,为了得到 10^{-9} T 以上均匀度,必须加入室温匀场. 现代超导 NMR 谱仪在紧靠磁体内腔壁上装有一个厚的套筒,套筒上有 14~40 组匀场线圈,这些线圈经由谱仪中的匀场电源与控制台上的匀场调节旋钮相连接,只要对控制台上的匀场调节旋钮进行操作,改变新的数值,匀场线圈就能获得新的电流值,这些直流电流产生的附加磁场便能够对超导腔体内部的 X、Y、Z 3 个方向的磁场不均匀度进行校正,室温匀场便由此得到^[1].

超导磁场的匀场已经从多圈电位器调节发展到计算机直接控制,并从 Z 方向匀场发展到 X、Y、Z 的三维匀场,使超导磁体的均匀度进一步提高. 目前的商品部件采用的是依附于硬件控制台的室温匀场电源或者采用串口通信方式,由单片机实现通讯以及逻辑控制,并由中小规模的芯片组(ICs)实现译码的室温匀场电源. 与前者相比,本设计所涉及的匀场电源独立性,通用性强;采用基于单片机串口通信方式的匀场电源存在如下问题:采用中小规模的 ICs 使设计电路规模较

大,其时钟偏移(clock skew)比较大,造成电路的执行速度慢. 同时单片机的串行工作模式,即使单片机工作在 33 MHz 的时钟频率,每一组(14~40 路)匀场数据传输与控制时间达到了秒级. 这里设计一种新型的匀场恒流源,采用以太网通信方式, FPGA 芯片译码和逻辑控制 D/A 转换器(DAC). 采用新的实现方式,同采用串行工作模式的室温匀场电源相比较,工作时钟频率提高到了 100 MHz 甚至更高, FPGA 的并行工作模式提高了处理速度,另外 Altera CycloneII 的低偏移时钟树结构大大减小了时钟偏移,而优化编程更减小了时钟偏移的对频率提升的制约. 综合上述原因使一组(14~40 路)匀场数据传输与控制时间减小至百微秒级,并缩小了匀场电源电路的面积. 本文阐述匀场控制译码模块——匀场电源核心控制模块的实现.

1 系统设计方案

本文所涉及的室温匀场电源电路能产生 28 路高精度双向可调恒流源为超导磁场内 28 组室温匀场线圈(8 路横向,20 路径向线圈)提供驱动电流. 通用室温匀场电源电路系统结构如图 1 所示,由通信接口单元,匀场控制译码单元,多通道高精度 DAC,以及 V-C 转换电路构成. 计算机控制软件将 28 路匀场线圈 16 位匀场数据并行传送至匀场控制译码单元,该单元控制 28 通道 DAC 输出相应转换电压,通过 V-C 转换模块间接控制匀场线圈负载电流大小.

收稿日期: 2009-11-11

基金项目: 国家科技支撑计划(2006BAK03A22)

* 通讯作者: zzy@xmu.edu.cn

© 2010 CMA Academic Journal Electronic Publishing House. All rights reserved. http://www.cnki.net

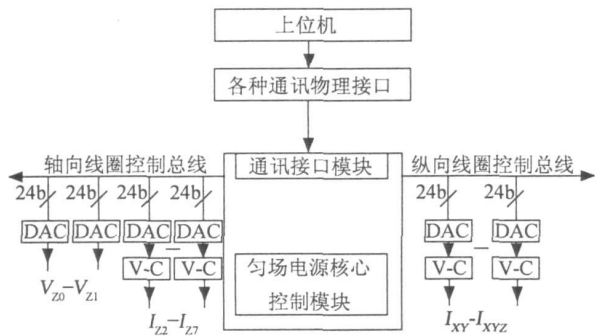


图1 通用匀场电源电路系统结构

Fig. 1 Architecture of common shim power system in room temperature

2 DAC7734 简介^[2]

为了减小匀场电源电路规模, 本设计采用 7 片 DAC7734 实现 28 路 D/A 转换. DAC7734 采用 SPI 通信协议, 4 通道具有双极性/单极性输出的 16 位高精度 DAC. 匀场电源核心控制模块的设计的关键就是实现对 7 片 DAC7734 的译码以及逻辑控制. DAC7734 采用双缓冲结构, 保证系统工作在多通道模式.

根据 DAC7734 的逻辑时序(如图 2 所示), 设计要求串行同步传输时钟 CLK 正半周以及负半周脉冲宽度不得低于 25 ns; 第 24 个串行同步传输时钟脉冲上升沿与 DAC 输入寄存器数据下载信号(Load)下降沿间隔 t_{LD2} 不得少于 30 ns; 要求 Load 负脉冲宽度 t_{LDRW} 不得少于 30 ns; Load 下降沿到 DAC D/A 寄存器数据锁存信号(LDAC)上升沿有效的间隔 t_{LDD} 不得少于 40 ns; LDAC 的正脉宽以及负脉宽不能小于 40 ns.

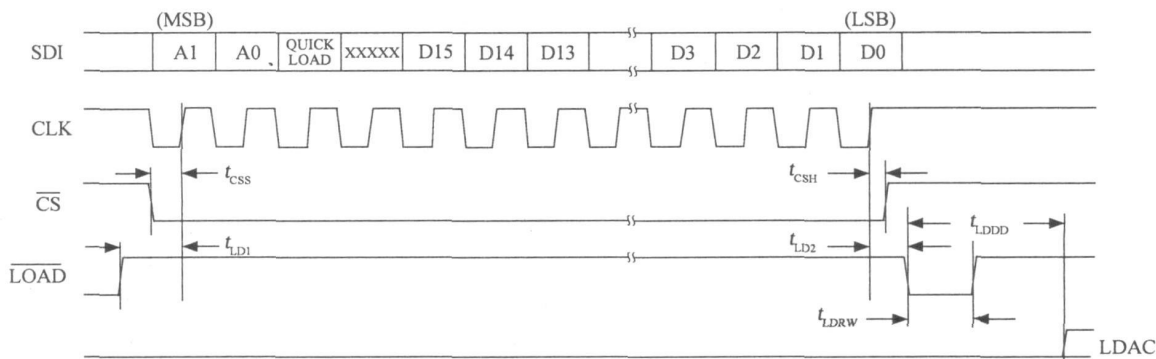


图2 DAC7734 工作时序

Fig. 2 Timing sequence of DAC7734

3 匀场电源核心控制模块设计

如图 3 所示场电源核心控制模块的结构框图. 该系统分为 8 个子模块: 先入先出(FIFO)模块、FIFO 时钟同步模块、过程控制单元、3-8 译码器、延时单元、并入串出传输模块、匀场电源通道计数器、时钟分频器. 该模块输入信号为 rst, wrclk, wrreq, D, inclk, 输出信号有 wrfull, RST, SDI, SCK, CS[0..7], LOAD[0..7], LDAC[0..7].

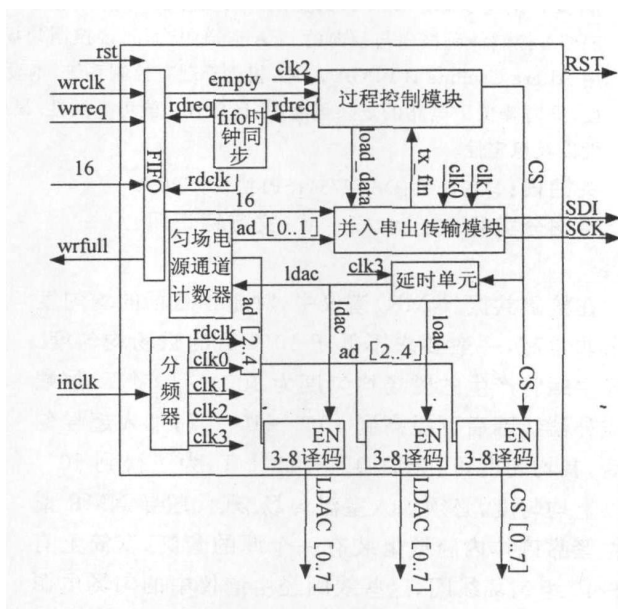


图3 匀场电源核心控制模块结构

Fig. 3 The core control system of the shim power system

3.1 FIFO 模块、FIFO 时钟同步模块

通讯接口模块以及匀场电源核心控制模块在匀场电源中是两个独立的模块, 其彼此间传输速率不同. 为

避免由于模块间速度不匹配而产生数据的丢失、覆盖等问题, 本设计采用读写时钟不同步的双口 FIFO 存储器作为两模块的接口。

QuartusII 中含有大量的功能强大的参数化模块库(LPM), 利用 MegaWizard Plug-In Manager 工具设计一个异步双时钟 FIFO(LPM_FIFO_dc)。设计的 FIFO 规格如下: 堆栈字长 16 位, 堆栈深度为 32 字节; 异步读、写时钟端口 rdelk、wrdlk; 输入端口 aclr 支持异步清零; 读状态端口 empty 显示当前堆栈是否为空, 高电平有效; 写状态端口 full 显示当前堆栈是否已被写满, 高电平有效; Q 与 DATA 分别为 FIFO 的 16 位输入输出。

LPM_FIFO_dc 有两种数据读取方式: legacy synchronous 模式、show-ahead 的模式。当工作与 legacy synchronous 模式时, 在 ‘rdclk’ 上升沿发现 ‘rdreq’ = 1 后, 队列指针+ 1, 经过大约 10 ns 的延迟之后 FIFO 输出 Q ← [队列指针]。工作在 show-ahead 模式时, Q ← [队列指针], 在时钟上升沿 ‘rdreq’ 有效时则触发队列指针+ 1。在本设计中采用 legacy synchronous 模式。

FIFO 时钟同步模块是一个单脉冲发生器。将标志单路匀场电源数据传输操作结束的信号 LDAC 整形为脉宽为一个 rdelk 读时钟周期的 FIFO 读信号 rdreq。

3.2 匀场电源通道计数器

匀场电源工作在多通道系统, 如图 3 所示匀场电源通道计数器是一个 5 位的计数器标志当前工作通道。AD2、AD3、AD4 标识当前通信 DAC 的芯片地址。AD0、AD1 标识当前通信 DAC 芯片的工作通道。每路 DAC 数据传输完毕, LDAC 上升沿触发匀场电源通道计数器递增, 指向下一个通道地址。

3.3 并入串出通信模块^[5]

该模块的关键在于遵守 SPI 串行通信标准, 配合串行通讯时钟(SCK)从串行数据输出端口(SDO)串行移位输出 24 位 DAC 数据编码至指定 DAC 工作通道。

根据 DAC7734 数据编码(见表 1)约定并入串出通信模块与 DAC7734 的通信接口标准如下: B23、B22 标志片内 DAC 寄存器通道地址, B21= 0(即快速装入控制位为 0, 选择分通道装入的方式)。B20~ B16=

“00000”无意义, B15~ B0 为待转换的 D/A 数字量。

如图 2 所示, 时序要求 DAC7734 于 SCK 上升沿接受 SDI 的串行数据, setup-time 与 hold-time 分别至少达到 10 和 20 ns。

如图 3 所示, 本模块由一个 24 bit 移位寄存器、一个移位计数器构成, 采用状态机实现并入串出的通信操作。模块有 2 个工作时钟: 基本工作时钟 clk0(5 MHz)、高频采样时钟 clk1(20 MHz)。该状态机的 4 个基本工作状态依次为 idle(闲置)、syn(合成编码)、shift(移位)、finish(结束)。在 idle 状态中检测到过程控制单元发出的 load_data 低电平有效信号, 模块立即触发并行数据锁存信号 reg_en 低电平有效, 使 24 位移位寄存器发生锁存操作。该 24 位移位寄存器的数据格式符合与 DAC7734 的串行通信接口标准: 其中 B23、B22 来自 5 bit 通道计数器低 2 位、B15~ B0 来自 FIFO 的 16 位输出、其余 8 位用 0 添入。syn 周期保证数据的锁存。进入 shift 周期, 移位标志位 tx_run 清零(表示正在移位中), 移位寄存器在工作时钟 clk0 上升沿将 24 位数移位输出。进入 finish 周期, 移位结束。

该模块的关键在于 SCK0 的输出。下列程序段实现 SCK0 的输出: 本模块将移位寄存器的移位时钟 clk0 反向构成 SCK0 的工作时钟, 并且在高频时钟 clk1 的上升沿与逻辑 tx_run 相或, 形成符合图 2 时序的 SCK0 输出^[6]。具体详见如下程序段:

```
for_SCK0: process( clk1, reset, tx_run, clk0 )
begin
if reset= ' 1 ' then
SCK0<= ' 1 ' ;
elsif clk1' event and clk1= ' 1 ' then
SCK0<= tx_run or ( not clk0 ) ;
end if;
end process for_SCK0.
```

3.4 过程控制单元

如图 3 所示, 过程控制单元是 NMR 谱仪室温匀场电源核心控制系统中心控制模块, 协调各个模块之间工作。工作时钟周期为 200 ns, 其过程控制的流程见图 4。empty 信号标志 FIFO 是否为空, 若不为空启动 FIFO 的读操作, 同时对并串转换模块发出 load_data 信号, 等待并串转换模块 tx_fin= 1, 触发 CS= 1, 进入下一通道电源数据传送周期。

表 1 DAC7734 的数据编码方式
Tab. 1 Coding of DAC7734

B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	-----	B0
A1	A0	QL	×	×	×	×	×	D15	D14	-----	D0

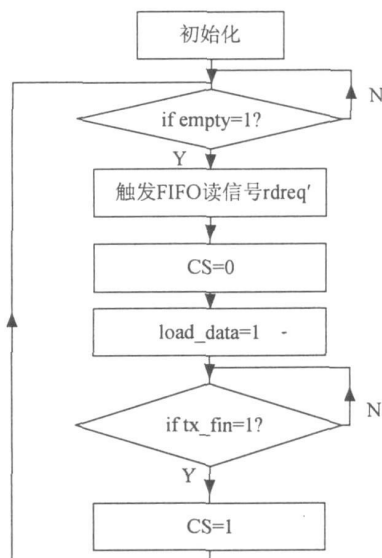


图4 过程控制单元流程图

Fig. 4 Flow chart of the processing control unit

3.5 延时单元和3-8译码器

延时单元: 如图3所示, 来自过程控制单元的CS上升沿信号在延时单元延时100 ns 触发一个宽度为100 ns 的负脉冲作为LOAD信号. LOAD信号的下降沿延时100 ns 触发宽度为40 ns 正脉冲的LDAC. LDAC信号同时作为单路匀场电源数据传输操作的结束信号送往FIFO时钟同步模块. 具体详见下列程序段:

```

process( rst, cs, cs_r2, cs_r3, cs_r4)
begin
load_reg<= '1'
ldac_reg<= '0';
if rst= '1' then
load_reg<= '1';
ldac_reg<= '1';
else
load_reg<= not(cs and (cs_r2 xor cs_r3));
ldac_reg<= cs_r3;
end if;
end process;
process( clk, cs, cs_r1, cs_r2)
begin
if clk' event and clk= '1' then
cs_r1<= cs;
cs_r2<= cs_r1;
cs_r3<= cs_r2;
end if;
end process;

```

load<= load_reg;

ldac<= ldac_reg.

3-8译码器: 如图3所示由通道计数器的高三位AD2, AD3, AD4 选通 CS0-CS6、LDAC0-LDAC6、LOAD0-LOAD6 信号.

3.6 时钟分频器

系统电流转换时间指的是计算机系统发出命令改变匀场线圈组的电流值到匀场线圈实际发生电流值变化所需要的时间. 为了降低系统电流转换时间就必须尽量缩减匀场数据的传输时间以及控制时间. 匀场数据的传输以及控制时间取决于核心控制系统的工作方式、基于SPI 串行通讯的同步时钟频率、内部寄存器读写时间、DAC7734 模拟输出电压的建立时间.

本设计核心控制模块采用流水线的工作方式将整个传输控制过程分为3级: 外部通讯模块写FIFO数据、读取FIFO数据、基于SPI模式传输DAC转换数据. 采用流水线工作方式可提高时钟频率, 从而提高数据吞吐量. 根据DAC7734说明书, 采用双电源工作的DAC7734芯片中单通道D/A转换模拟输出电压的建立时间为10 μs. ALTERA Cyclone II FPGA内部写寄存器的延时至少为0.15 μs. 为了实现更合理的工作, 兼顾最高速率以及各模块的最大延时, 本设计的8个模块中所需工作时钟由CYCLONEII 50 MHz锁相环输出分频而成. FIFO、数据帧合成模块、移位操作以及逻辑控制单元的基本时钟周期为0.2 μs, 高频采样、延时单位的基本时钟周期为50 ns.

4 系统验证测试以及结论

本设计通过3种方案来验证该系统的可操作性.

1) quartus ii 自带SignaltpII 逻辑分析器观测输出时序信号^[7], 如图5, 与理论时序信号相符.

2) 在对已开发的基于altera CYCLONEII EP2C35为控制芯片的NMR谱仪室温匀场电源中的28路DAC输出电压进行测试. DAC输出电压理论值 $V_{OUT} = -5V + \frac{[指定通道匀场数据]_H}{[8000]_H} \times 5V$, 测试数据见表2. 测试数据证明设计的匀场电源核心控制模块能够精确驱动28路DAC通道.

3) 将基于该设计的匀场电源替换现有的室温匀场电源, 匀场过程良好, 证明了本设计的可行性.

总之, 本设计与现有产品相比较, 匀场数据的传输时间以及控制时间大大减小, 缩小了匀场电源电路的面积, 并且可以根据今后的需求进一步对功能进行扩

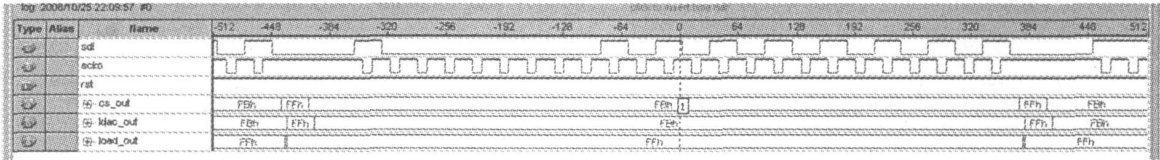


图 5 FPGA 输出时序信号图

Fig.5 Timing sequence of the FPGA output

表 2 NMR 谱仪匀场电源 Z_0 、 Z_1 、 Z_3 等通道 DAC 输出电压

Tab.2 DAC outputs of Z_0 、 Z_1 、 Z_3 etc in NMR Shim power

误差比较	V_{Z0}	V_{Z1}	V_{Z3}	V_{Z4}	V_{X1}	V_{X5}	V_{X10}	V_{X22}
匀场数据	FFFFH	FFFFH	AAAAH	1111H	3333H	5555H	1111H	FFFFH
理论值(V)	4.999	4.999	1.667	- 4.333	- 3.000	- 1.667	- 4.333	4.999
实测值(V)	4.997	4.998	1.667	- 4.331	- 3.002	- 1.667	- 4.332	4.996

展. 该设计完全能够替代现有的进口产品.

参考文献:

[1] 陈历明, 彭承琳. 0.2 T 开放式永磁型医用核磁共振成像仪有源匀场系统的研制[J]. 生物医学工程学杂志, 2004, 21(2): 288-291.

[2] Texas Instruments Incorporated. Burr-Brown DAC7734 Data Sheet [EB/ OL]. [2008-10]. <http://focus.ti.com/lit/ds/symlink/dac7734.pdf>.

[3] 郭英辉, 祁载康. 高速数据采集卡及其接口电路设计[J]. 电子技术应用, 1999, 25(11): 62.

[4] Treis J, Fischer P. A modular PC based silicon microstrip beam telescope with high speed data acquisition, nuclear instruments and method in physics research. Section A [J]. Accelerators, Spectrometers, Detectors and Associated Equipment, 2002, 490(1/2): 112-123.

[5] 马良, 金星. 串行数/模 DAC7714 及基于 FP6A 的应用[J]. 国外电子元器件, 2007, 1: 63-66.

[6] Kwalt. Timing analysis of internally generated clocks in timequest[EB/ OL]. [2008-09]. <http://www.alteraforum.com/forum/showthread.php?p=8058>.

[7] 潘松, 黄继业, 编著. EDA 技术与 VHDL[M]. 北京: 清华大学出版社, 2005.

An FPGA Implementation of the Control System for the Shim Power in Room Temperature

LI Jie¹, CHEN Hai-bo¹, TAN Jun², ZHENG Zhen-yao^{1*}, CHEN Zhong¹

(1. School of Physics and Mechanical & Electrical Engineering, Xiamen University; 2. School of Information Science and Technology, Xiamen University, Xiamen 361005, China)

Abstract: This paper presents an FPGA implementation of the control system for the shim power in room temperature. By communicating the axial and radial sets of DACs with the SPI protocol, the system controls the output constant currents indirectly. The design architecture is defined in VHDL and the circuit is implemented on an Altera Cyclone II FPGA device. Compared to the existing control system, this design greatly increases the maximum operating frequency while decreases the complexity of the circuit. Another merit of the design exists in its expansion. The design is composed by 6 submodules. Some experimental results are provided to the feasibility and the stability of the design at the end of the paper.

Key words: shim power; DAC7734; SPI protocol; FPGA