低系统开销的多 TSV 子阵列联合数据传输方法

冯旭¹⁾, 崔小乐^{1,2)*}, 魏琛¹⁾, 崔小欣³⁾, 金玉丰^{1,3)}

¹⁾ (北京大学深圳研究生院集成微系统科学与工程与应用重点实验室 深圳 518055)

²⁾ (鹏城实验室 深圳 518055)

³⁾ (北京大学微纳电子研究所 北京 100871)

(cuixl@pkusz.edu.cn)

摘 要: 串扰抑制编码往往具有图形限制特性, 在小规模硅通孔(through silicon via, TSV)阵列中应用时, 可以在合理的编解码器面积开销下取得良好的串扰抑制效果. 为了在大规模的 TSV 阵列中实现低系统开销的高质量数据传输, 提出基于多 TSV 子阵列联合数据传输的方法. 针对参与数据联合传输的子阵列最优数量问题, 通过研究子阵列数量与对应联合传输方法的系统开销之间的关系, 提出求解方法, 并给出了相应的理论证明. 面向多 TSV 子阵列联合数据传输场景, 设计了一种基于数系变换的编解码算法. 使用多组 TSV 阵列的电学参数, 进行了不同编码方法 TSV 阵列的串扰抑制效果的仿真实验. 结果表明, 所提方法在系统开销、传输延迟、传输功耗、编解码器面积等方面均优于已有的基于斐波那契数系的串扰抑制编码方法.

关键词: 硅通孔阵列; 图形限制编码; 串扰抑制; 系统开销

中图法分类号: TP391.41 **DOI:** 10.3724/SP.J.1089.2021.18520

A New Data Transmission Method with Low System Overhead Based on Multiple TSV Sub-Arrays

Feng Xu¹⁾, Cui Xiaole^{1,2)*}, Wei Chen¹⁾, Cui Xiaoxin³⁾, and Jin Yufeng^{1,3)}

¹⁾ (The Key Laboratory of Integrated Microsystems, Shenzhen Graduate School of Peking University, Shenzhen 518055)

²⁾ (Peng Cheng Laboratory, Shenzhen 518055)

³⁾ (Institute of Microelectronics, Peking University, Beijing 100871)

Abstract: Lots of crosstalk avoidance codes have the forbidden pattern free (FPF) feature. The FPF code suppresses the worst crosstalk with the reasonable codec area, if it is applied to the small-scale through silicon via (TSV) array. The multi-sub-array joint data transmission method is proposed, in order to transmit the data with low system overhead in the large-scale TSV array. Aiming at optimal number of TSV sub-arrays participating in joint data transmission, an optimal design method is proposed based on the analysis of the relationship between the number of TSV sub-arrays and the corresponding system overhead of the joint data transmission scheme. The optimal solution is obtained by theoretical proof. And the codec algorithm of the FPF code in the multi-sub-array joint transmission is further proposed, utilizing the transformation of numeral system. The simulations on the effect of the crosstalk suppression techniques are conducted with multiple sets of electrical TSV parameters. The experimental results show that, the proposed method has not only the lower system overhead, but also advantages

收稿日期: 2020-07-23; 修回日期: 2020-10-22. 基金项目: 国家重点研发计划(2018YFB2202600); 广东省重点领域研发计划(2019B010155002); 深圳市学科布局项目(JCYJ20170412150411676); 深圳市 TSV 三维集成微纳系统重点实验室项目(ZDSYS201802061805-105). 冯旭(1996—), 男, 硕士研究生, 主要研究方向为 TSV 串扰抑制技术; 崔小乐(1975—), 男, 博士, 教授, 博士生导师, CCF 高级会员, 论文通讯作者, 主要研究方向为芯片设计与测试、可信计算; 魏琛(1996—), 男, 硕士研究生, 主要研究方向为串扰抑制编码; 崔小欣(1979—), 女, 博士, 副教授, 硕士生导师, 主要研究方向为芯片设计; 金玉丰(1961—), 男, 博士, 教授, 博士生导师, 主要研究方向为 TSV 三维集成技术、MEMS 技术.

on the transmission delay, transmission power and codec area, compared with those of the crosstalk avoidance codes based on Fibonacci numeral system.

Key words: through silicon via array; forbidden pattern free code; crosstalk suppression; system overhead

传统二维集成电路是由一个器件层和多个金属层组成,有些器件间的互连线路径较长,制约了电路速度的提升.当今半导体器件尺寸已经由微米尺度缩小至纳米尺度,互连线上的延时已经超过器件延时,成为制约电路性能的重要瓶颈之一.三维集成电路具有多个器件层,通过器件的三维排布和层间金属互连,可大大降低互连线路径长度,因此被认为是“后摩尔定律时代”集成电路技术的重要发展方向之一.根据工艺的不同,三维集成电路可大致分为整体式和堆叠式2大类.整体式三维集成电路利用前道工序实现电路的三维加工,具有器件密度大、互连线短的优点,适合于存储器等产品.而堆叠式三维集成电路将传统的二维集成电路纵向堆叠起来,可以充分利用传统二维集成电路晶圆实现快速三维集成,工艺相对简单,适合于实现异质集成.

作为层间互连信号的通路,硅通孔(through silicon via, TSV)是三维集成电路的重要使能技术之一. TSV 是包裹在绝缘侧壁层内的金属连线,用于穿透三维集成电路中的硅材料而形成器件层之间的纵向通孔.目前 TSV 直径约在几微米到几十微米之间,深宽比在几到十几之间.通过 TSV 通路,信号可直接在不同器件层间传输,避免了二维集成电路中的长信号路径. TSV 尺寸较大,其数量较多时会占用较大面积,使布线拥挤.为此,已有学者提出了 TSV 互连串行化^[1]和 TSV 共享^[2]等解决方法.然而,密集排布的 TSV 之间由于存在信号耦合效应,会出现较明显的信号串扰.串扰严重时会降低信号传输性能,增加传输功耗,影响信号完整性^[3-4].

屏蔽^[5-6]和串扰抑制编码^[7-15]是2类最常见的与版图无关的串扰抑制方法.串扰的强度与数据图形相关.串扰抑制编码技术可避免产生强串扰的数据图形.研究发现,串扰抑制编码方法所需的额外 TSV 数量通常少于屏蔽方法^[7-8],即其系统开销通常低于屏蔽方法,故该类技术关注度较高.学者已将斐波那契编码^[9-10]和最小邻近转换编码^[11]等技术应用于 TSV 阵列.图形限制和跳变禁止是2种重要的串扰抑制特性.前者不允许数据的任意位置出现“101”或“010”的数据图形,后者不允许相邻位上同时出现“01”和“10”的数据图形. Duan 等^[9-10]

已证明,斐波那契数系(Fibonacci numeral system, FNS)可产生图形限制码和跳变禁止码,故基于 FNS 的编码得到了较深入的研究.然而,在位数相同的情况下,图形限制码的数量多于跳变禁止码,而斐波那契编码的数量低于图形限制码数量的上限^[9-10].为进一步增加串扰抑制编码的数量,基于对 FNS 的改进数系设计了新的串扰抑制编码类型.其中,典型工作包括基于数字的串扰抑制编码(numeral-based crosstalk avoidance code, NB-CAC)^[12]和基于重复迭代倒数第2位斐波那契数的编码(iterative displaced- penultimate Fibonacci numerical system, IDP FNS)^[13]方法等.

斐波那契编码的编解码器面积随着数据位宽的增大而快速增加.为了降低面积开销,在实施斐波那契编码时通常采用总线分割策略,将规模较大的 TSV 阵列划分为若干个较小的 TSV 子阵列,分别在子阵列上实施编码数据传输.例如, Cui 等^[14]曾以 3×3 和 3×2 的 TSV 子阵列为单位施加改进的斐波那契编码,实现了编解码器面积随 TSV 阵列规模的近似线性增长. Ran 等^[15]将斐波那契编码、总线分割策略与静态屏蔽等技术相结合,实现了较好的串扰抑制效果.然而, TSV 子阵列组合的优化数据传输方法尚未得到系统研究,仍有较大研究空间.本文提出一种多 TSV 子阵列的联合数据传输方法,可降低图形限制码实施时所需的额外 TSV 数量.

1 系统开销问题

当运用屏蔽或串扰抑制编码等串扰抑制技术时,除了正常用于数据传输的 TSV 外,还需要加入一些额外的 TSV.例如,屏蔽技术需要加入额外的 TSV 作为屏蔽线.为了避免恶性串扰的产生,串扰抑制编码会避免一些数据图形的出现,因此实际存在的 TSV 数量会多于所需传输数据的位数.为了说明屏蔽和串扰抑制编码等技术的实施效率,通常使用系统开销作为一个重要的度量指标.系统开销定义为

$$o = \frac{m-n}{n} \quad (1)$$

其中,在使用屏蔽方法时, m 为实际使用的互连

通道数量; n 为用于数据传输的互连通道数量. 在使用串扰抑制编码传输信号时, 原先 n 位位宽的数据, 编码后的位宽增加为 m 位, $n < m$.

一个 3×3 TSV 阵列共有 9 个 TSV, 在不使用串扰抑制编码时, 可传输 $2^9 = 512$ 个不同的数据图形. 当要求 3×3 TSV 阵列的行与列上都满足图形限制特性时, 即行与列上都不允许出现“101”或“010”的数据图形时, 符合要求的数据图形数量会降至 102 个. 由于 $2^6 < 102 < 2^7$, 图形限制码在运用于 3×3 TSV 阵列时, 只能传输 6 位二进制数据. 在此情况下的系统开销为 $(9-6)/6 = 50\%$. 6 位的码只能表示 64 种不同的数据图形, 故此情况下图形限制码的码利用率为 $64/102 = 62.75\%$. 类似地, 4×4 和 5×5 规模的 TSV 阵列, 其图形限制码的数量分别为 2030 个和 60232 个, 分别可传输 10 位和 15 位二进制数据, 对应的系统开销分别为 $(16-10)/10 = 60\%$ 和 $(25-15)/15 = 66.7\%$, 图形限制码的码利用率分别为 $1024/2030 = 50.4\%$ 和 $32768/60232 = 54.4\%$. 这 2 种 TSV 阵列在运用图形限制码时, 其系统开销均高于 3×3 TSV 阵列情形下的系统开销.

研究发现, 在运用图形限制码时, 多个 TSV 子阵列以某种联合的方式进行数据传输, 与多个 TSV 子阵列独立进行数据传输相比, 可获得更低的系统开销, 即可传输更多位二进制数. 如图 1 所示, 当使用 2 个 3×3 TSV 子阵列进行联合数据传输时, 理论上最多可传输 13 位二进制数, 即有效位宽为 13. 而 2 个 3×3 TSV 子阵列各自独立传输数据时, 一共可以传输 12 位二进制数, 即有效位宽为 12. 当 3 个 3×3 TSV 子阵列进行联合数据传输时, 其有效位宽理论上可达 20. 若 3 个 3×3 TSV 子阵列各自独立传输数据, 则有效位宽仅为 18. 显然以某种方式进行联合传输比独立传输具有更低的系统开销. 而且联合传输时的有效位宽增量与子阵列的个数存在相关性.

图1 多子阵列联合传输的示例

2 多 TSV 子阵列联合数据传输的系统开销

在运用图形限制码时, 设单个子阵列可传输

n 位二进制数, 那么 k 个子阵列独立传输时可传 $k \times n$ 位二进制数. 当 k 个子阵列联合传输时, 比 k 个子阵列独立传输时额外多传输的数据位数越多, 系统开销就会降得越低.

定理 1. 假设一个子阵列有 P 个有效的图形限制码, 可传输 n 位二进制数据 (即 $2^n \leq P < 2^{n+1}$), 那么 k 个子阵列联合传输时可传输的数据有效位宽必定小于 $kn+k$.

证明. 若 k 个子阵列可传输大于或等于 $kn+k$ 位的二进制数, 则需要满足的条件是 $P^k \geq 2^{kn+k}$, 即 $P \geq 2^{n+1}$. 此时单个子阵列可传输 $n+1$ 位二进制数, 与假设矛盾. 故定理 1 成立. 证毕.

若满足定理 1, k 个子阵列联合传输时, 最多可以传输的数据有效位宽为 $kn+k-1$. 此时, $P^k \geq 2^{kn+k-1}$, 即 $k \leq \frac{1}{n+1-\lg P}$.

定理 2. 若满足条件 $k \leq \frac{1}{n+1-\lg P}$ 且 k 为正整数, 则 k 个子阵列联合传输的系统开销随子阵列个数 k 增加而减小.

证明. 当满足条件 $k \leq \frac{1}{n+1-\lg P}$ 且 k 为正整数时, 系统开销满足

$$o(k) = \frac{kA - (kn+k-1)}{kn+k-1} = \frac{A - \left(n+1 - \frac{1}{k}\right)}{n+1 - \frac{1}{k}} \quad (2)$$

其中, k 为子阵列个数; n 为单个子阵列可传输的最大二进制数据位数; A 为单个子阵列的 TSV 数量. 由式(2)可知, k 增大, 分母增大, 分子减小, 所以系统开销随阵列个数增加而减小. 证毕.

推论 1. 当 k 取 $k \leq \frac{1}{n+1-\lg P}$ 区间内的最大整数 k_0 时, 多子阵列联合传输的系统开销取得一个极小值.

在以 3×3 TSV 子阵列为单位的多子阵列联合传输中, $P=102$, $n=6$, 由推论 1 可知, $k_0=3$. 随着子阵列数量的增加, 联合传输比独立传输多传输的二进制数据位宽变化如表 1 所示. 当子阵列数量 k 为 1~3 时, 位宽增量连续增加, 对应的系统开销逐渐降低, 这与定理 2 所述情形一致. 当 $k=4$ 时, 位宽增量与 $k=3$ 时相等, 这说明虽然 TSV 数量增加了, 但位宽增量并未增加, 故此方法并不经济. 当 k 为 4~6 时, 位宽增量也逐渐增加. 当 $k=7$ 时, 位宽增量也未较 $k=6$ 时得到改善. 当 k 为 7~9 时, 位宽增量同样呈逐渐增加的趋势. 可见, 子阵

列个数 k 可分为多个区间, 在各区间内系统开销随子阵列数量增加而减小. 定理 2 表述了第 1 个区间内的情况.

表 1 3×3 TSV 子阵列位宽增量与子阵列个数的关系

k	$k(\text{lb } P - n)$	q
1	0.67	0
2	1.34	1
3	2.01	2
4	2.68	2
5	3.35	3
6	4.02	4
7	4.69	4
8	5.36	5
9	6.03	6
...	...	...

定理 3. 在多子阵列联合传输中, 系统开销随子阵列个数的增加而分段递减.

证明. 设 k_i 个阵列最多可传输 $k_i n + q_i$ 位数据, 则 $P^{k_i} \geq 2^{k_i n + q_i}$, 故有 $q_i \leq k_i(\text{lb } P - n)$. 对于任何一个 TSV 阵列, 它的 P 和 n 的值都应满足 $P < 2^{n+1}$, 即 $\text{lb } P - n < 1$. 故当 $k_{i+1} = k_i + 1$ 时, $q_{i+1} - q_i < 1$. 因 q_i 为非负整数, 故 $q_i = \lfloor k_i(\text{lb } P - n) \rfloor$. 子阵列个数 k_i 每增加 1 时, 有效位宽增量 q_i 或加 1, 或不变. 当 q_i 不随 k_i 的增加而增加时, 意味着增加一个子阵列而有效位宽增量却没有增加, 也就无法起到降低系统开销的效果. 计算可知, 当 $k_i(\text{lb } P - n) < k_i - \alpha_i$, 其中, $\alpha_i \geq 1$ 且 $\alpha_i \in \mathbb{Z}$ 时, 即 $k_i > \frac{\alpha_i}{n+1-\text{lb } P}$ 时, 会出现一个 q_i 值不变的点. 即 $k_i = \left\lfloor \frac{\alpha_i}{n+1-\text{lb } P} \right\rfloor$ 对应的 q_i 值与 $k_{i+1} = k_i + 1 = \left\lfloor \frac{\alpha_i}{n+1-\text{lb } P} \right\rfloor + 1$ 对应的 q_i 值相等. 而在 $\left[\left\lfloor \frac{\alpha_i}{n+1-\text{lb } P} \right\rfloor + 1, \left\lfloor \frac{\alpha_{i+1}}{n+1-\text{lb } P} \right\rfloor \right]$, q_i 值随 k_i 加 1 而加 1; 其中, $\alpha_{i+1} = \alpha_i + 1$. 在每个区间内部数据有效位宽增量随子阵列个数增加而增加, 这就是出现表 1 情形的原因.

设第 1 个区间为 $[1, k_0]$, 在 $k > k_0$ 的任意一个区间内的任意 2 个相邻 k_i 值所对应的系统开销分别为 $o(k_i) = \frac{k_i A - (k_i n + q_i)}{k_i n + q_i}$ 和 $o(k_{i+1}) = \frac{k_{i+1} A - (k_{i+1} n + q_{i+1})}{k_{i+1} n + q_{i+1}}$. 其中, $k_0 < k_i < k_{i+1}$, $q_i < k_i - 1$. 因为 $k_i > q_i$, 故有 $o(k_i) > o(k_{i+1})$. 这证明了系统开销与 k_i 的关系为在每个区间内均单调递减, 即在每个区间内都有一个系统开销的极小值. 证毕.

每个区间的系统开销的极小值相差不大, 但都

比对应的多子阵列独立传输的系统开销低很多. 表 2 列出了多个 3×3 TSV 子阵列联合传输的系统开销.

表 2 多个 3×3 TSV 子阵列联合传输的系统开销

阵列	传输数据位数	码利用率/%	系统开销/%
1	6	$2^6/102^1=62.75$	50.00
2	13	$2^{13}/102^2=78.74$	38.46
3	20	$2^{20}/102^3=98.81$	35.00
4	26	$2^{26}/102^4=62.00$	38.46
5	33	$2^{33}/102^5=77.80$	36.36
6	40	$2^{40}/102^6=97.63$	35.00
7	46	$2^{46}/102^7=61.62$	36.96
8	53	$2^{53}/102^8=76.88$	35.85
9	60	$2^{60}/102^9=96.47$	35.00

在基于图形限制码的多子阵列联合传输模式下, 根据定理 3, 设计人员可以根据传输需求选择合适的区间, 并在该区间内寻找使系统开销达到极小值的子阵列数量, 从而设计出优化的多子阵列联合传输架构.

3 编解码方法

对于任意规模的矩形 TSV 阵列, 当其行与列上的数据图形均不出现“101”和“010”数据图形时, 该阵列可传输共计 P 个图形限制码. P 可由算法 1 得出.

算法 1. 计算图形限制码的数量 P .

输入. M 行 N 列的 TSV 矩阵 h .

输出. 图形限制码的数量 P .

Step1. 计算 TSV 数量 $H = M \times N$, 并将计数变量 c 初始化为 0.

Step2. 设置循环变量 X , X 从 0 取到 $2^H - 1$:

Step2.1. 将 X 转化为一个 H 位的二进制数 Y ;

Step2.2. 将 Y 每 N 位为一行转化为一个矩阵 Z , 并生成 Z 的转置矩阵 Z' ;

Step2.3. 读取 Z 的所有行向量, 并判别其中是否包含“101”或“010”图形;

Step2.4. 读取 Z' 的所有行向量, 并判别其中是否包含“101”或“010”图形;

Step2.5. 如果 Z 和 Z' 的所有行向量都既不包含“101”图形也不包含“010”图形, 则计数变量 c 加 1; 否则 c 的值不变.

Step3. 记当前的 c 值为图形限制码的数量 P .

由定理 3 可知, 得到给定 TSV 子阵列对应的 P 值, 设计者就可根据传输需求选择出使系统开销显著降低的子阵列数量 k .

$M \times N$ TSV 子阵列可传输 P 个图形限制码, 可写为一个包含 $M \times N$ 个元素的一维向量, 各元素

在向量中的位置由图形限制特性决定. 数据被表示为一个 $M \times N$ 位的二进制数 D , 数组中的 $M \times N$ 个元素为二进制数的权值. 设 k 个子阵列联合传输时的有效位宽为 w , 则联合传输方法将用 P^k 个数据图形传输 2^w 个二进制数.

k 个 $M \times N$ TSV 子阵列联合传输情况下的编码可通过 2 个步骤完成:

(1) 将一个 w 位的输入数据 $x(x \in [0, 2^w - 1])$ 表示为一个 k 位的 P 进制数 $d_{k-1}d_{k-2} \cdots d_1d_0$, 即

$$x = \sum_{i=0}^{k-1} d_i \cdot P^i, d_i \in [0, P-1].$$

(2) 将这个 k 位 P 进制数 $d_{k-1}d_{k-2} \cdots d_1d_0$ 分别映射到 k 个 $M \times N$ 位二进制数 $D_{k-1}D_{k-2} \cdots D_1D_0$ 上, 而 $D_{k-1}D_{k-2} \cdots D_1D_0$ 分别与 k 个 $M \times N$ TSV 子阵列中满足图形限制特性的数据图形一一对应.

编码过程如算法 2 所示.

算法 2. 编码算法.

输入. w 位的二进制数 x .

输出. k 个 $M \times N$ 位二进制数 $D_{k-1}D_{k-2} \cdots D_1D_0$.

Step1. 设置循环变量, i 从 0 取到 $k-2$:

Step1.1 x 除以 P 得到商 r_i 和余数 d_i ;

Step1.2 $x = r_i$.

Step2. x 除以 P 得到余数 d_{k-1} .

Step3. 将 k 位 P 进制数 $d_{k-1}d_{k-2} \cdots d_1d_0$ 一一映射到 k 个 $M \times N$ 位二进制数 $D_{k-1}D_{k-2} \cdots D_1D_0$.

其中, Step1~Step2 对应上述步骤(1), Step3 对应步骤(2).

解码算法是编码算法的逆过程. 将传输得到的 k 个 $M \times N$ 位二进制数逆映射得到 w 位二进制数. 解码算法如算法 3 所示.

算法 3. 解码算法.

输入. k 个 $M \times N$ 位二进制数 $D_{k-1}D_{k-2} \cdots D_1D_0$.

输出. w 位的二进制数 x .

Step1. 将 $D_{k-1}D_{k-2} \cdots D_1D_0$ 一一映射为 $d_{k-1}d_{k-2} \cdots d_1d_0$.

Step2. 将 d_i 分别乘以 P 的 i 次方, 并将 k 个中间结果求和得到 x .

4 实验结果

为了说明本文提出的多 TSV 子阵列联合传输方法的效果, 对 3 个 3×3 TSV 子阵列联合传输的情况进行了仿真实验.

图 2a 所示为 TSV 的电路模型^[14], 其中 R_{TSV} , L_{TSV} 和 C_{TSV} 分别是 TSV 的电阻、电感和体电容, C_{in} 是侧壁电容. 图 2b 所示为一个 3×3 TSV 子阵列

的电路模型, 其中直接相邻的 TSV 之间和对角相邻的 TSV 之间的耦合电容与耦合电导参数的大小不同. 基于此模型, 用 Cadence 工具对 3 个 3×3 TSV 子阵列进行建模, 并对联合数据传输情况下的传输延迟和传输功耗进行仿真, 并与之前基于 FNS^[10] 的串扰抑制编码方法、NB-CAC^[12] 和 IDP FNS^[13] 进行比较, 结果如表 3 所示. 在仿真时, 采用了 2 组 TSV 电学参数, 参数如表 4 所示.

图 2 仿真所用模型

表 3 性能指标仿真结果对比

TSV 参数	方法	性能指标	
		延时/fs	功耗/ μ W
第 1 组	本文	42.04	11.20
	FNS ^[10]	51.63	15.29
	NB-CAC ^[12]	51.63	13.07
	IDP-FNS ^[13]	51.63	14.92
第 2 组	本文	280.66	54.00
	FNS ^[10]	370.92	85.90
	NB-CAC ^[12]	370.92	84.80
	IDP-FNS ^[13]	370.92	85.60

表 4 仿真实验所用电学参数

电学参数	第 1 组	第 2 组
R_{TSV}/Ω	2.0×10^{-1}	5.0×10^{-1}
L_{TSV}/H	1.0×10^{-11}	3.0×10^{-11}
C_{TSV}/F	5.0×10^{-14}	1.0×10^{-13}
C_{in}/F	9.0×10^{-14}	15.0×10^{-14}
C_c/F	3.0×10^{-13}	4.0×10^{-13}
C_d/F	7.5×10^{-14}	1.0×10^{-13}
G_c/S	1.0×10^{-5}	8.0×10^{-6}
G_d/S	7.1×10^{-6}	5.0×10^{-6}

联合传输的编码过程用 102^3 个数据图形传输 2^{20} 个二进制数, 解码过程完成反向操作. 针对 3 个 3×3 TSV 子阵列联合传输的情况, 本文方法的编解码器采用 TSMC 90nm 工艺设计, 编解码器结构分别如图 3 和图 4 所示. 通过 Design Compiler(DC) 工具进行逻辑综合, 获得编解码器面积开销如表 5 所示.

图 3 编码器结构

图 4 解码器结构

表 5 性能指标仿真结果对比

方法	编解码器面积/ μm^2	系统开销/%
本文	5917.16	35
FNS ^[10]	7070.11	45
NB-CAC ^[12]	7288.14	45
IDP-FNS ^[13]	8031.14	45

结果显示, 无论 TSV 参数如何选取, 本文方法的传输延迟对比方法均有所降低, 平均传输功耗也有所降低, 说明其具有良好的 TSV 串扰抑制能力. 本文方法的编解码器面积对比方法减小了 16.3%~26.3%, 系统开销降低了 22.22%, 说明其实施代价较低.

5 结 语

针对图形限制编码在 TSV 阵列串扰抑制问题中的应用, 提出了一种低系统开销的多 TSV 子阵列联合数据传输方法, 包括多 TSV 子阵列的联合传输架构设计方法及相应的编解码算法 2 部分内容. 与传统的多 TSV 子阵列独立传输方法相比, 本文方法并未增加额外的 TSV 数量, 却可以传输更多有效数据图形. 利用本文方法, 用户可根据具体的数据传输需求, 设计出优化的图形限制编码实施方法. 实验结果表明, 本文方法的系统开销低, 串扰抑制能力强, 且编解码器面积开销较小. 但由于子阵列通常也都具有一定规模, 使得数据位宽随子阵列个数呈规模增长, 而不是连续地增长, 使得本文方法的使用具有一定局限性. 未来应致力于解决此类问题, 拓展本文方法的可用性.

参考文献(References):

- [1] Pasricha S. Exploring serial vertical interconnects for 3D ICs[C] // Proceedings of the 46th ACM/IEEE Design Automation Conference. Los Alamitos: IEEE Computer Society Press, 2009: 581-586
- [2] Wang Y, Han Y H, Zhang L, *et al.* Economizing TSV resources in 3-D network-on-chip design[J]. IEEE Transactions on Very Large Scale Integration Systems, 2015, 23(3): 493-506
- [3] Singhal R, Choi G, Mahapatra R N. Data handling limits of on-chip interconnects[J]. IEEE Transactions on Very Large Scale Integration Systems, 2008, 16(6): 707-713
- [4] Li K S M, Lee C L, Su C C, *et al.* A unified detection scheme for crosstalk effects in interconnection bus[J]. IEEE Transactions on Very Large Scale Integration Systems, 2009, 17(2): 306-311
- [5] Ma J D Z, He L. Formulae and applications of interconnect estimation considering shield insertion and net ordering[C] // Proceedings of the IEEE/ACM International Conference on Computer Aided Design. Los Alamitos: IEEE Computer Society Press, 2001: 327-332
- [6] Kaul H, Sylvester D, Blaauw D. Active shields: a new approach to shielding global wires[C] // Proceedings of the 12th ACM Great Lakes Symposium on Very Large Scale Integration. New York: ACM Press, 2002: 112-117
- [7] Cui X L, Luo M Y, Lin Q J, *et al.* An exhaustive search of the optimal 6C level static shielding scheme for rectangle TSV arrays[C] // Proceedings of the 19th International Conference on Electronic Packaging Technology. Los Alamitos: IEEE Computer Society Press, 2018: 944-948
- [8] Luo M Y, Cui X L, Lin Q J, *et al.* An exhaustive search of the 6C level crosstalk avoidance codes for TSV array[C] // Proceedings of International Conference on Electron Devices and Solid-State Circuits. Los Alamitos: IEEE Computer Society Press, 2017: 1-2
- [9] Duan C J, Zhu C Y, Khatri S P. Forbidden transition free crosstalk avoidance CODEC design[C] // Proceedings of the 45th ACM/IEEE Design Automation Conference. Los Alamitos: IEEE Computer Society Press, 2008: 986-991
- [10] Duan C J, Cordero Calle V H, Khatri S P. Efficient on-chip crosstalk avoidance CODEC design[J]. IEEE Transactions on Very Large Scale Integration Systems, 2009, 17(4): 551-560
- [11] Subrahmanya P, Manimegalai R, Kamakoti V, *et al.* A bus encoding technique for power and cross-talk minimization[C] // Proceedings of the 17th International Conference on Very Large Scale Integration Design. Los Alamitos: IEEE Computer Society Press, 2004: 443-448
- [12] Shafaei M, Patooghy A, Miremadi S G. Numeral-based crosstalk avoidance coding to reliable NoC design[C] // Proceedings of the 14th Euromicro Conference on Digital System Design. Los Alamitos: IEEE Computer Society Press, 2011: 55-62
- [13] Shirmohammadi Z, Miremadi S G. Crosstalk avoidance coding for reliable data transmission of network on chips[C] // Proceedings of the International Symposium on System on Chip. Los Alamitos: IEEE Computer Society Press, 2013: 1-4
- [14] Cui X L, Cui X X, Ni Y W, *et al.* An enhancement of crosstalk avoidance code based on fibonacci numeral system for through silicon vias[J]. IEEE Transactions on Very Large Scale Integration Systems, 2017, 25(5): 1601-1610
- [15] Ran Y L, Cui X L, Xu X Y, *et al.* A crosstalk avoidance method combining crosstalk avoidance code with shielding wire technique[C] // Proceedings of the IEEE MTT-S International Microwave Workshop Series on Advanced Materials and Processes for RF and THz Applications. Los Alamitos: IEEE Computer Society Press, 2016: 1-3