

SiC MOSFET 芯片设计关键技术及发展趋势

高云斌^{1,2}, 李诚瞻^{1,2}, 蒋华平^{1,2}

(1. 新型功率半导体器件国家重点实验室, 湖南 株洲 412001; 2. 株洲中车时代电气股份有限公司, 湖南 株洲 412001)

摘要: 介绍了 SiC MOSFET 器件应用所具有的技术优势, 并从理想耐压与导通电阻理论入手, 确定了漂移层耐压结构的优化设计; 综合考量阈值电压、氧化层电场集中和导通电阻特性, 确定了芯片元胞各关键区域的优化设计; 最后, 从导通电阻优化、更高电压等级芯片研制和单片集成续流二极管 3 方面, 阐述了 SiC MOSFET 芯片未来的技术发展趋势。

关键词: SiC MOSFET; 阻断特性; 导通电阻; 阈值电压; 结构参数

中图分类号: TN304.2⁺4

文献标识码: A

文章编号: 2095-3631(2017)01-0033-06

doi:10.13889/j.issn.2095-3631.2017.01.007

Key Techniques of SiC MOSFET Chip Design and its Development Trend

GAO Yunbin^{1,2}, LI Chengzhan^{1,2}, JIANG Huaping^{1,2}

(1. State Key Laboratory of Advanced Power Semiconductor Devices, Zhuzhou, Hunan 412001, China;

2. Zhuzhou CRRC Times Electric Co., Ltd., Zhuzhou, Hunan 412001, China)

Abstract: It introduced the application advantages of SiC MOSFET and determined an optimized design of drift layer structure based on the theory of ideal blocking characteristics and on-state resistance. Afterwards, the design of key structures in cell was optimized in consideration of threshold voltage, oxide electric field crowding and on-state resistance. Finally, the development trend of SiC MOSFET chip was expounded from the aspects of on-resistance optimization, higher voltage grade chip development and monolithic integrated freewheeling diode.

Keywords: SiC MOSFET; blocking characteristics; on-state resistance; threshold voltage; structure parameter

0 引言

功率半导体器件是电力电子装置的核心部件, 装置转换效率的提高离不开器件性能的提升。SiC 因其禁带宽度大、临界击穿电场高、载流子饱和速度高、热导率高等特点, 现已成为制作大功率半导体器件的热门材料。与传统 Si 器件相比, SiC 器件具有更高的工作温度、更高的功率密度及更低的开关损耗, 能够更容易实现功率模块的轻量化、智能化, 从而大为提升现有装置的转换效率, 在轨道交通、光伏发电、电动汽车等领域发挥重要作用。另外, 由于 SiC 材料可直接通过热氧化法

生长高质量 SiO₂ 薄层, 因此非常适于制造垂直的功率 MOSFET 器件, 不仅可沿用 Si IGBT 器件的驱动设计, 而且同样可并联使用以承载较大电流。

由于 SiC 材料参数与 Si 材料的差异较大, 存在诸如栅氧化层电场集中等特有现象, 因此在芯片设计时需加以特殊考量。本文以 1 200 V SiC MOSFET 为例, 从芯片基本元胞入手, 基于仿真结果, 不仅对漂移区参数及元胞各关键尺寸进行了优化, 而且提出了方形元胞最优节距确定的理论方法。

1 SiC MOSFET 器件优势

传统 Si 基功率 MOSFET 器件作为一款较为理想的开关器件, 具有输入阻抗高、开关速度快、开关损耗低的优势, 适于 10 kHz 以上开关频率的应用。然而,

收稿日期: 2016-11-21

作者简介: 高云斌 (1988-), 男, 工程师, 主要从事 SiC 功率器件设计开发工作。

单极型功率器件的理想比导通电阻 $R_{on-sp(ideal)}$ 与耐压 BV_{pp} 的 2.5 次方成比例; 随着 BV_{pp} 的上升, $R_{on-sp(ideal)}$ 急剧增大, 所以限制了其在高功率容量场合的应用。通常单极型功率器件应用在 600 V 以下场合^[1]。

相比于 Si 材料, 虽然 SiC 材料的电子迁移率 μ_n 略低, 但其临界击穿电场强度 E_C 高出一个数量级, 两种材料性能参数对比如表 1 所示^[2]。因此, 由式 (1) 可知, 在同等耐压设计中, SiC MOSFET 器件导通电阻可比 Si MOSFET 器件的低两个数量级, 意味着 SiC MOSFET 器件可大大扩展耐压等级, 能够较为经济地工作在 1 200 V 及以上的中高压领域。

$$R_{on-sp(ideal)} = \frac{4BV_{pp}^2}{\epsilon_s \mu_n E_C^3}$$

(1)

式中: $R_{on-sp(ideal)}$ ——理想比导通电阻, $\Omega \cdot \text{cm}^2$; BV_{pp} ——平行平面结雪崩击穿电压, V; ϵ_s ——材料介电常数, F/cm; μ_n ——电子迁移率, $\text{cm}^2/(\text{Vs})$; E_C ——临界击穿电场强度, V/cm。

表 1 4H-SiC 材料与 Si 材料的性能参数对比
Tab. 1 Comparison of 4H-SiC and Si material characteristics

半导体材料的重要参数	Si	4H-SiC
禁带宽度 /eV	1.12	3.26
热导率 / $\text{W} \cdot \text{cm}^{-1} \cdot \text{K}^{-1}$	1.56	4.9
室温下电子迁移率 / $\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$	1 450	1 000
室温下空穴迁移率 / $\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$	500	120
载流子饱和漂移速度 / $\text{cm} \cdot \text{s}^{-1}$	1×10^7	2×10^7
临界击穿电场强度 / $\text{V} \cdot \text{cm}^{-1}$	$2.5 \times 10^5 \sim 8 \times 10^5$	$2 \times 10^6 \sim 3 \times 10^6$

以器件 1 (CPM2-1200-0025B, 1 200 V/50 A, SiC MOSFET 裸片)、器件 2 (SIGC81T120R2CL 型 1 200 V/50 A, Si IGBT 裸片) 和器件 3 (IGW60T120, 1 200 V/60 A, TO247-3 封装 Si IGBT) 为例, 对比 SiC MOSFET 与 Si IGBT 器件的特性, 其功率密度和损耗对比分别如图 1、图 2 所示。

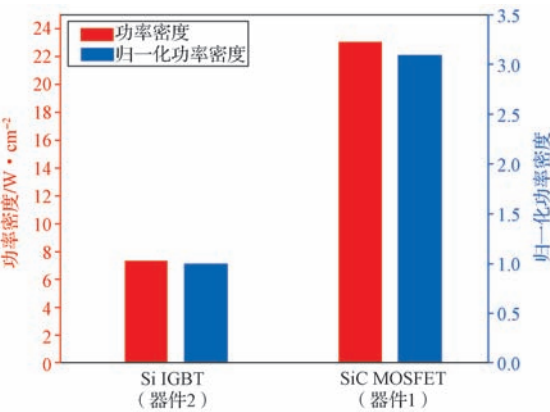


图 1 SiC MOSFET 与 Si IGBT 器件功率密度对比
Fig. 1 Comparison of power density of SiC MOSFET and Si IGBT devices

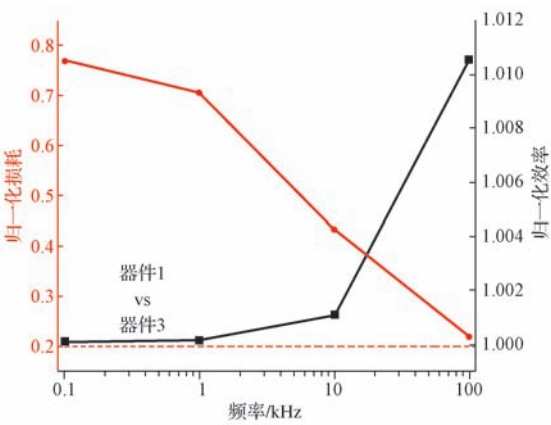


图 2 SiC MOSFET 与 Si IGBT 器件损耗对比
Fig. 2 Comparison of power losses of SiC MOSFET and Si IGBT devices

由图可知, 器件 1 的功率密度为器件 2 的 3.1 倍, 而开关频率为 10 kHz 时, 总损耗仅为器件 3 的 43%。

由上述分析可知, SiC MOSFET 器件不仅能够很好地实现阻断特性和导通特性的平衡, 而且保持了开关损耗低的固有优势。随着制造技术的日趋成熟与制造成本的逐年降低, SiC MOSFET 器件有望逐步取代目前占领中高压市场的 Si IGBT 器件。

2 SiC MOSFET 芯片设计及其关键技术

一般而言, SiC MOSFET 的芯片结构沿袭了 Si 基 MOSFET 的, 均为由栅极电压控制的垂直型开关器件; 但由于两者材料特性及工艺流程存在显著差异, 工程设计人员仍缺乏一套直观、明晰的设计流程。本文从导通电阻、阻断电压及阈值电压等静态电学特性参数入手, 对芯片结构的各关键组成部分逐一进行优化设计。

2.1 漂移区结构参数设计

SiC MOSFET 芯片纵向剖面的典型结构如图 3 所示。由于芯片主要通过 P-base 区与 N 型漂移层形成的 P^+N 单边突变结来承受耐压, 因此漂移区掺杂浓度及厚度的设计直接关系到芯片的导通电阻大小与耐压等级。

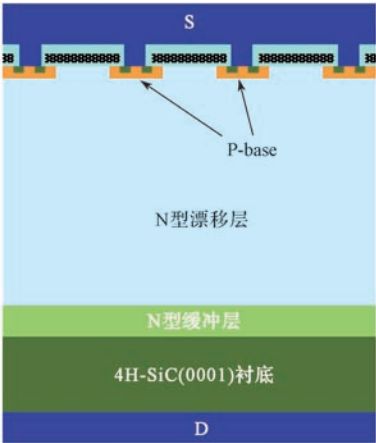


图 3 SiC MOSFET 芯片纵向剖面结构
Fig. 3 Cross-section of SiC MOSFET chip

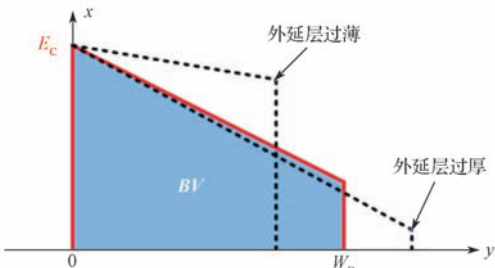
假设上述 P^+N 单边突变结为理想的平行平面结 (图 4 (a))。当器件处于反向阻断状态时, N 型缓冲层将电场截成如图 4 (b) 所示的梯形, 其中 E_c 是 SiC 的临界击穿电场强度 (此处可简化为固定值), 梯形的面积值即为器件的目标击穿电压 BV 值。当器件处于正向导通状态时, 电流从漏极 (D) 穿过缓冲层和漂移区流向源极 (S), 其漂移区比导通电阻是外延层厚度 W_D 和掺杂浓度 N_D 的函数。

$$R_{on-sp(ideal)} = \frac{W_D}{q\mu_n N_D} \quad (2)$$

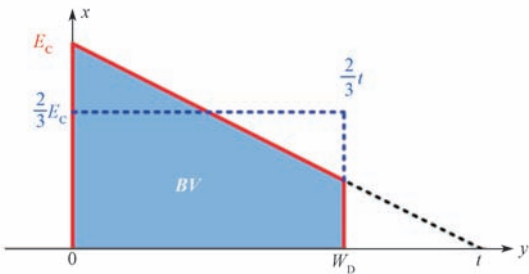
式中: W_D ——外延层厚度, cm; q ——电子电荷, C; N_D ——外延层掺杂浓度, cm^{-3} 。



(a) 具有平行平面 P^+N 结的理想漂移区模型



(b) 漂移区中的梯形电场分布



(c) 最优漂移区电场分布的几何关系

图 4 平行平面 P^+N 结反偏电场分布

Fig. 4 Electric field distribution of a reverse-biased paralleled planar P^+N junction

对于确定的目标耐压 BV , N_D 是 W_D 的函数。若 W_D 太小 (接近但大于 BV/E_c), 则 N_D 过小, 比导通电阻会迅速增加; 若 W_D 太大 (大于 $2BV/E_c$), 则梯形电场分布退化为三角形分布, 从而进一步增大 W_D , 使得比导通电阻继续增加。因此, 存在一种使比导通电阻最小的最优条件, 且该条件下的 W_D 介于 BV/E_c 和 $2BV/E_c$ 之间。

为求得比导通电阻的最优值, 令 $R_{on, sp}$ 对 W_D 的微分等于零并结合一维泊松方程, 可以得到如下最优条件:

$$W_D^* = \frac{3BV}{2E_c} \quad (3)$$

$$N_D^* = \frac{4\epsilon_s E_c^2}{9qBV} \quad (4)$$

式中: W_D^* ——最优漂移层厚度, cm; N_D^* ——最优漂移层掺杂浓度, cm^{-3} 。

该条件下的最小比导通电阻为

$$R_{on-spmin} = \frac{27}{8} \times \frac{BV^2}{F_B} = \frac{27}{8} \times \frac{BV^2}{\epsilon_s \mu_n E_c} \quad (5)$$

式中: F_B ——Baliga 功率因子。

从式 (3)、式 (4) 可以看出, 当把梯形斜边延伸为三角形, 最优条件下梯形的高 (W_D) 正好是三角形 y 方向底边 (t) 的 $2/3$ (图 4 (c))。

对于 1 200 V SiC MOSFET 器件, 取临界击穿电场 E_c 为 2.5 MV/cm。考虑 30% 的典型耐压余量及 0.8 的典型结终端击穿电压归一化系数, 对应设计耐压值为 1 950 V, 由式 (3)、式 (4) 可以得到的最优漂移区参数: 漂移区厚度 $W_D^* = 11.5 \mu m$, 漂移区掺杂浓度 $N_D^* = 8 \times 10^{15} cm^{-3}$ 。

2.2 P-base 区结构设计

P-base 区表面 (即沟道区域) 作为 MOSFET 芯片元胞中的关键区域之一, 其掺杂浓度 N_A 是决定器件阈值电压 V_{th} (式 (6)) 的重要因素。

$$V_{th} = (\phi_{ms} - Q_f/C_{ox}) + 2\phi_B + \sqrt{4\epsilon_s q N_A \phi_B} / C_{ox} \quad (6)$$

式中: ϕ_{ms} ——栅极 - 衬底材料接触电势差, V; Q_f ——栅氧化层固定电荷密度, C/cm^2 ; C_{ox} ——栅氧化层单位面积电容, F/cm^2 ; ϕ_B ——衬底费米势, V。

由式 (6) 可知, 必须严格设计 N_A 的值, 以期达到 $V_{th} \leq 4 V$ 的设计标准, N_A 通常取 $10^{16} cm^{-3}$ 数量级。另外, 为了防止 P-base 在阻断工况下发生穿通而导致器件耐压特性退化, 需保证足够高的 P-base 区内掺杂浓度, 通常取 $1 \times 10^{18} cm^{-3}$ 以上的目标掺杂浓度^[2]。由上述分析可知, 需设计非均匀的 P-base 掺杂分布, 形成低的表面掺杂和高的体内掺杂, 并通过多步离子注入工艺以实现精确控制^[3]。

虽然采用半导体器件工艺仿真软件可大大简化多步离子注入能量与剂量参数组合的确定过程, 但由于现有杂质浓度分布模型受晶格散射及沟道效应影响, 且模型相关参数均由大量实验数据拟合而来, 因此如果在 SiC 器件工艺仿真中照搬原有 Si 材料模型, 仿真

结果将出现很大的偏差。基于相关文献中不同晶向下铝离子注入的实验结果^[4]，采用BCA（Binary Collision Approximation）模型可以得到精确的模拟结果。

BCA模型本质上基于蒙特卡洛方法。受晶格原子核散射以及价带电子能量交互作用的影响，入射粒子束进入靶材料后，其动能及动量发生改变，最终多次碰撞的叠加决定了杂质原子停留在靶材料体内的位置。每一次随机的粒子碰撞的计算结果可以代表一定剂量的杂质离子，并通过入射离子样本数（n.ion）参数来设定随机碰撞的次数，从而得到统计意义上的杂质浓度分布。通常，n.ion参数越大，计算结果越精确，但所需的计算时间也越长。

利用该模型得到的铝离子入射能量、剂量结果如表2所示，相应的注入杂质浓度分布如图5所示。可以看到，P-base区表面和体内的典型掺杂浓度分别为 $2.3 \times 10^{16} \text{ cm}^{-3}$ 和 $1.2 \times 10^{18} \text{ cm}^{-3}$ 。图6示出用SIMS（二次离子质谱仪）实际测试结果，与仿真结果相比，二者的表面浓度、体内浓度与结深的关系基本一致。基于此杂质分布，引入 $1.2 \times 10^{12} \text{ cm}^{-2}$ 的栅氧化层固定电荷面密度，仿真得到的

表2 P-base区铝离子注入序列

Tab.2 Sequence of Al ion implantation in P-base region

能量 /keV	剂量 /cm ⁻²	入射角度 /(°)
535	2.25×10^{13}	0
410	1.45×10^{13}	0
300	9.15×10^{12}	0

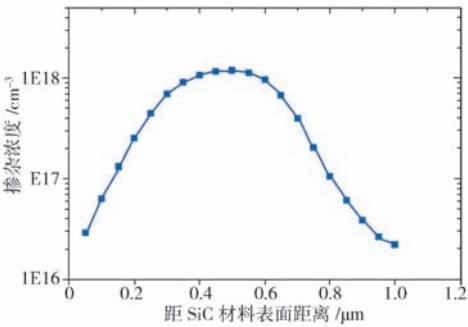


图5 多步离子注入工艺仿真结果

Fig.5 Simulation results of multiple ion implantations

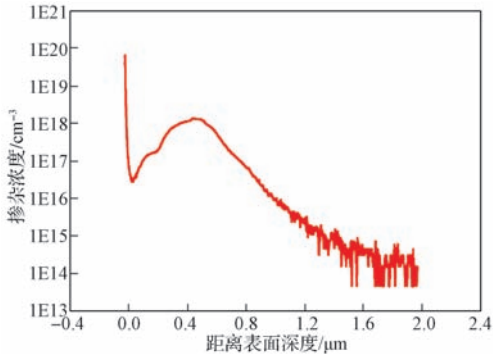


图6 SIMS实际测试结果

Fig.6 SIMS measurement results of multiple ion implantations

阈值电压为1.9V（图7），其仿真结果符合式（6）的理论预期。

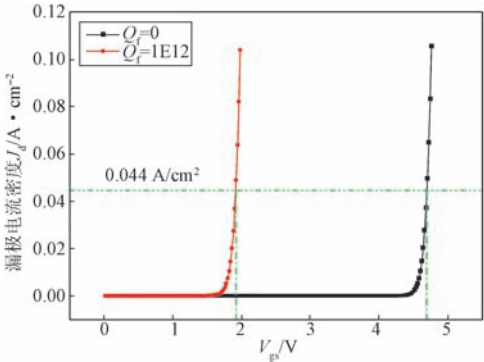


图7 氧化层固定电荷对阈值电压的影响

Fig.7 Influences of fixed oxide charges on threshold voltage

2.3 JFET区设计

在SiC MOSFET器件结构设计中，与Si MOSFET的不同之处在于，其不仅需保证阻断电压条件下SiC体内电场强度不会超过雪崩击穿临界值，还需对栅氧化层电场强度进行严格限制。SiC/SiO₂界面处电场强度需满足以下电通量连续性方程：

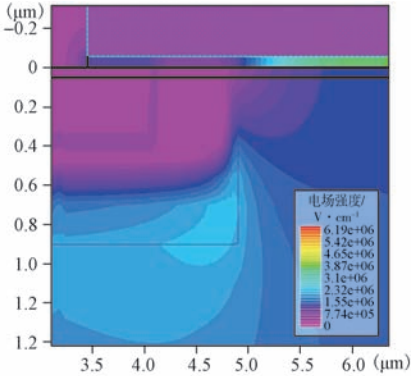
$$\epsilon_{\text{SiC}} E_{\text{SiC}} = \epsilon_{\text{ox}} E_{\text{ox}} \tag{7}$$

式中： ϵ_{ox} ， ϵ_{SiC} ——SiO₂和SiC的介电常数，F/cm； E_{ox} ， E_{SiC} ——SiO₂和SiC表面处的电场强度，V/cm。

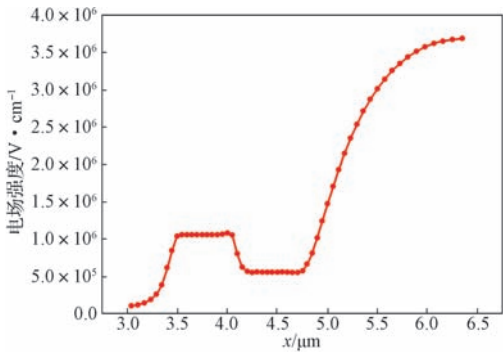
由于 $\epsilon_{\text{SiC}}/\epsilon_{\text{ox}} \approx 2.48$ ，因此 $E_{\text{ox}}/E_{\text{SiC}} \approx 2.48$ 。不同掺杂浓度下SiC材料的临界击穿电场为2~3 MV/cm，推算可知在阻断工作状态下栅氧层中电场可能达到7 MV/cm，大大增加了栅氧击穿的可能性，使器件提前失效。

根据芯片可靠性要求，通常栅氧化层电场强度被限制在4 MV/cm以下^[5]，可通过JFET区宽度设计来调制。受曲率效应的影响，JFET区宽度越大，则栅氧化层附近电场集中越显著，电场强度值越大，但导通电阻呈下降趋势。因此，需优化JFET区宽度，以实现栅氧化层电场和导通电阻的折中。

采用Silvaco仿真软件，可得到阻断状态下芯片内部二维电场分布，精确定位器件内部失效点，其仿真结果如图8所示。



(a) 芯片内部二维电场分布



(b) 沿 x 方向氧化层内电场强度变化

图 8 芯片内部电场分布仿真结果

Fig. 8 Simulation results of electric field distribution in the cell
根据表 3 所示仿真数据可推算出 JFET 区宽度最优值为 3 μm。

表 3 器件导通电阻和栅氧化层电场的折中设计

Tab. 3 Trade-off design of on-state resistance and gate oxide electric field

JFET 区 宽度 / μm	导通电阻 / mΩ·cm ² (V _{gs} =18 V, J _d =100 A/cm ²)	栅氧电场 / MV·cm ⁻¹ (V _{gs} =-6 V, V _{ds} =1 200 V)
1.5	13.73	2.23
2	11.65	2.87
2.5	11.54	3.33
3	10.83	3.68
3.5	10.85	3.94
4	10.98	4.14

2.4 元胞节距优化

MOSFET 半元胞剖面示意图及各部位参考尺寸如图 9 及表 4 所示。

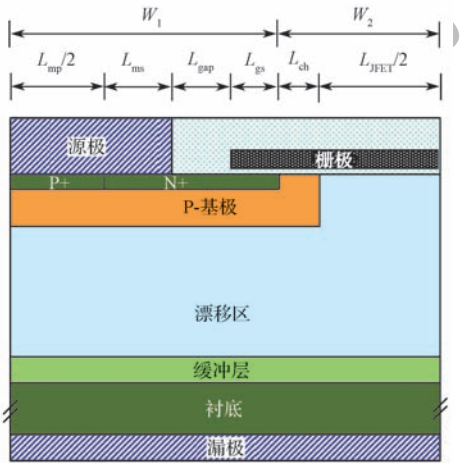


图 9 MOSFET 元胞尺寸详解
Fig. 9 Illustration of MOSFET cell

表 4 元胞结构参数

Tab. 4 Cell structure parameters

参数符号	参数描述	典型值 / μm	参考范围 / μm
L _{JFET}	JFET 区宽度	3	2~5
L _{ch}	沟道长度	1	0.5~1
L _{gs}	栅 - 源重叠尺寸	1	0.5~1
L _{gap}	栅 - 金属间距	1.5	1~2
L _{ms}	金属 - 源区接触尺寸	1	1~2
L _{mp}	金属 - P-base 区接触尺寸	2	2~4

直观来看，减小元胞节距，有利于增大元胞密度，增加等效沟道宽度，在有限的芯片面积上实现更大的额定电流。通过深入分析，可将半元胞节距分为 W_1 和 W_2 两部分（图 9）。对于 W_2 ， L_{JFET} 已由前述仿真结果确定，而 L_{ch} 受限于实际工艺，通常在 0.5 μm 以上，因此可将其视为固定值。对于 W_1 ，一方面减小其数值确实有利于缩小死区面积、强化漂移区中电流的横向扩展，但另一方面，也减小了单个元胞中的有效沟道宽度。

根据 MOSFET 器件萨之唐方程，一定栅极和漏极电压下线性区漏极电流为

$$I_{DS} = \frac{ZC_{OX}\mu_n}{L_{ch}} \left[(V_{GS} - V_{th})V_{DS} - \frac{1}{2}V_{DS}^2 \right]$$
 (8)

式中：Z——等效沟道宽度，cm； L_{ch} ——沟道长度，cm； V_{GS} ——栅极电压，V； V_{DS} ——漏极电压，V； I_{DS} ——漏极电流，A。

对于目前常用的方形元胞，可将式（8）进一步拓展为

$$I_{DS} = N \times \frac{4W_1C_{OX}\mu_n}{L_{ch}} \left[(V_{GS} - V_{th})V_{DS} - \frac{1}{2}V_{DS}^2 \right] = \beta(N \cdot W_1)$$
 (9)

$$N = \frac{A_{active}}{A_{cell}} = \frac{A_{active}}{[2(W_1 + W_2)]^2}$$
 (10)

式中： A_{active} ——固定的芯片面积，cm²； A_{cell} ——元胞面积，cm²；N——元胞个数。

将式（10）代入式（9），对 W_1 求微分，可得到 W_1 最优值，即 $W_1=W_2$ 。

基于以上结论，现有设计的 W_2 值为 2.5 μm，而 W_1 值较大，需继续减小 W_1 以实现比导通电阻的最优化，这对 MOSFET 制造工艺的精细化提出了更为迫切的要求。

3 SiC MOSFET 技术发展趋势

SiC MOSFET 器件于 2011 年实现商业化，经过近几年的技术积累及外延层材料质量的快速提升。目前，美国 Cree 公司已拥有第二代 900 V、1 200 V 和 1 700 V SiC MOSFET 系列产品，单管电流范围涵盖 2 A~60 A；日本 Rohm 公司已拥有 400 V、650 V 和 1 200 V SiC SBD 系列产品，单管电流范围涵盖 10 A~40 A。1 200 V 和 1 700 V MOSFET 芯片产品已分别在光伏逆变器和轨道交通领域实现应用，而 Cree 的 900 V 及 Rohm 的 650 V MOSFET 系列产品显然已瞄准 EV/HEV 市场。现阶段，SiC MOSFET 芯片的发展趋势与应用端需求紧密相连，主要集中在导通电阻优化、更高电压等级芯片研制和单片集成续流二极管 3 方面。

3.1 导通电阻优化

导通电阻的优化是功率器件性能提升的基础之一。早在2007年, Purdue大学就提出了JFET区掺杂与电流扩展层(CSL)的技术方案^[5], 旨在进一步减小芯片JFET区电阻和漂移区扩展电阻。以此为基础, 在JFET区中引入精确设计的 P^+ 掺杂区域, 形成所谓的CIMOSFET结构, 能够更为有效地削弱栅氧化层电场集中, 提高JFET区宽度设计上限^[6]。

更为彻底的技术方案是采用沟槽栅结构。与Si IGBT发展过程相似, 由于完全抛除了JFET区部分, 芯片体内的串联电阻明显减小, 同时元胞密度大幅增加。据悉Rohm公司第二代MOSFET产品已采用沟槽栅设计, 并据此开发出性能更优的全SiC功率模块。

3.2 耐压等级提高

随着缺陷控制技术的进步, 厚外延SiC材料生长技术日趋成熟, 更高电压等级的MOSFET芯片不断涌现。其中, Cree公司已研制出10 kV耐压等级的SiC MOSFET芯片, 并搭建了基于固态变压器(SSD)的小型智能变电站示范设施^[7]。3 300 V耐压等级MOSFET芯片技术不断完善, 已陆续见诸报导, 有望在未来两三年内实现商业化。

3.3 单片集成续流二极管

SiC MOSFET芯片内本身就有体二极管, 理论上可用于续流。但是, 由于材料内基平面位错缺陷(BPD)的存在, 直接应用体二极管可能会带来芯片正向导通特性的退化, 因此现有的解决方案是与SiC SBD(肖特基二极管)芯片反向并联使用。目前, 一方面, Cree等公司正在积极研究体二极管特性, 并进行寿命评估试验^[8]; 另一方面, 也有学者提出单片集成SiC SBD的概念, 以消除现有应用中存在的电流过冲问题^[9]。

4 结语

随着新能源、电动汽车等领域应用技术的蓬勃发展, 对功率半导体器件性能提出了更高的要求, 即轻量化、

高效化、智能化, 大大推动了近几年来SiC MOSFET器件的技术进步。由于仿真模型的不成熟及与Si基器件机理的差异性, 在SiC MOSFET芯片设计中存在诸多技术难点和关键点。本文基于实际的芯片开发流程, 较为系统地分析了芯片各关键部位结构参数对芯片导通电阻、阻断电压和栅氧化层电场的影响, 最终确定了芯片有源区优化结构, 并对未来的技术发展趋势做了简要阐述, 对SiC MOSFET芯片的设计开发有一定的指导作用。

参考文献:

- [1] BALIGA B J. 功率半导体器件基础[M]. 韩郑生, 陆江, 宋李梅, 等, 译. 北京: 电子工业出版社, 2013: 176-185.
- [2] BALIGA B J. Silicon Carbide power devices[M]. Singapore: World Scientific, 2005: 234-241.
- [3] BERTHOUS M. Implementation of High Voltage Silicon Carbide Rectifiers and Switches[D]. Lyon: Institut National des Sciences Appliquées de Lyon, 2012.
- [4] WONG-LEUNG J, JANSON M S, SVENSSON B G. Effect of crystal orientation on the implant profile of 60 keV Al into 4H-SiC crystals[J]. Journal of Applied Physics, 2003, 93(11): 8914-8917.
- [5] SAHA A, COOPER J A. A 1-kV 4H-SiC Power DMOSFET Optimized for Low on-Resistance[J]. IEEE Transactions on Electron Devices, 2007, 54(10): 2786-2791.
- [6] ZHANG Q J, WANG G, DOAN H, et al. Latest results on 1 200 V 4H-SiC CIMOSFETs with $R_{sp, on}$ of $3.9 \text{ m}\Omega \cdot \text{cm}^2$ at 150°C [C] //IEEE International Symposium on Power Semiconductor Devices & IC's. IEEE, 2015: 89-92.
- [7] GRIDER D, DAS M, AGARWAL A, et al. 10 kV/120 A SiC DMOSFET half H-bridge power modules for 1 MVA solid state power substation [C] //Electric Ship Technologies Symposium. IEEE, 2011: 131-134.
- [8] PALA V, BRUNT E V, RYU S H, et al. Physics of bipolar, unipolar and intermediate conduction modes in Silicon Carbide MOSFET body diodes [C] //International Symposium on Power Semiconductor Devices and ICS, 2016: 227-230.
- [9] JIANG H, WEI J, DAI X, et al. Silicon carbide split-gate MOSFET with merged Schottky barrier diode and reduced switching loss [C] //International Symposium on Power Semiconductor Devices and ICS, 2016: 59-62.

友情提示

自2016年启用采编系统后,《大功率变流技术》期刊的编审工作均在该系统中进行,因此电子邮箱ct&et@csrzic.com已不再接受投稿,请投稿作者登录本刊网站(<http://ctet.crrczic.cc/>)进行注册后上传稿件。如遇困难,请联系编辑部(0731-28498232, 28498892)。另,本刊原邮箱ct&et@teg.cn已停止对外联络,请广大朋友通过邮箱ct&et@csrzic.com与编辑部联系。