

基于 0.5 μm 标准 CMOS 工艺的新型 Λ 负阻器件

陈燕, 毛陆虹, 郭维廉, 于欣, 张世林, 谢生

天津大学电子信息工程学院, 天津 300072

E-mail: chyan@tju.edu.cn

2011-05-27 收稿, 2011-10-17 接受

国家自然科学基金资助项目(61036002)

摘要 介绍了一种新型的 I - V 特性为 Λ 型的负阻器件(negative resistance device, NRT), 该器件使用上华 0.5 μm 标准互补金属氧化物半导体(complementary metal-oxide-semiconductor transistor, CMOS)工艺制造. 为节省器件数目, 此类负阻器件并不调用上华工艺库中现有的标准元件模型, 而是将一个金属氧化物半导体场效应晶体管 (metal-oxide-semiconductor field effect transistor, MOSFET) 和一个双极晶体管(bipolar junction transistor, BJT)制作在相同的 n 阱中, 利用 p 型基区层作为 MOSFET 的衬底, 从而将两个器件合二为一. NRT 拥有较低的谷值电流 -6.8217 nA 和较高的电流峰谷比 (peak-to-valley current ratio, PVCR)为 3591. 器件的峰值电流较小, 为 $-24.4986 \mu\text{A}$, 意味着较低的功耗. 该负阻器件的平均负阻阻值为 $32 \text{ k}\Omega$. 不同于近年来的大多数负阻器件, 本器件制作于硅材料衬底上而非化合物材料衬底. 因而能够与主流 CMOS 工艺兼容. 新型 NRT 功耗较低, 同时能够极大地节省器件数目, 减小芯片占用面积, 极大地降低了成本费用.

关键词

Λ 型负阻器件
CMOS
 p 型基区层
电流峰谷比
低功耗

负阻器件已经有近百年的研究历史了. 该类器件都具有负阻特性, 即器件的 I - V 特性曲线的斜率在某一电压范围内呈负值. NRT 在各种数字逻辑门和存储电路中拥有巨大的应用前景^[1-3], 比如 Wu 等人^[4]于 1983 年制作的高密度静态随机存储器, Cheng 和 Duane^[5]于 2006 年制作的 D 触发器, Chen 等人^[1]于 2009 年制作的静态随机存储器, 以及 Halupka 等人^[6]于 2010 年制作的自旋力矩转移磁阻随机内存 (spin-torque-transfer magnetoresistive random-access memory, STT-MRAM) 等. 近年来, 出现了许多制作在化合物半导体衬底上的负阻器件. 例如碳纳米管负阻器件^[7], 绝缘薄膜上的 MIM (metal-insulator-metal) 二极管^[8,9], 以及近年来颇受关注的共振隧穿器件 (resonant tunneling diode, RTD) 等. 但

是所有这些器件都无法与现行的标准 CMOS 工艺进行兼容^[10]. 而使用 CMOS 工艺不但能够扩展器件的应用范围, 且可以降低工艺难度、提高成品率. 因此, 一种能与 CMOS 工艺兼容的硅基负阻器件对电路设计者产生了越来越大的吸引力.

本文介绍了一种新型的电压控制型负阻器件. 该器件在 0.5 μm 标准 CMOS 工艺下设计和制造, 主要应用于逻辑门和随机存取存储器等数字逻辑电路. 众所周知, 典型的 CMOS 逻辑电路一般由一定数量的 MOSFET 和晶体管组成^[11,12], 例如 CMOS 工艺下的 D 触发器可由将近 20 个 MOSFET 组成. 利用一个晶体管和两个 RTD 器件也可以组成一个 D 触发器, 但是这种结构目前只能在化合物工艺上实现. 本文介绍的新型 NRT 将器件数目从 20

个降低到 2 个, 同时仍能够与 CMOS 工艺兼容, 极大地降低了器件数目和芯片面积, 当应用于大型逻辑阵列中时这一优势变得尤为显著^[13], 因而该器件成为三者之中的较优选择. 该器件的工作电流为数十微安, 与大多数负阻器件相比工作电流较低. 另有一类负阻器件工作于大电流条件下, 如数十微安或者更高, 它们大多应用于半导体控制整流器和信号发生器如 VCO (voltage controlled oscillator) 等. 但本文所述器件主要应用于数字逻辑电路, 其较低的工作电流有助于实现低功耗, 而低功耗是评价数字逻辑电路最重要的指标之一.

这种新型 NRT 器件的等效电路如图 1(a)所示. 它包含一个 n 沟耗尽型 MOSFET 和一个横向 pnp 晶体管^[14]. 该 NRT 器件有 3 个端口, 分别是基极

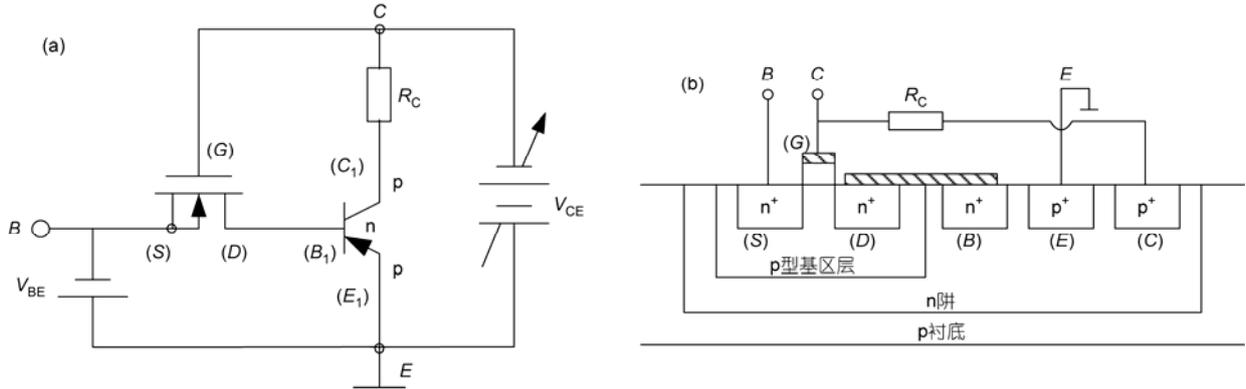


图 1 (a) 新型 NRT 的等效电路; (b) 新型 NRT 的器件结构示意图

(B)、集电极(C)、发射极(E), 分别标注于图 1(a)中. MOSFET 的源极和衬底通过内部连接在一起, 作为 NRT 的基极. MOSFET 的漏极和晶体管的基极通过外部金属线连接. MOSFET 的栅极和晶体管的集电极也通过外部金属线连接, 用作 NRT 的集电极. 晶体管的发射极仍然用作 NRT 的发射极同时接地.

新型 NRT 的基极-发射极偏压 (V_{BE}) 和集电极-发射极偏压 (V_{CE}) 都固定于一个负偏压. 电阻 R_C 用于调节器件在正阻区的阻抗. 图 1(b) 展示了新型 NRT 的基本器件结构. 不同于传统 CMOS 工艺中的 MOSFET 和晶体管, 新型 NRT 中的 MOSFET 制作在 p 型基区层中. 该层原本是作为 npn 晶体管的基区层使用的. p 型基区层也是一种 p 型的半导体材料, 可用作 MOSFET 的衬底. 如此则横向 pnp 晶体管和 MOSFET 可同时制作在同一个 n 阱里, 减小了 NRT 器件的总面积. 图 2 是新型 NRT 的显微照片. 照片的左半部分是 n 沟耗尽型 MOSFET, 右半部分是横向 pnp 晶体管. 为了节省芯片面积, MOSFET 栅的宽长比为 $20\ \mu\text{m}/2\ \mu\text{m}$, 横向 pnp 晶体管的基区面积为 $11.2\ \mu\text{m}^2$, 发射区和集电区的面积相同, 都为 $15.4\ \mu\text{m}^2$, 总的器件尺寸为 $21\ \mu\text{m} \times 23\ \mu\text{m}$.

图 3(a) 即 NRT 器件典型的 I_{CE}/V_{CE} 特性曲线. 该曲线使用“半导体器件性能表征系统”(Keithley 4200) 在室温下测试得到. 依前述分析, 基极输入电

压 V_{BE} 和集电极电压 V_{CE} 都处于负偏压状态. 其中 V_{CE} 取值从 0 到 $-1\ \text{V}$, 每步长 $-0.02\ \text{V}$; V_{BE} 取值从 0 到 $-2.5\ \text{V}$, 每步长 $-0.1\ \text{V}$.

众所周知, 负阻阻值 R_N 是由 V_{CE} 对 I_C 取积分而得, 即 $R_N = dV_{CE}/dI_C$. 当 I_C/V_{CE} 曲线上升时, R_N 取正值; 当 I_C/V_{CE} 曲线下降时, R_N 值为负. 同时, R_N 阻值的变化取决于曲线斜率的变化, 并不是恒定值. 如图 3(a) 所示, 当 V_{BE} 为 $-2.5\ \text{V}$ 时, I_C/V_{CE} 曲线有两段被椭圆形虚线标记的部分分别称为“负阻 I 区”和“负阻 II 区”. 当 V_{CE} 约为 $-180\ \text{mV}$ 时, I_{CE} 达到峰值. R_N 的平均值是曲线峰值点和谷值点 V_{CE} 的差与 I_{CE} 的差的比值^[15]. 当 V_{BE} 为 $-2.5\ \text{V}$ 时, R_N 的平均值约为 $32\ \text{k}\Omega$. 由图可见, 在负阻 I 区, 曲线斜率随着 V_{CE} 的上升而下降, 因此负阻阻值也随着 V_{CE} 的上升而下降; 在负阻 II 区, 曲线斜率随着 V_{CE} 的上升而上升, 因此负阻阻值也随着 V_{CE} 的上升而上升. R_N/V_{CE} 的曲线图如图 3(b), R_N 在负阻 I 区和负阻 II 区的变化趋势证实了之前有关斜率的分析. 在负阻 I 区和负阻 II 区内, V_{CE} 的取值从 -150 到 $-240\ \text{mV}$. 从 $-240\ \text{mV}$ 开始, R_N 值便持续下降.

电流峰谷比 (PVCR) 是电流峰值 (I_P) 与电流谷值 (I_V) 的比值^[15]. 例如当 V_{BE} 为 $-2.5\ \text{V}$, V_{CE} 为 $-180\ \text{mV}$ 时, I_P 为 $-24.4986\ \mu\text{A}$; 当 V_{BE} 为 $-2.5\ \text{V}$, V_{CE} 为 $-1\ \text{V}$ 时, I_V 为 $-6.8217\ \text{nA}$. 此时的 PVCR 约为 3591. 这一电流峰谷比对

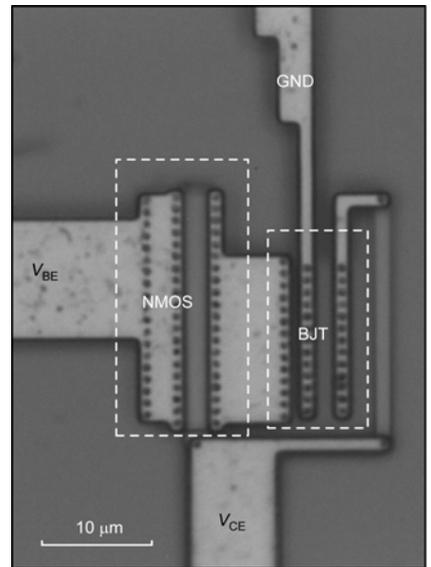


图 2 器件的显微照片, MOSFET 和晶体管在同一个 n 阱里

于反相器、D 触发器等数字逻辑电路来说已经足够高了. 谷值电流即当器件关断时的漏电流值, 因而也是一项重要参数. 谷值电流为 $-6.8217\ \text{nA}$ 对于低功耗电路来说已基本足够.

综上所述, 本文使用 $0.5\ \mu\text{m}$ 标准 CMOS 工艺设计并制作了一种新型的 Λ 型负阻器件 NRT. 该器件的等效电路由一个 n 沟耗尽型 MOSFET 和一个横向 pnp 晶体管组成, 二者制作于同一个 n 阱中, 并且使用 p 型基区层作为 MOSFET 的衬底. 极大地节省了器件数目和芯片面积. 该 NRT 器件不仅成功实现负阻特性, 并且实现了低功耗、

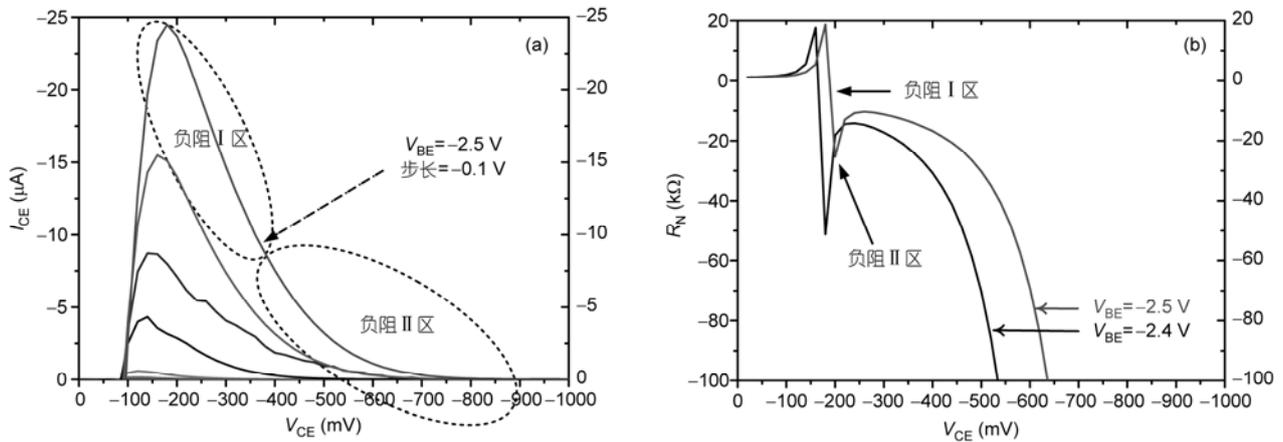


图3 (a) 使用 Keithley 4200 测量的新型 NRT 器件的 I_{CE}/V_{CE} 特性曲线(输入电压 V_{CE} 和输入电流 I_{CE} 均为负值, 电流峰谷比 $PVCR=3591$); (b) 当 V_{BE} 为 -2.5 和 -2.4 V 时, R_N/V_{CE} 的曲线图(图中只给出两条曲线是因为, 当 V_{BE} 小于 -2.4 V 时, R_N 值变得过大从而不符合上述变化规律)

低谷值电流(-6.8217 nA). 通过分析和计算, 当 V_{BE} 为 -2.5 V 时, 平均负阻阻值 R_N 为 32 k Ω . 同时该器件具有高电 CMOS 工艺兼容, 因而在数字逻辑电
流峰谷比 (3591) 并且能够和标准 路和随机存储领域有巨大的应用前景.

参考文献

- 1 Chen S L, Griffin P B, Plummer J D. IEEE Trans Electron Dev, 2009, 56: 634-640
- 2 Wu C Y, Lee C S. IEEE Electron Device Lett, 1983, 4: 78-80
- 3 Wu C Y, Wu C Y, Sheng H D. IEEE Electron Dev Lett, 1980, 1: 81-82
- 4 Wu C Y, Liu Y F. IEEE J Solid State Circ, 1983, 18: 222-224
- 5 Cheng X, Duane R. Electron Lett, 2006, 42: 338-390
- 6 Halupka D, Huda S, Song W, et al. In: Laura C, Fujino I, eds. IEEE International Solid-State Circuits Conference, 2010, Feb 7-11, San Francisco. Maine: Lisbon Falls, 2010. 256-258
- 7 Li Y F, Kaneko T, Hatakeyama R. J Appl Phys, 2009, 106: 124316
- 8 Hickmott T W. J Appl Phys, 2008, 104: 103704
- 9 Hickmott T W. J Appl Phys, 2009, 106: 103719
- 10 Chung S Y, Jin N, Berger P R, et al. Appl Phys Lett, 2004, 84: 2688-2690
- 11 Wu C Y, Wu C Y. IEE Proc Solid State Electron Dev, 1981, 128: 73-80
- 12 Russell D, Alan M, Ann C, et al. USA Patent, US 2001/0005327 A1, 2001-06-28
- 13 Rose G S, Stan M R. IEEE Trans Circ Syst Fund Theor Appl, 2007, 54: 2380-2390
- 14 郭维廉. 半导体杂志, 2005, 20: 34-43
- 15 郭维廉. 纳米器件与技术, 2006, 12: 564-571